

**Titre:** Modélisation et simulation d'une liaison HVDC de type VSC-MMC  
Title:

**Auteur:** Hani Aziz Saad  
Author:

**Date:** 2015

**Type:** Mémoire ou thèse / Dissertation or Thesis

**Référence:** Saad, H. A. (2015). Modélisation et simulation d'une liaison HVDC de type VSC-MMC [Thèse de doctorat, École Polytechnique de Montréal]. PolyPublie.  
Citation: <https://publications.polymtl.ca/1699/>

 **Document en libre accès dans PolyPublie**  
Open Access document in PolyPublie

**URL de PolyPublie:** <https://publications.polymtl.ca/1699/>  
PolyPublie URL:

**Directeurs de recherche:** Gregory De Crescenzo, & Mario Jolicoeur  
Advisors:

**Programme:** génie électrique  
Program:

UNIVERSITÉ DE MONTRÉAL

MODÉLISATION ET SIMULATION D'UNE LIAISON HVDC  
DE TYPE VSC-MMC

HANI AZIZ SAAD

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE  
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

THÈSE PRÉSENTÉE EN VUE DE L'OBTENTION  
DU DIPLÔME DE PHILOSOPHIAE DOCTOR (Ph.D.)  
(GÉNIE ÉLECTRIQUE)

MARS 2015

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Cette thèse intitulée :

MODÉLISATION ET SIMULATION D'UNE LIAISON HVDC  
DE TYPE VSC-MMC

présentée par : SAAD Hani Aziz

en vue de l'obtention du diplôme de : Philosophiae Doctor

a été dûment accepté par le jury d'examen constitué de :

M. KARIMI Houshang, Ph. D., président

M. MAHSEREDJIAN Jean, Ph. D., directeur de recherche

M. GUILLAUD Xavier, Ph. D., codirecteur de recherche

M. KOCAR Ilhan, Ph. D., membre

M. PAOLONE Mario, Ph. D., membre externe

## DÉDICACE

*... On vous a dit aussi que la vie est obscurité, et dans  
votre lassitude vous répétez ce que disent les las.*

*Et je vous dis que la vie est en effet obscure sauf là où il y a élan,*

*Et tout élan est aveugle sauf là où il y a la connaissance.*

*Et toute connaissance est vaine sauf là où il y a le travail,*

*Et tout travail est futile sauf là où il y a l'amour*

*Et quand vous travaillez avec amour vous attachez votre  
être à votre être, et vous aux autres...*

*... Le travail est l'amour rendu visible.*

*Et si vous ne pouvez travailler avec amour mais  
seulement avec dégoût, il vaut mieux quitter votre travail  
et vous asseoir à la porte du temple et recevoir l'aumône  
de ceux qui travaillent dans la joie.*

*Car si vous faites le pain avec indifférence, vous faites un  
pain amer qui n'apaise qu'à moitié la faim de l'homme.*

*Et si vous pressez le raisin de mauvaise grâce, votre  
rancune distille un poison dans le vin...*

Extraits de “Le Prophète”, poème de Gibran Khalil Gibran

## REMERCIEMENTS

Une thèse de doctorat est un long voyage qui ne se mène pas seul. Les remerciements qui suivent lèvent le chapeau à tous ceux qui ont participé par leur temps, leur expertise, leur partage et leur amour à ces années de travail que conclut en quelques pages ce document.

Tout d’abord, je tiens à exprimer ma gratitude à mon directeur Prof. Jean Mahseredjian pour son soutien continu, son encouragement, son orientation et sa confiance. Il était plus qu’un directeur de recherche; il a été un mentor et un ami. Son expertise, sa rigueur et son professionnalisme ont grandement contribué à la réussite de ce projet et à ma formation. Je me considère, donc, chanceux d’avoir eu l’occasion de travailler avec lui. Mes remerciements iront aussi à Sebastien Denetiere pour son implication et son soutien permanent tout au long de ma thèse et à Prof. Xavier Guillaud et Samuel Nguefeu pour leur patience, leur rigueur et leur expertise. Mes remerciements iront également au commanditaire de la thèse : RTE, qui a permis à ce projet de voir le jour.

Je souhaite remercier toutes ces personnes qui m’ont aidé à réaliser les différentes contributions de la thèse : Ulas Karaagac, Tarek Ould-Bachir, Christian Dufour, Jean Bélanger, Pierre Rault et Jaime Peralta. Chacun d’eux a contribué d’une façon ou d’une autre à la bonne réussite de ce projet et je les en remercie chaleureusement.

Je ne manquerai non plus de remercier les amis du laboratoire « FuN EneRgY DePaRtEmEnT of Poly » qui m’ont apporté du dynamisme et de la joie. Je n’oublierai pas non plus les soirées festives qui m’ont données tant d’inspiration et de nouvelles idées pour ma thèse.

Sur une note plus intime, je ne pourrais jamais assez remercier ma famille; ma mère pour m’avoir supporté, mon père pour sa bonne bière et son BBQ, mon frère Richard, Caroline et princesse Flora pour être devenu tonton, mon frère Georges pour les séjours intenses et ma sœur Rosie et Olivier pour leur accueil chaleureux chez eux, même tard la nuit. Finalement à ma chère Klara qui a accepté de partager notre vie avec ma thèse.

## RÉSUMÉ

Le transport d'énergie en courant continu à haute tension (CCHT ou HVDC) est aujourd'hui en pleine expansion dans le monde. Deux principaux facteurs sont à l'origine de cet engouement. Le premier est lié à la difficulté de construire de nouvelles lignes aériennes pour assurer le développement du réseau à haute tension qui fait que le recours à des câbles souterrains est de plus en plus fréquent. Or l'utilisation de ces câbles est limitée en longueur à quelques dizaines de km à cause du courant capacitif généré par le câble lui-même. Au-delà de cette longueur limite, la solution consiste généralement à transporter en courant continu. Le second facteur est lié au développement de l'éolien offshore qui nécessite de raccorder des puissances de plusieurs centaines de MW au réseau continental au moyen de câbles dont les longueurs peuvent atteindre quelques centaines de km et ce qui nécessite donc le transport en HVDC.

De façon concrète, plusieurs projets de transmission HVDC ont été planifiés par le gestionnaire du réseau de transport français RTE. Le projet INELFE, par exemple, est une interconnexion HVDC entre la France et l'Espagne, pour la transmission de 2,000 MW. Cette thèse est financée par RTE, dans le but de modéliser, simuler en temps réel et étudier les risques d'interaction entre ces liaisons HVDC.

La particularité des ouvrages de transport en courant continu est de faire appel à un contrôle commande dédié qui va en grande partie déterminer le comportement dynamique de la liaison tant sur des grosses perturbations (défauts sur le réseau) qu'en régime de petites variations.

Il existe différentes topologies VSC (Voltage Source Converter), comme les convertisseurs à deux niveaux, les convertisseurs multi-niveaux avec des diodes et les convertisseurs multi-niveaux avec des condensateurs flottants. Toutefois, en raison de la complexité des commandes et des limites pratiques, les installations de système HVDC-VSC ont été limitées à des convertisseurs à deux niveaux et à trois niveaux. Récemment, la mise au point de la technologie modulaire appelé MMC (Modular Multilevel Converter [Siemens]-[Alstom]) ou CTL (Cascaded Two Level topology [ABB]) en fonction des industriels, a permis de surmonter les limites des autres topologies multi-niveaux pour les applications HVDC. Cette topologie est constituée de plusieurs sous-modules connectés en séries. Chaque sous-module contient deux IGBTs avec leurs diodes antiparallèles et un condensateur qui sert comme accumulateur d'énergie. La commande de ces IGBTs permet de connecter et de déconnecter le condensateur sur le réseau. Le

regroupement de plusieurs sous-modules en série forme un demi-bras. Du côté triphasé, chaque phase est constituée de deux demi-bras. Des inductances sont ajoutées en série avec chaque demi-bras afin de limiter le courant de défaut.

Compte tenu du nombre très élevé de composants semi-conducteurs dans ces nouveaux convertisseurs, il est très difficile de modéliser et simuler l'ensemble de ces composants dans un même environnement de simulation de type électromagnétique (EMT) qu'il fonctionne en temps différé ou en temps réel. Les modèles MMC détaillés comprennent la représentation de milliers d'IGBT/diode et doivent utiliser de petits pas de temps d'intégration numérique pour représenter avec précision les événements de commutation rapides et simultanés. Ceci devient encore particulièrement plus complexe pour effectuer des simulations en temps réel. La charge de calcul engendrée par ces modèles, met en évidence la nécessité de développer des modèles plus efficaces. Une tendance actuelle est basée sur des modèles simplifiés capables de fournir suffisamment de précision pour les simulations de type EMT, cependant la validité de ces modèles doit être évaluée.

Le premier objectif de cette thèse est de modéliser des systèmes de transmission HVDC-MMC dans les programmes de type EMT pour des simulations en temps différé et en temps réel. Pour ce faire, tout d'abord, différentes approches de modélisation sont présentées, ensuite le système de contrôle-commande utilisé pour les liaisons HVDC est développé, et, enfin, un modèle MMC utilisant les technologies CPU (Central Processing Unit) et FPGA (Field-Programmable Gate Array) pour les simulations en temps réel est mise en œuvre. Ce projet de thèse est utile aux chercheurs et ingénieurs qui utilisent des outils de simulation transitoire pour la modélisation et l'analyse des réseaux électriques incluant des liaisons HVDC-MMC.

Par ailleurs, les liaisons à courant continu en construction ou en projet en France, s'insèrent dans un réseau fortement maillé. C'est une caractéristique relativement nouvelle pour ces liaisons. L'impact de leur fonctionnement peut devenir très important sur les réseaux à courant alternatif et causer des modes de fonctionnement indésirables. Le deuxième objectif de cette thèse est donc de réaliser une analyse modale et une étude paramétrique afin d'évaluer les risques d'interactions indésirables entre les liaisons HVDC et leur réseau d'accueil.

## ABSTRACT

High-voltage direct current transmission systems (HVDC) are rapidly expanding in the world. Two main factors are responsible for this expansion. The first is related to the difficulty of building new overhead lines to ensure the development of high-voltage AC grids, which makes the usage of underground cables more common. However, the use of such cables is limited in length to a few tens of km because of the capacitive current generated by the cable itself. Beyond this length limit, the solution is usually to transmit in DC. The second factor is related to the development of offshore wind power plants that require connecting powers of several hundred of MW to the mainland grid by cables whose lengths can reach several hundreds of km and consequently require HVDC transmission system.

Several HVDC projects are currently planned and developed by the French transmission system operator RTE. One of such projects is the INELFE interconnection project, with a capacity of 2,000 MW, between France and Spain.

This thesis has been funded by RTE, in order to model and simulate in off-line and real time modes, modern HVDC interconnections. The delivered simulation means are used to examine targeted HVDC system performances and risks of abnormal interactions with surrounding power systems. The particularity of the INELFE HVDC system is the usage of a dedicated control system that will largely determine the dynamic behaviour of the system for both large disturbances (faults on the network) and small perturbations (power step changes).

Various VSC topologies, including the conventional two-level, multi-level diode-clamped and floating capacitor multi-level converters, have been proposed and reported in the literature. However, due to the complexity of controls and practical limitations, the VSC-HVDC system installations have been limited to the two-level and three-level diode-clamped converters. Recently, the development of modular technology called MMC (Modular Multilevel Converter [Siemens] - [Alstom]) or CTL (Cascaded Two Level topology [ABB]) has allowed to overcome existing limitations. This topology consists of several sub-modules connected in series. Each sub-module contains two IGBTs with antiparallel diodes and a capacitor that act as energy storage. The control of these IGBTs allows connecting and disconnecting the capacitor on the network. The grouping of several sub-modules in series forms an arm. From the AC side, each phase



consists of two arms. Reactors are included in series with each arm in order to limit the fault current.

The large number of IGBTs in MMCs creates complicated computation problems in electromagnetic transient type (EMT-type) simulation tools. Detailed MMC models include the representation of thousands of IGBT (Insulated Gate Bipolar Transistor) switches and must use small numerical integration time steps to accurately represent fast and multiple simultaneous switching events. This becomes particularly more complex for performing real-time simulations. The computational burden introduced by such models highlights the need to develop more efficient models. A current trend is based on simplified models capable of delivering sufficient accuracy for EMT-type simulations, however the validity range of such models must be carefully evaluated.

The first objective of this thesis is to model HVDC-MMC transmission systems in EMT-type programs for off-line and real-time simulations. To fulfill this objective, different modelling approaches are presented, then the control system used for HVDC-MMC links is developed and finally the implementations of MMC models using both CPU (Central Processing Unit) and FPGA (Field-Programmable Gate Array) technologies for real-time simulations, are presented. The contributions are useful for researchers and engineers using transient simulation tools for modelling and analysis of power systems including HVDC-MMC.

The HVDC links currently planned or constructed in France, are embedded in highly meshed networks and may have significant impact on their operations and performance. Therefore, the second objective of this thesis is to perform modal analysis and parametric studies to assess the risks of abnormal interactions between several HVDC links inserted in meshed AC networks.

## TABLE DES MATIÈRES

DÉDICACE.....	III
REMERCIEMENTS .....	IV
RÉSUMÉ.....	V
ABSTRACT .....	VII
TABLE DES MATIÈRES .....	IX
LISTE DES TABLEAUX.....	XIII
LISTE DES FIGURES.....	XIV
LISTE DES SIGLES ET ABRÉVIATIONS .....	XXI
LISTE DES ANNEXES.....	XXIV
CHAPITRE 1 INTRODUCTION.....	1
1.1 Motivation .....	1
1.2 Objectifs de la thèse .....	5
1.3 Contributions de la thèse .....	5
1.4 Liste des publications issues de ce travail .....	6
1.4.1 Chapitre de livre .....	6
1.4.2 Articles de journal .....	7
1.4.3 Articles de conférence .....	7
CHAPITRE 2 LIAISON HVDC-VSC : REVUE DE LITTÉRATURE.....	9
2.1 Liaison HVDC.....	9
2.2 Liaison HVDC-VSC .....	10
2.2.1 VSC 2 niveaux .....	11
2.2.2 VSC 3 niveaux .....	12
2.2.3 MMC .....	12

2.2.4	Topologie du MMC.....	13
2.2.5	Configuration typique d'une station MMC.....	15
2.3	Fonctionnement de base d'un VSC.....	16
2.4	Transmission de puissance et stabilité de tension.....	17
2.5	Aspect général des réseaux AC.....	19
2.6	Outils de simulation.....	20
2.6.1	Programme de type EMT.....	20
2.6.2	Simulations en Temps réel.....	22
2.7	Conclusion.....	24
CHAPITRE 3	MODÉLISATION DES MMC.....	25
3.1	Introduction.....	25
3.2	Modèle #1 – Modèle détaillé complet.....	25
3.3	Modèle #2 – Modèle détaillé équivalent.....	26
3.4	Modèle #3 – Fonction de commutation d'un demi-bras.....	31
3.5	Modèle #4 – Modèle en valeur moyenne (AVM).....	36
3.5.1	Étape #1.....	36
3.5.2	Étape #2.....	39
3.5.3	Étape #3.....	41
3.6	Vérification des modèles.....	42
3.6.1	Variation de la puissance de référence.....	43
3.6.2	Défaut triphasé.....	44
3.6.3	Influence du nombre de niveaux du MMC.....	46
3.6.4	Défaut DC pôle-pôle.....	47
3.6.5	Séquence de démarrage.....	48

3.6.6	Performances de calcul.....	50
3.7	Conclusion.....	53
CHAPITRE 4 SYSTÈME DE CONTRÔLE .....		55
4.1	Contrôle global.....	55
4.1.1	Contrôleur PI.....	56
4.1.2	Contrôle-global #1 : sans régulation des énergies des demi-bras .....	56
4.1.3	Contrôle-global #2 : incluant une régulation explicite des énergies des demi-bras ...	71
4.2	SM-control .....	87
4.2.1	Modulation NLC .....	87
4.2.2	Équilibrage des condensateurs des SMs (BCA).....	88
4.2.3	Validation du SM-control.....	92
4.3	Structure du système de contrôle en fonction des modèles de MMC .....	97
4.4	Conclusion.....	97
CHAPITRE 5 SIMULATION EN TEMPS RÉEL.....		99
5.1	Méthodologie .....	99
5.2	Étape #1 : Passage d'EMTP-RV à Matlab/Simulink .....	100
5.2.1	Solveur SSN appliquée pour le cas MMC .....	101
5.2.2	Approche d'élimination du processus itératif .....	103
5.2.3	Comparaison entre le modèle sous EMTP-RV et sous SPS/ARTEMiS .....	103
5.3	Étape #2 : Passage de la simulation en temps différé à la simulation en temps réel....	111
5.3.1	Modifications apportées .....	112
5.3.2	Vérification du modèle SPS/ARTEMiS en temps réel .....	113
5.3.3	Relation entre pas de temps et nombre de SM/demi-bras.....	118
5.3.4	Performance du système de contrôleur .....	121

5.3.5	Développement et performance du MMC Modèle #2 en temps réel .....	123
5.3.6	Modèle MMC sur CPU .....	123
5.3.7	Modèle MMC sur FPGA.....	129
5.4	Conclusion.....	136
CHAPITRE 6 ÉTUDE D'INTERACTION DES LIAISONS HVDCS INTEGRÉES DANS UN RÉSEAU AC .....		138
6.1	Introduction .....	138
6.2	Étude statique d'une liaison HVDC-VSC .....	139
6.3	Linéarisation d'une liaison HVDC-VSC.....	140
6.3.1	Linéarisation du modèle VSC-MMC .....	140
6.3.2	Changement de référence .....	143
6.3.3	Simplification du contrôleur VSC-MMC.....	144
6.3.4	Structure générale d'une station VSC-MMC .....	146
6.3.5	Modélisation en petits signaux d'un câble en PI.....	147
6.3.6	Modélisation en petits signaux d'un réseau AC.....	149
6.3.7	Vérification du modèle linéarisé .....	150
6.4	Études d'interaction.....	158
6.4.1	Outils d'analyse des valeurs propres .....	158
6.4.2	Influence du SCR sur une liaison HVDC.....	159
6.4.3	Influence de la ligne AC en parallèle .....	169
6.4.4	Influence d'une ligne AC en série.....	180
6.5	Conclusion.....	193
CHAPITRE 7 CONCLUSION ET RECOMMANDATIONS .....		194
RÉFÉRENCES.....		197
ANNEXES .....		205

## LISTE DES TABLEAUX

Tableau 3-1: Modèle#2 - algorithme du demi-bras du MMC .....	29
Tableau 3-2:Fonction de commutation d'un sous-module .....	32
Tableau 3-3: Performances de calculs de la liaison HVDC-MMC pour une 1 s de simulation.....	51
Tableau 3-4: Performances de calculs du réseau DC CIGRÉ pour une 1 s de simulation.....	53
Tableau 5-1 : Vérification du contrôleur BCA sur FPGA .....	135
Tableau 6-1 : Valeurs des contrôleurs PI .....	146
Tableau 6-2 : Valeurs des filtres passe-bas .....	146
Tableau 6-3 : Facteurs de participation : influence du SCR sur la liaison HVDC point-à-point.	160
Tableau 6-4: Variation des paramètres de la liaison HVDC de la Figure 6-9 .....	167
Tableau 6-5 : Facteurs de participation - Influence de la ligne AC en parallèle.....	172
Tableau 6-6: Variation des paramètres de la liaison HVDC1 avec ligne AC en parallèle .....	175
Tableau 6-7 : Valeurs des contrôleurs PI de la liaison HVDC2.....	181
Tableau 6-8: Facteurs de participation : Influence de $Z_{serie}$ sur les liaisons HVDCs .....	182
Tableau 6-9: Variation des paramètres des deux liaisons HVDCs connectés via $Z_{serie}$ .....	186

## LISTE DES FIGURES

Figure 2-1: Installation type d'une liaison HVDC-LCC, Projet IFA2000 .....	10
Figure 2-2: Installation type d'une liaison HVDC-VSC, Projet INELFE .....	10
Figure 2-3: VSC 2 niveaux.....	11
Figure 2-4: VSC 3 niveaux.....	12
Figure 2-5: a) Topologie du MMC; b) convertisseur en demi-pont du $i^{\text{ème}}$ SM .....	14
Figure 2-6: MMC-9 niveaux - Forme d'onde de la tension.....	14
Figure 2-7: Configuration d'une station MMC typique .....	16
Figure 2-8: Circuit simple représentant le principe de fonctionnement d'un VSC .....	16
Figure 2-9 : Puissance active en fonction de l'inductance équivalente.....	18
Figure 2-10 : Courbe P-V .....	18
Figure 2-11: Boucle générique, simulation en série de deux processeurs .....	23
Figure 2-12: Boucle générique pour une simulation en parallèle .....	23
Figure 3-1: L'évolution de la modélisation des MMC en ordre de complexité décroissante .....	25
Figure 3-2: Modèle #1 : a) Représentation non-linéaire de l'IGBT/Diode; b) Caractéristique d'une courbe V-I .....	26
Figure 3-3: Discrétisation d'un SM avec les modèles d'IGBT/Diode simplifiés .....	27
Figure 3-4: Modèle#2 - schéma du circuit principal .....	28
Figure 3-5: Modèle#2 - diagramme bloqué d'un demi-bras .....	30
Figure 3-6: Effet du processus itératif; courbe bleue sans processus itératif, courbe verte avec processus itératif.....	31
Figure 3-7: Modèle d'une fonction de commutation d'un convertisseur à demi-pont .....	32
Figure 3-8: Modèle#3 : (a) modèle pour l'état ON/OFF, (b) modèle pour l'état bloqué.....	33
Figure 3-9: Modèle#3 : diagramme bloqué d'un demi-bras .....	34
Figure 3-10: Approche proposée dans [61].....	35

Figure 3-11: Approche proposée dans [62].....	36
Figure 3-12: Circuit équivalent du MMC - Étape #1 .....	39
Figure 3-13: Circuit équivalent du MMC - Étape #2 .....	40
Figure 3-14: Circuit équivalent du MMC - Étape #3 .....	41
Figure 3-15: Modèle#4 incluant le système de blocage des SMs .....	42
Figure 3-16: Liaison HVDC-MMC.....	43
Figure 3-17: Comparaison des modèles pour la variation de la puissance de référence.....	44
Figure 3-18: Comparaison des modèles pour un défaut triphasé avec MMC de 401 niveaux .....	45
Figure 3-19: Comparaison des modèles pour un défaut triphasé avec MMC de 51 niveaux .....	47
Figure 3-20: Comparaison des modèles pour un défaut continu.....	48
Figure 3-21: Comparaison des modèles pour une séquence de démarrage.....	49
Figure 3-22: Comparaison des modèles pour une séquence de démarrage.....	50
Figure 3-23: Circuit de référence du réseau à courant continu CIGRÉ [68]-[69].....	52
Figure 4-1: Structure du système de contrôle-commande.....	55
Figure 4-2: Contrôle-global #1 : sans la régulation des énergies des demi-bras.....	56
Figure 4-3: Modèle du circuit utilisé pour le contrôle global .....	57
Figure 4-4: Boucle de courant alternatif ( $i$ -control) .....	58
Figure 4-5: Contrôle du courant circulaire (CCC) .....	60
Figure 4-6: Couplage et linéarisation pour le Contrôle-global #1 .....	61
Figure 4-7: Boucles externes pour $i_d^{ref}$ et $i_q^{ref}$ .....	63
Figure 4-8 : Limiteur du courant de référence .....	64
Figure 4-9: Configuration du circuit pour le test de stabilité de l'Approche #1-Mode- $V_{dc}$ .....	65
Figure 4-10: Stabilité de l'Approche #1 : impact de la résistance coté continue. ....	65
Figure 4-11 : Configuration du circuit pour la validation de l'Approche #1 .....	66



Figure 4-12: Validation des $P$ -control et $V_{ac}$ -control : échelon sur les références .....	68
Figure 4-13: Validation des $V_{dc}$ -control et $Q$ -control: échelon sur les références.....	70
Figure 4-14: Validation du contrôle du courant circulaire .....	70
Figure 4-15: Contrôle-global #2, Mode- $P$ .....	72
Figure 4-16: Contrôle-global #2, Mode- $V_{dc}$ .....	72
Figure 4-17: Boucle de courant différentiel ( $i_{diff}$ -control) .....	73
Figure 4-18: Couplage et Linéarisation pour le Contrôle-global #2 .....	73
Figure 4-19: $W_{tor}$ - et $-W_{bal}$ -control .....	76
Figure 4-20 : Configuration du circuit pour la validation du Contrôle-global #2-Mode- $P$ .....	76
Figure 4-21: Validation du Mode- $P$ : échelon sur les références des boucles externes.....	78
Figure 4-22: Configuration du circuit pour la validation du Contrôle-global #2-Mode- $V_{dc}$ .....	80
Figure 4-23: Validation du Mode- $V_{dc}$ : échelon sur les références des boucles externes.....	81
Figure 4-24: Configuration de la liaison HVDC pour la validation du Contrôle-global #2 .....	82
Figure 4-25: Validation du Contrôle-global #2 sur une liaison HVDC : contrôle global .....	83
Figure 4-26: Validation du Contrôle-global #2 sur une liaison HVDC : SM-control.....	84
Figure 4-27: Perte soudaine des SMs redondants: variables des SM-control.....	85
Figure 4-28: Perte soudaine des SMs redondants: variables du contrôle global.....	86
Figure 4-29: SM-control de chaque demi-bras .....	87
Figure 4-30: Modulation NLC .....	87
Figure 4-31: Équilibrages des condensateurs (BCA), Algorithme #1 .....	89
Figure 4-32: Équilibrages des condensateurs BCA - Algorithme #2.....	92
Figure 4-33: Validation de la modulation NLC .....	92
Figure 4-34: Résultats de l'Algorithme #1 standard .....	93

Figure 4-35: Résultats de l'Algorithme #1 amélioré.....	93
Figure 4-36: Résultats de l'Algorithme #2.....	94
Figure 4-37: Algorithme #1-standard, valeurs moyennes, maximales et minimales .....	95
Figure 4-38: Algorithmes #1-amélioré, valeurs moyennes, maximales et minimales .....	95
Figure 4-39: Algorithmes #2, valeurs moyennes, maximales et minimales .....	96
Figure 5-1: Procédure pour la transcription d'un modèle EMTP-RV au simulateur en temps réel Opal-RT.....	100
Figure 5-2: Liaison HVDC-MMC - Cas test pour la validation du modèle SPS/ARTEMiS.....	104
Figure 5-3: Séquence de démarrage de la Station #1 - Comparaison entre EMTP-RV et SPS/ARTEMiS.....	105
Figure 5-4: Désactivation du contrôleur CCC phase A Station #1 - Comparaison entre EMTP-RV et SPS/ARTEMiS .....	106
Figure 5-5: Blocage d'un demi-bras de MMC Station #1, comparaison entre EMTP-RV et SPS/ARTEMiS.....	107
Figure 5-6: Défaut triphasé à SStation #2, comparaison entre EMTP-RV et SPS/ARTEMiS ....	109
Figure 5-7: Blocage de tous les SMs des deux stations .....	110
Figure 5-8: Défaut DC, comparaison entre EMTP-RV et SPS/ARTEMiS.....	111
Figure 5-9: Configuration de la liaison HVDC-MMC sur SPS/ARTEMiS en temps réel .....	112
Figure 5-10: Séquence de démarrage de la Station #1, comparaison entre les modèles SPS/ARTEMiS en temps différé et en temps réel.....	114
Figure 5-11: Défaut triphasé à Station #2, comparaison entre les modèles SPS/ARTEMiS en temps différé et en temps réel .....	116
Figure 5-12: Blocage de tous les SMs des deux stations, comparaison entre les modèles SPS/ARTEMiS en temps différé et en temps réel.....	117
Figure 5-13: Défaut DC, comparaison entre modèle SPS/ARTEMiS temps différé et temps réel .....	118

Figure 5-14: Signal de sortie typique d'une forme d'onde du NLC pour un MMC de 9 niveaux .....	119
Figure 5-15: $N$ en fonction de la limite du temps d'échantillonnage.....	120
Figure 5-16: Influence de $\Delta t$ sur la forme d'onde de la modulation .....	121
Figure 5-17: $N$ en fonction des temps d'exécution des contrôles des SMs.....	122
Figure 5-18: Circuit de validation du MMC et configuration du MMC 1-CPU .....	124
Figure 5-19: Calculs en temps réel des différents CPU avec la configuration MMC 1-CPU.....	125
Figure 5-20: Structure du modèle MMC Multi-CPU .....	126
Figure 5-21: Calculs en temps réel des différents CPU avec la configuration MMC Multi-CPU .....	126
Figure 5-22: Variables externes du MMC, comparaison entre MMC 1-CPU et multi-CPU .....	127
Figure 5-23: Variables internes du MMC, comparaison entre MMC 1-CPU et multi-CPU .....	128
Figure 5-24: $N$ en fonction des temps d'exécutions des MMC sur CPU .....	129
Figure 5-25: Structure du modèle MMC-FPGA avec ASP1 et ASP2 .....	131
Figure 5-26: Calculs en temps réel des différents CPU avec la configuration MMC-FPGA .....	132
Figure 5-27: Modèle de l'ASP du demi-bras implémenté sur FPGA .....	132
Figure 5-28: Variables externes du MMC, comparaison entre MMC 1-CPU et MMC-FPGA ...	133
Figure 5-29: Variables internes du MMC, comparaison entre MMC 1-CPU et MMC-FPGA....	134
Figure 5-30: Tensions des condensateurs des $SM_{1u_a}$ , $SM_{1\ell_a}$ , $SM_{440u_a}$ et $SM_{440\ell_a}$ .....	135
Figure 5-31 : $N$ en fonction des temps d'exécutions des MMC sur FPGA.....	136
Figure 6-1: Modèle linéarisé d'une station MMC .....	141
Figure 6-2 : Modèle petit signal d'une station VSC-MMC .....	143
Figure 6-3 : Changement de référence de $RI$ à $dq$ .....	144
Figure 6-4 : Structure du contrôleur en petits-sinaux.....	145
Figure 6-5 : Structure générale d'une station VSC-MMC linéarisé.....	147

Figure 6-6 : Modèle de câble en PI incluant le couplage entre l'âme et l'écran .....	147
Figure 6-7 : Représentation en bloc du modèle du câble en PI.....	148
Figure 6-8 : Représentation en bloc de liaisons HVDC intégrées dans un réseau AC .....	149
Figure 6-9 : Vérification du modèle petit signal : liaison HVDC .....	150
Figure 6-10 : SCR = 10, résultats des variables côtés AC de la station VSC1 .....	151
Figure 6-11 : SCR = 10, résultats des variables côtés DC et PLL de la station VSC1 .....	152
Figure 6-12 : SCR = 2.5, résultats des variables du côté AC de la station VSC1.....	154
Figure 6-13 : SCR = 2.5, résultats des variables du côté DC et PLL de la station VSC1.....	155
Figure 6-14 : SCR = 2.5, résultats des variables côtés AC de la station VSC1 avec $\xi_{PLL} = 0.68$ .....	156
Figure 6-15 : SCR = 2.5, résultats des variables côtés DC et PLL de la station VSC1 avec $\xi_{PLL} = 0.68$ .....	157
Figure 6-16 : Évolution des lieux des racines en fonction du SCR.....	164
Figure 6-17 : Évolution des lieux des racines en fonction des gains du $i$ -control.....	165
Figure 6-18 : Lieux des racines en fonction des gains du PLL avec SCR = 2.5.....	166
Figure 6-19 : Étude paramétrique d'une liaison HVDC, influence des constantes de temps du PLL et du $i$ -control .....	168
Figure 6-20: Étude paramétrique sur une liaison HVDC, influence des constantes de temps du PLL et du $i$ -control sur la puissance réactive .....	169
Figure 6-21 : Liaison HVDC point-à-point avec ligne AC en parallèle .....	170
Figure 6-22: Mode 1 -Tableau 6-5 avec $Z_{parallel} = 0.0065pu$ .....	174
Figure 6-23: Mode 3 -Tableau 6-5 avec $Z_{parallel} = 0.0065pu$ .....	174
Figure 6-24: Mode 7 -Tableau 6-5 avec $Z_{parallel} = 0.0065pu$ .....	175
Figure 6-25: Étude paramétrique avec une ligne AC en parallèle, influence d'une petite perturbation sur la puissance active .....	176

Figure 6-26: Étude paramétrique avec une ligne AC en parallèle, influence d'une grande perturbation sur la puissance active .....	178
Figure 6-27: Étude paramétrique avec une ligne AC en parallèle, influence d'une grande perturbation sur la tension AC .....	179
Figure 6-28 : Deux liaisons HVDCs connectés via une ligne AC en série .....	180
Figure 6-29: Mode 1 -Tableau 6-8 avec $Z_{serie}$ .....	183
Figure 6-30: Mode 2 -Tableau 6-8 avec $Z_{serie}$ .....	183
Figure 6-31: Mode 4 -Tableau 6-8 avec $Z_{serie}$ .....	184
Figure 6-32: Évolution des lieux des racines en fonction de la variation de la constante de temps de VSC3. ....	185
Figure 6-33: Évolution des lieux des racines en fonction de la variation du filtre de VSC3. ....	185
Figure 6-34: Étude paramétrique sur l'inclusion de la liaison HVDC2, influence d'une petite perturbation sur la puissance active .....	187
Figure 6-35: Étude paramétrique sur l'inclusion de la liaison HVDC2, influence d'une petite perturbation sur la tension AC .....	188
Figure 6-36 : Deux liaisons HVDCs connectés sur le même jeu de barre .....	189
Figure 6-37: Étude paramétrique pour une petite perturbation sur la puissance active quand deux liaisons HVDCs sont raccordées sur le même jeu de barre.....	189
Figure 6-38: Comparaison entre deux liaisons HVDCs identique et une liaison HVDC .....	190
Figure 6-39: Étude paramétrique sur l'introduction de la liaison HVDC2, influence d'une grande perturbation sur la puissance active .....	191
Figure 6-40: Étude paramétrique sur l'introduction de la liaison HVDC2, influence d'une grande perturbation sur la tension AC .....	192

## LISTE DES SIGLES ET ABRÉVIATIONS

$\alpha_{acj}$	Composante alternative du rapport cyclique de la $j^{\text{ième}}$ phase
$\alpha_{dcj}$	Composante continue du rapport cyclique de la $j^{\text{ième}}$ phase
$\alpha_{dc3}$	Composante continue du rapport cyclique des trois phases
$\alpha_{\ell j}$	Rapport cyclique du demi-bras inférieur de la $j^{\text{ième}}$ phase
$\alpha_{uj}$	Rapport cyclique du demi-bras supérieur de la $j^{\text{ième}}$ phase
$C$	Capacité d'un sous-module
$C_{arm}$	Capacité équivalente d'un demi-bras $C/N$
CPU	Central Processing Unit
EMT	Electromagnetic Transient
FPGA	Field-Programmable Gate Array
$g_{1i}$	Commandes de la gâchette de l'IGBT supérieur du $i^{\text{ième}}$ sous-module
$g_{2i}$	Commandes de la gâchette de l'IGBT inférieur du $i^{\text{ième}}$ sous-module
HIL	Hardware-In the Loop
HVDC	High Voltage Direct Current
$N$	Nombre de sous-module par demi-bras
$L_{arm}$	Inductance d'un demi-bras
$i_{arm}$	Courant d'un demi-bras
$i_{arm}^h$	Courant historique d'un demi-bras
$i_{Ci}$	Courant du condensateur du $i^{\text{ième}}$ sous-module
$i_{Ci}^h$	Courant historique du condensateur du $i^{\text{ième}}$ sous-module
$i_{Ctot\ell j}$	Courant du condensateur équivalent du demi-bras inférieur de la $j^{\text{ième}}$ phase
$i_{Ctotuj}$	Courant du condensateur équivalent du demi-bras supérieur de la $j^{\text{ième}}$ phase
$I_{dc}$	Courant continu
$i_{diffj}$	Courant différentiel de la $j^{\text{ième}}$ phase
$i_{\ell j}$	Courant du demi-bras inférieur de la $j^{\text{ième}}$ phase
$i_{uj}$	Courant du demi-bras supérieur de la $j^{\text{ième}}$ phase
MMC	Modular Multilevel Converter

$n_{u,\ell j}$	Nombre de SM qui doit être inséré pour chaque demi-bras
PCC	Point de raccordement ou « Point of Common Coupling »
PLL	Phase-Locked Loop
$R_{1i}$	Résistance variable ( $R_{ON}$ ou $R_{OFF}$ ) représentant l'IGBT supérieur du $i^{ième}$ sous-module
$R_{2i}$	Résistance variable ( $R_{ON}$ ou $R_{OFF}$ ) représentant l'IGBT inférieur du $i^{ième}$ sous-module
$R_C$	Résistance de l'équivalent de Norton du condensateur discrétisé
$R_{OFF}$	Résistance d'ouverture d'un IGBT/diode
$R_{ON}$	Résistance de fermeture d'un IGBT/diode
$R_{SM_i}$	Résistance de l'équivalent de Norton du $i^{ième}$ sous-module
$S_i$	Fonction de commutation du $i^{ième}$ sous-module (0 ou 1)
$s_{\ell j}$	Fonction de commutation du demi-bras inférieur de la $j^{ième}$ phase [0;1]
$s_{uj}$	Fonction de commutation du demi-bras supérieur de la $j^{ième}$ phase [0;1]
SCC	Puissance de court-circuit ou « Short-Circuit Capacity »
SCR	Ratio de la puissance de court-circuit ou « Short-Circuit Ratio »
SM	Sous-Module
$v_{arm}$	Tension d'un demi-bras
$v_{arm}^h$	Tension historique d'un demi-bras
$v_{Ci}$	Tension du condensateur du $i^{ième}$ sous-module
$v_{convacj}$	Tension alternative de la $j^{ième}$ phase du convertisseur
$v_{convdcj}$	Tension continue de la $j^{ième}$ phase du convertisseur
$v_{convdc3}$	Tension continue des trois phases du convertisseur
$\bar{v}_{Ctot3}$	Tension moyenne de la somme des condensateurs d'un demi-bras des trois phases
$\bar{v}_{Ctotj}$	Tension moyenne de la somme des condensateurs du demi-bras de la $j^{ième}$ phase
$v_{Ctot\ell j}$	Tension de la somme des condensateurs du demi-bras inférieur de la $j^{ième}$ phase
$v_{Ctotuj}$	Tension de la somme des condensateurs du demi-bras supérieur de la $j^{ième}$ phase
$v_{\ell j}$	Tension d'un demi-bras inférieur de la $j^{ième}$ phase
$v_{uj}$	Tension d'un demi-bras supérieur de la $j^{ième}$ phase
$v_{R_{1i}}$	Tension de la résistance représentant l'IGBT/diode supérieur du $i^{ième}$ sous-module

$v_{R_{2i}}$	Tension de la résistance représentant l'IGBT/diode inférieur du $i^{\text{ième}}$ sous-module
VSC	Voltage Source Converter
$v_{SM_i}$	Tension du $i^{\text{ième}}$ sous-module
$v_{SM_i}^h$	Tension historique du $i^{\text{ième}}$ sous-module
$Y_{arm}$	Admittance d'un demi-bras



## LISTE DES ANNEXES

Annexe A - PARAMÈTRES DU CÂBLE CONTINU .....	205
Annexe B - PHASE-LOCKED LOOP (PLL) .....	206
Annexe C - DÉVELOPPEMENT DÉTAILLÉ DES ÉQUATIONS .....	207
Annexe D - STABILITÉ DE L'APPROCHE #1 .....	208
Annexe E - COMPARAISON DU MODÈLE DE CÂBLE AVEC ET SANS MODIFICATION .....	209
Annexe F - TRANSFORMATION DE PARK.....	210
Annexe G – CONCEPTS FONDAMENTAUX DE LA STABILITÉ EN PETITS-SIGNAUX.	212
Annexe H –Matrice d'état du modèle MMC en petits signaux.....	215

## CHAPITRE 1 INTRODUCTION

### 1.1 Motivation

Le transport d'énergie en courant continu et à haute tension (CCHT ou HVDC) est présentement en pleine expansion dans le monde. Deux principaux facteurs sont à l'origine de cet engouement. Le premier facteur est relié aux difficultés de construction de nouvelles lignes aériennes pour assurer le développement du réseau à haute tension et ce qui fait que le recours à des câbles souterrains est de plus en plus fréquent. Or l'utilisation de ces câbles est limitée en longueur à quelques dizaines de km à cause du courant capacitif généré par le câble lui-même. Au-delà de cette longueur limite, la solution consiste généralement à transporter en courant continu (CC ou DC<sup>1</sup>). Le second facteur est relié au développement de l'éolien offshore qui nécessite de raccorder des puissances de plusieurs centaines de MW au réseau continental au moyen de câbles dont les longueurs peuvent atteindre quelques centaines de km et donc requérir le transport en HVDC.

De manière concrète, plusieurs projets ont été planifiés et démarrés par le gestionnaire du réseau de transport français RTE. Le projet INELFE, d'une capacité de 2000 MW, entre la France et l'Espagne et de nombreux autres sont à l'étude tant au niveau des interconnexions, que des liaisons internes ou du raccordement de producteurs. Cette thèse est financée par RTE, dans le but de modéliser, simuler en temps différé et en temps réel, et étudier les risques d'interactions indésirables entre ces liaisons HVDC.

Le développement des composants semi-conducteurs contrôlables et des VSC (Voltage Source Converter) est en pleine expansion dans les applications de type HVDC et FACTS. Les liaisons HVDC de type VSC présentent plusieurs avantages par rapport aux liaisons HVDC conventionnels de type LCC (Line-Commutated Converter) [1]. Les applications des systèmes HVDC-VSC comprennent les interconnexions des systèmes asynchrones, l'intégration au réseau des parcs éoliens offshore, l'alimentation des réseaux passifs ou faibles et les réseaux DC (direct

---

<sup>1</sup> Dans cette thèse, les abréviations utilisées pour le courant continu et courant alternatif sont respectivement DC et AC dans le texte et dc et ac dans les symboles et les figures.

current ou courant continu) multi-terminaux [2]-[4]. Les liaisons HVDC-VSC peuvent contrôler indépendamment les puissances actives et réactives en maintenant une tension et une fréquence stables [5], ce qui permet l'alimentation de réseaux très faibles et même des réseaux passifs [6].

Il existe différentes topologies de VSC (Voltage Source Converter), comme les convertisseurs deux niveaux, les convertisseurs multi-niveaux avec des diodes et les convertisseurs multi-niveaux avec des condensateurs flottants [7]. Toutefois, en raison de la complexité des commandes et des limites pratiques, les installations de système HVDC-VSC ont été traditionnellement limitées à des convertisseurs deux niveaux et trois niveaux. Récemment, la mise au point de la technologie modulaire [8]-[9] appelée MMC (Modular Multilevel Converter [Siemens]-[Alstom]) ou CTL (Cascaded Two Level topology [ABB]), a permis de surmonter les limites des autres topologies multi-niveaux pour les applications HVDC. Cette topologie est constituée de plusieurs sous-modules (SMs) connectés en séries. Chaque sous-module contient deux IGBTs avec leurs diodes antiparallèles et un condensateur qui sert comme accumulateur d'énergie. Dépendamment de l'application et de la capacité de puissance requise, les niveaux du MMC peut varier de quelques dizaines à des centaines de sous-modules par demi-bras. Pour les systèmes HVDC et FACTS, un MMC peut comprendre des milliers de commutateurs de puissance. Le projet Trans Bay Cable [10], par exemple, comprend plus de 200 SMs par demi-bras et le projet INELFE [11] utilise plus de 400 SMs par demi-bras.

Compte tenu du nombre très élevé de composants semi-conducteurs dans les nouveaux convertisseurs de type MMC, il est très difficile de modéliser et simuler l'ensemble de ces composants dans un même environnement de simulation de type électromagnétique (EMT) qu'il fonctionne en temps différé ou en temps réel. Les modèles MMC détaillés sont composés de milliers d'IGBT/diode et doivent utiliser de petits pas de temps d'intégration numérique pour représenter avec précision les événements de commutations rapides et simultanées [11]. Ceci devient encore particulièrement plus complexe pour effectuer des simulations en temps réel. La charge de calcul engendrée par ces modèles, met en évidence la nécessité de développer des modèles plus efficaces. Une tendance actuelle est basée sur des modèles simplifiés à valeur moyenne (AVM) [12]-[13] capable de fournir suffisamment de précision [14] pour des simulations dynamiques. Les modèles MMC en AVM ont été présentés dans [10] et [11]. Il existe aussi d'autres approches qui permettent de simplifier le MMC de façon plus efficace [15]-[19]. Ces modèles simplifiés sont capables de fournir suffisamment de précision pour les simulations

de type EMT, cependant la validité de ces modèles doit être évaluée. Dans cette thèse, quatre différentes modélisations sont développées et présentées. Les limites de validité de chaque modèle sont illustrées à l'aide de simulations de type EMT.

La particularité des liaisons HVDC est de faire appel à un système de contrôle dédié qui va en grande partie déterminer le comportement dynamique de la liaison tant pour des grosses perturbations (défauts sur le réseau) que pour des petites perturbations. Avec un grand nombre de niveaux de MMC, le contrôle des SMs (équilibre des tensions de condensateur des SMs) peut être séparé du contrôle global (contrôle du courant et de la puissance) [20]. Plusieurs articles ont proposé différents systèmes de contrôle global [20]-[23] basée sur l'énergie de demi-bras et, dans certains cas, la stratégie de contrôle a été validée sur une liaison HVDC. Cependant, dans tous ces articles, la tension du bus continu est imposée par les tensions des condensateurs des SMs, ce qui signifie que la tension DC ( $V_{dc}$ ) est toujours égale à la somme de toutes les tensions des condensateurs ( $v_{Ctot}$ ) dans chaque bras. Dans cette thèse une stratégie de découplage entre  $V_{dc}$  et  $v_{Ctot}$  a été développée [24]. Cette approche permet d'utiliser différents points de consigne entre  $V_{dc}$  et  $v_{Ctot}$ . Ce qui permet, par exemple, la gestion des SMs redondants dans un MMC. Concernant les contrôles des SMs, deux approches principales existent pour équilibrer les tensions des condensateurs des SMs: le réglage de chaque condensateur de SM par un contrôleur PI [25] ou à l'aide d'un algorithme qui traite tous les condensateurs des SMs de chaque demi-bras [26]. Ce dernier est plus approprié pour un grand nombre de niveaux de MMC. Les algorithmes d'équilibrage de contrôle BCA (Balancing Control Algorithm) proposés dans la littérature, sont basés sur une fonction de tri à afin d'ordonner les SMs en fonction de  $v_{Ci}$  [26]. Le principal inconvénient de cet algorithme est le grand nombre de commutations appliquées sur les SMs. Dans [27], [28] et [29] certaines méthodes ont été ajoutées afin de réduire le nombre de commutations, mais ces techniques n'ont pas été testées avec des MMC ayant plusieurs centaines de niveaux. Dans cette thèse, un BCA basé sur les fonctions minimales et maximales pour sélectionner les SMs adéquats est développé [24]. L'approche proposée permet de réduire le nombre de commutations pour chaque SM et en même temps de réduire le temps de calcul.

La simulation en temps réel des convertisseurs de puissance est un outil précieux pour le développement et le test de systèmes de commande [30]. La modélisation en temps réel de

l'électronique de puissance peut être implémentée principalement sur CPU (Central Processing Unit) ou sur FPGA (Field-Programmable Gate Array). Les temps d'exécution d'un modèle sur CPU pour chaque pas de temps est de l'ordre de quelque dizaine de  $\mu s$  ce qui constitue un facteur limitatif pour la précision de la simulation. La technologie FPGA offre une meilleure alternative et permet de réduire les temps de calculs de l'ordre de centaines de  $ns$ . Toutefois, des préoccupations importantes demeurent pour une large adoption de cette technologie en raison des efforts considérables nécessaires à la mise en œuvre de solveurs complexes. Le nombre excessif d'interrupteurs d'électronique de puissance dans le MMC crée des difficultés de calcul importantes lors de la simulation des transitoires électromagnétiques. Dans les simulations en temps réel, la modélisation d'un dispositif de commutation très détaillé est actuellement hors de portée et des simplifications sont nécessaires pour réaliser des simulations HIL (Hardware-In-the-Loop). En simplifiant les dispositifs IGBT/diode, l'équivalent Norton de chaque bras de MMC peut être obtenu [15]. Dans [32], [33] et [34] cette dernière approche est mise en œuvre sur CPU pour des simulations en temps réel avec des MMC ne dépassant pas les 101 niveaux. Dans cette thèse [35], l'étude de faisabilité de la simulation en temps réel des modèles MMC ayant jusqu'à 400 SMs /demi-bras est présentée. Les modèles sont implémentés en utilisant le CPU et le FPGA afin d'évaluer les limites et les avantages de chaque technologie pour la simulation en temps réel.

Par ailleurs, les liaisons à courant continu en construction ou en projet en France s'insèrent dans un réseau fortement maillé. C'est une caractéristique relativement nouvelle pour ces liaisons. L'impact de leur fonctionnement et le risque d'interaction entre deux liaisons HVDCs peut avoir un impact sur le réseau alternatif. Dans la littérature, il existe quelques articles portant sur le risque d'interactions entre plusieurs liaisons HVDC-VSC intégrées dans un réseau AC. Dans [48]-[50], la modélisation en petits signaux d'une station VSC et des études modales d'un réseau DC ont été présentées. Dans [51], une étude de stabilité entre deux liaisons HVDC et une comparaison entre VSC et LCC sont présentées. Dans [52] et [53], des études portant sur une liaison HVDC-VSC connectée en parallèle avec une ligne AC sont présentées. Dans [54], une étude d'interaction entre une liaison HVDC-VSC et un STATCOM est présentée. Dans cette thèse, l'analyse modale et EMT sont utilisés afin d'étudier l'interaction entre deux liaisons HVDC.

## 1.2 Objectifs de la thèse

L'objectif de cette thèse est de :

- Modéliser des MMC de plus de 101 niveaux de façon détaillée pour établir une référence de précision.
- Établir des modèles simplifiés pour les MMC, afin de diminuer le temps de calcul tout en maintenant une bonne précision
- Développer un système de contrôle-commande complet adapté à ces convertisseurs MMC.
- Étudier la faisabilité des simulations en temps réel avec un MMC détaillé.
- Investiguer le risque d'interaction d'une liaison HVDC imbriquée dans un réseau AC et de deux liaisons HVDCs électriquement proches.

Le plan de la thèse se présente comme suit :

**Chapitre 2 :** Liaison HVDC-VSC : Revue de Littérature

**Chapitre 3 :** Modélisation des MMC

**Chapitre 4 :** Système de contrôle

**Chapitre 5 :** Simulation en temps réel

**Chapitre 6 :** Étude d'interaction des liaisons HVDCs intégrées dans un réseau AC

## 1.3 Contributions de la thèse

Les contributions principales de cette thèse sont :

- Réalisation des modèles MMC-401 niveaux détaillé et en temps différé dans un logiciel de type EMT. Ce modèle servira de référence de précision dans cette thèse.
- Développement de différents type de modèles simplifiés (avec la prise en compte de l'état bloqué des SMs), sous un logiciel de type EMT (en temps différé), afin d'accélérer le temps de calcul tout en maintenant, le plus possible, une bonne précision du modèle.
- Développement d'un modèle MMC à valeur moyenne pour des logiciels de type phaseur.

- Réalisation de différents cas tests pratiques qui permettent d'évaluer la précision et la validité d'un modèle MMC lors des transitoires.
- Développement de deux nouveaux systèmes de contrôle global : d'une part, un système ne prenant pas en compte la régulation des variables internes du MMC, et d'autre part, un système de contrôle qui permet la régulation des énergies internes du MMC.
- Développement de trois fonctions de contrôle des SMs : deux contrôleurs basés sur la fonction de tri et un contrôleur basé sur la fonction max-min. Ce dernier permet d'accélérer le temps de calcul tout en diminuant le nombre de commutations de chaque SM. Ce qui représente un avantage pour les MMCs de plusieurs centaines de niveaux.
- Développement d'une démarche qui permet la transcription d'un modèle HVDC de Matlab/Simulink vers EMT-P-RV.
- Étude de faisabilité sur l'implémentation d'un modèle MMC détaillé équivalent pour des simulations en temps réel HIL (Hardware In the Loop).
- Développement d'un MMC de plusieurs centaines de niveaux sur CPU et FPGA pour des simulations en temps réel.
- Développement d'un modèle HVDC-MMC linéarisé de type petit signal.
- Réalisation d'études sur les risques d'interaction entre une liaison HVDC imbriquée dans un réseau AC et entre deux liaisons HVDC électriquement proches.
- Réalisation d'études paramétriques sous un logiciel de type EMT, afin d'évaluer le risque d'interaction lors de perturbations importantes.

## 1.4 Liste des publications issues de ce travail

### 1.4.1 Chapitre de livre

- **H. Saad**, S. Denetière, J. Mahseredjian, T. Ould-Bachir and J.-P. David "Simulation of Transients for VSC-HVDC Transmission Systems Based on Modular Multilevel Converters", in *Transient Analysis of Power Systems: Solution Techniques, Tools and Applications*. Wiley-IEEE Press, Jan 2015

### 1.4.2 Articles de journal

- **H. Saad**, X. Guillaud, J. Mahseredjian, S. Denetiere, S. Nguefeu, "MMC Capacitor Voltage Decoupling and Balancing Controls," *Power Delivery, IEEE Transactions on*, vol.30, no.2, pp.704,712, April 2015
- **H. Saad**, T. Ould-Bachir, J. Mahseredjian, C. Dufour, S. Denetiere, S. Nguefeu., "Real-Time Simulation of MMCs Using CPU and FPGA," *Power Electronics, IEEE Transactions on*, vol.30, no.1, pp.259, 267, Jan. 2015
- **H. Saad**, S. Denetiere, J. Mahseredjian, P. Delarue, X. Guillaud, J. Peralta, and S. Nguefeu, "Modular Multilevel Converter Models for Electromagnetic Transients," *Power Delivery, IEEE Transactions on*, vol.29, no.3, pp.1481,1489, June 2014
- **H. Saad**, J. Peralta, S. Denetiere, J. Mahseredjian, J. Jatskevich, J.A. Martinez et al., "Dynamic Averaged and Simplified Models for MMC-Based HVDC Transmission Systems," *Power Delivery, IEEE Transactions on*, vol.28, no.3, pp.1723,1730, July 2013
- J. Peralta, **H. Saad**, S. Denetiere, J. Mahseredjian, and S. Nguefeu, "Detailed and averaged models for a 401-level MMC-HVDC system," *IEEE Trans. on Power Delivery*, vol. 27, no. 3, pp. 1501-1508, July 2012

### 1.4.3 Articles de conférence

- **H. Saad**, J. Mahseredjian, S. Denetiere, S. Nguefeu, "Interactions Studies of HVDC-MMC link embedded in an AC Grid," accepted in *IPST 2015, International Conf. on Power Systems Transients*, Cavtat, Croatia, June 15-18, 2015
- **H. Saad**, C. Dufour, J. Mahseredjian, S. Denetiere, S. Nguefeu, "Real time simulation of MMCs using the state-space nodal approach," *IPST 2013, International Conf. on Power Systems Transients*, Vancouver, Canada, July 18-20, 2013
- S. Denetiere, **H. Saad**, "EMT simulation of the CIGRE B4 DC Grid test system," *CIGRE Conference*, Canada, Sept. 2014



- M. M. Belhaouane, **H. Saad**, X. Guillaud, J. Mahseredjian “ Control and Performance of Modular Multilevel Converters using Resonant Controller,” *IECON 2014 - 40th Annual Conference on IEEE Industrial Electronics Society*, Dallas, USA, Oct. 29 – Nov. 1, 2014
- C. Dufour, **H. Saad**, J. Mahseredjian, J. Bélanger, “ Custom-Coded Models in the State Space Nodal Solver of ARTEMiS,” *IPST 2013, International Conf. on Power Systems Transients*, Vancouver, Canada, July 18-20, 2013
- J. Peralta, **H. Saad**, S. Denetiere, J. Mahseredjian, "Dynamic performance of average-value models for multi-terminal VSC-HVDC systems," *Power and Energy Society General Meeting, 2012 IEEE* , pp.1,8, 22-26 July 2012
- E. Farantatos, U. Karaagac, **H. Saad**, J. Mahseredjian, "Short-circuit current contribution of converter interfaced wind turbines and the impact on system protection," *Bulk Power System Dynamics and Control - IX Optimization, Security and Control of the Emerging Power Grid (IREP), 2013 IREP Symposium* , pp.1,9, 25-30 Aug. 2013
- S. Denetière, S. Nguefeu, **H. Saad**, J. Mahseredjian, “Modeling of Modular Multilevel Converters for the France-Spain link,” *IPST 2013, International Conf. on Power Systems Transients*, Vancouver, Canada, July 18-20, 2013
- U. Karaagac, J. Mahseredjian, **H. Saad**, S. Jensen, and L. Cai, “Examination of fault-ride-through methods for off-shore wind farms connected to the grid through VSC-based multi-terminal HVDC transmission,” *IPST 2013, International Conf. on Power Systems Transients*, Vancouver, BC, Canada, 18-20 July 2013
- T. K. Vrana, Y. Yang, D. Jovcic, S. Denetière, J. Jardini, **H. Saad**, ‘The CIGRE B4 DC Grid Test System’, *ELECTRA* issue 270, October 2013, pp 10-19

## CHAPITRE 2 LIAISON HVDC-VSC : REVUE DE LITTÉRATURE

Ce chapitre présente une brève introduction des liaisons HVDC suivie d'une description des différentes technologies VSC utilisées pour des applications HVDC. Le fonctionnement ainsi que les composants principaux d'une station MMC sont aussi élaborés dans cette présentation.. Enfin, un rappel concernant les simulations de type EMT et les simulations en temps réel sera présenté.

### 2.1 Liaison HVDC

En 1954, la première liaison HVDC commerciale, ayant une capacité de 20 MW/ $\pm 100$  kV, a été installée entre la Suède et l'île de Gotland. Depuis, la puissance cumulative de la transmission HVDC installée à travers le monde a augmenté de façon constante, et, récemment, une augmentation fulgurante du volume est en marche. Jusqu'ici, la plupart des systèmes HVDC installés dans le monde sont de type LCC (Line-Commutated Converter) et utilisent des valves à thyristors. Cette technologie est aussi appelée « HVDC classique » puisqu'elle constitue une technologie bien établie. Actuellement, la ligne de transmission la plus puissante au monde est le projet Hokkaido – Honshu en Chine, avec une capacité de 72000 MW/ $\pm 800$  kV.

Cependant, avec la diminution graduelle des pertes et les coûts de production des IGBTs, les VSC sont devenus plus avantageux pour plusieurs applications [1] et [46]. Les VSC permettent:

- Le contrôle indépendant des puissances réactive et active de chaque convertisseur
- L'élimination des défaillances de commutation dues à des perturbations sur le réseau AC
- De raccorder un réseau alternatif faible ou passif
- Une réponse dynamique plus rapide en raison des modulations plus élevées, ce qui entraîne des filtres de plus petites tailles, voir même leurs suppressions.

À titre de comparaison, les Figure 2-1 et Figure 2-2, illustrent des installations de stations LCC et VSC respectivement. Pour ces deux projets, la capacité de transit est de 2,000 MW. Pour cette même capacité, on remarque une différence notable au niveau de l'espace requis pour une station LCC comparée à une station de type VSC, qui est beaucoup plus compacte.

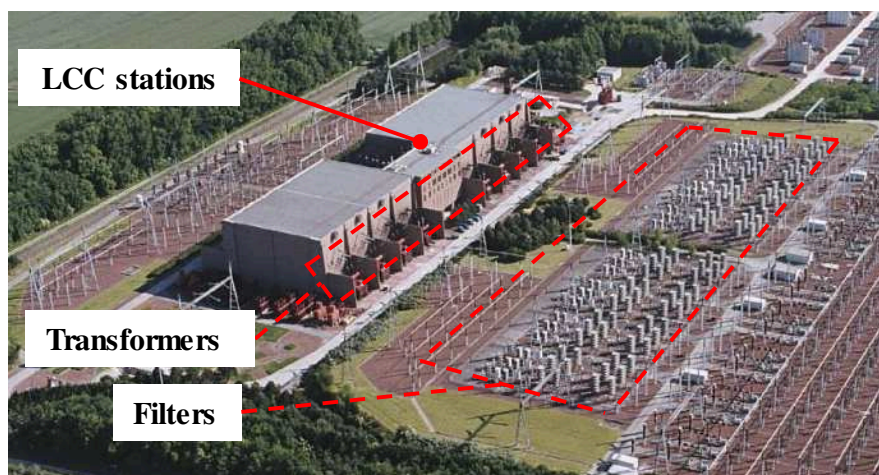


Figure 2-1: Installation type d'une liaison HVDC-LCC, Projet IFA2000

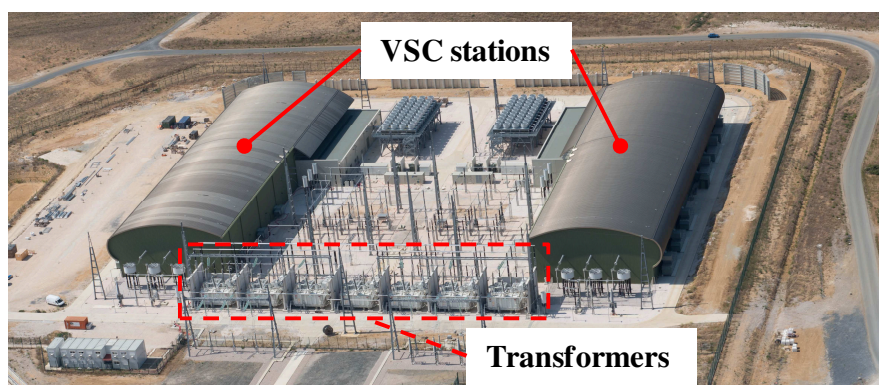


Figure 2-2: Installation type d'une liaison HVDC-VSC, Projet INELFE

## 2.2 Liaison HVDC-VSC

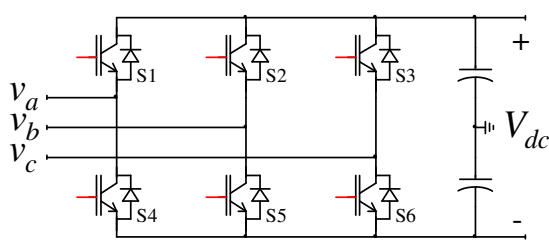
En 1997, la première liaison HVDC-VSC évaluée à 3 MW/ $\pm 10$  kV a été mise en service en Suède. Jusqu'en 2010, il y a eu dix projets de liaisons HVDC-VSC dans le monde, dont les deux plus grands sont : le projet de parc éolien offshore Borkum1 (en Allemagne) [10] de 400 MW/ $\pm 150$  kV et le projet d'interconnexion Trans Bay Cable aux Etats-Unis, de 400 MW/ $\pm 200$  kV. En 2015, il est prévu que le projet INELFE d'interconnexion entre la France et l'Espagne devient le plus grand au monde avec sa capacité totale de 2000MW/ $\pm 320$ kV pour deux liaisons en parallèle. Il existe plusieurs topologies de VSC. Dans les prochaines sous-sections, les trois topologies présentement commercialement disponibles, sont décrites.

### 2.2.1 VSC 2 niveaux

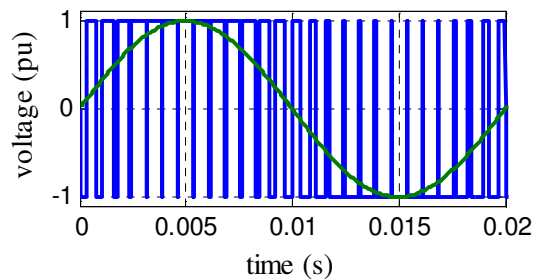
La topologie 2 niveaux a été utilisée pour plusieurs niveaux de puissance. La configuration de base d'un convertisseur 2 niveaux trois phases est présentée à la Figure 2-3.a. Dans un système réel les IGBT/diodes sont assemblés en série par centaines pour former des valves à très haute tension. Chaque IGBT est capable de supporter des courants entre 1 à 2kA et des tensions jusqu'à environ 3kV [55].

Grâce à la capacité d'allumage et de coupure de l'IGBT, chaque valve peut commuter plusieurs fois par cycle. Une diode antiparallèle est insérée afin de permettre le passage du courant négatif. À chaque instant, la tension phase-phase à la sortie du convertisseur peut être égale à la tension continue ( $+V_{dc}$ <sup>2</sup>) ou égale à son opposée ( $-V_{dc}$ ). En utilisant une stratégie de commande appropriée, il est donc possible de créer une tension alternative coté alternative.

La technique de modulation de largeur d'impulsion (MLI ou PWM- Pulse Width Modulation) est utilisée afin de réduire les harmoniques générés par ces commutations. Il existe plusieurs techniques de PWM, la plus classique consiste à comparer la tension de référence désirée (la modulante) à une fonction triangulaire (la porteuse). À la Figure 2-3.b, la tension de référence désirée (en vert) et la tension actuellement réalisée coté AC (en bleue), sont présentées. En ajoutant des filtres passifs à la sortie du convertisseur, les harmoniques générés par le PWM sont éliminés.



a) Topologie



b) Forme d'onde de la tension

Figure 2-3: VSC 2 niveaux

<sup>2</sup> Dans cette thèse, les abréviations utilisées pour le courant continu et courant alternatif sont respectivement DC et AC pour le texte et dc et ac pour les symboles et les figures.

### 2.2.2 VSC 3 niveaux

Une façon de réduire les harmoniques sans augmenter les pertes de commutation est de séparer la tension continue en plusieurs niveaux de tensions. Une séparation en 3 niveaux est présentée à la Figure 2-4.a. Cette topologie, appelée NPC (Neutral Point Clamped), est constituée de deux diodes insérées dans chaque phase, ce qui permet de diviser la tension  $V_{dc}$  en deux. Il convient de souligner que le nombre total d'IGBTs physiquement installés pour cette topologie est le même que le nombre d'IGBTs pour un VSC 2 niveaux (Figure 2-3) puisque uniquement la moitié de la tension continue est supportée par les IGBTs.

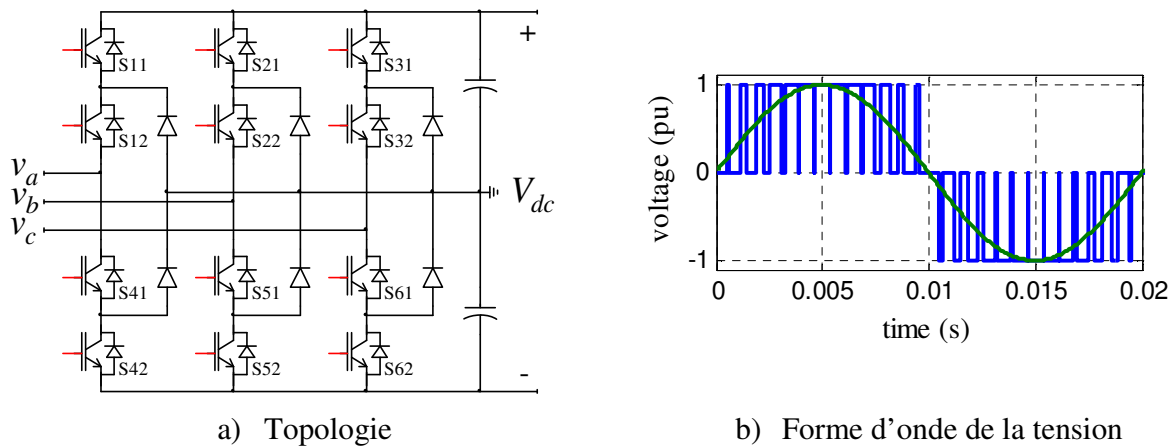


Figure 2-4: VSC 3 niveaux

Cette topologie multi-niveaux permet de réduire les pertes globales (puisque les crêtes des tensions de commutation sont diminuées) et les harmoniques. Toutefois, en raison de la complexité du processus de commutation, l'équilibrage des tensions des condensateurs et des limites pratiques, les installations de système HVDC basées sur la topologie NPC ont été limitées à trois niveaux.

### 2.2.3 MMC

Afin de surmonter ces limites, la topologie MMC ou CTL a été mise en œuvre. Les avantages principaux de cette topologie sont :

- Une fréquence de commutation et des crêtes de tension de commutation plus petites, ce qui entraîne la réduction des pertes globales [56];

- Les exigences en matière de filtre sont éliminées par l'utilisation d'un nombre important de niveaux;
- Une structure modulaire qui permet, d'une part, d'atteindre des tensions plus élevées et, d'autre part, d'améliorer la fiabilité en augmentant le nombre de sous-modules par demi-bras [47].

La première installation mise en service utilisant cette topologie: le projet Trans Bay Cable [10] avec une capacité de 400 MW/  $\pm 200$  kV. Toutefois, plusieurs dizaines de projets, utilisant cette topologie, sont en construction dans le monde.

## 2.2.4 Topologie du MMC

La Figure 2-5 montre la configuration en trois phases de la topologie du MMC. Le MMC est composé de  $N$  SMs par demi-bras, ce qui se traduit par une tension phase-terre ayant une forme d'onde de  $(N + 1)$  niveaux [25]. Le regroupement de plusieurs sous-modules en série forme un demi-bras. Côté alternatif, chaque phase est constituée de deux demi-bras. Des inductances  $L_{arm}$  sont rajoutées en série dans chaque demi-bras afin de lisser le courant et de le limiter lors de défauts [47]. Chaque SM est constituée d'un convertisseur en demi-pont tel que présenté dans Figure 2-5.b. Il comprend principalement un condensateur  $C$  et deux IGBTs avec diodes antiparallèles (S1i et S2i). La commande de ces IGBTs permet ainsi de connecter et de déconnecter le condensateur sur le réseau.

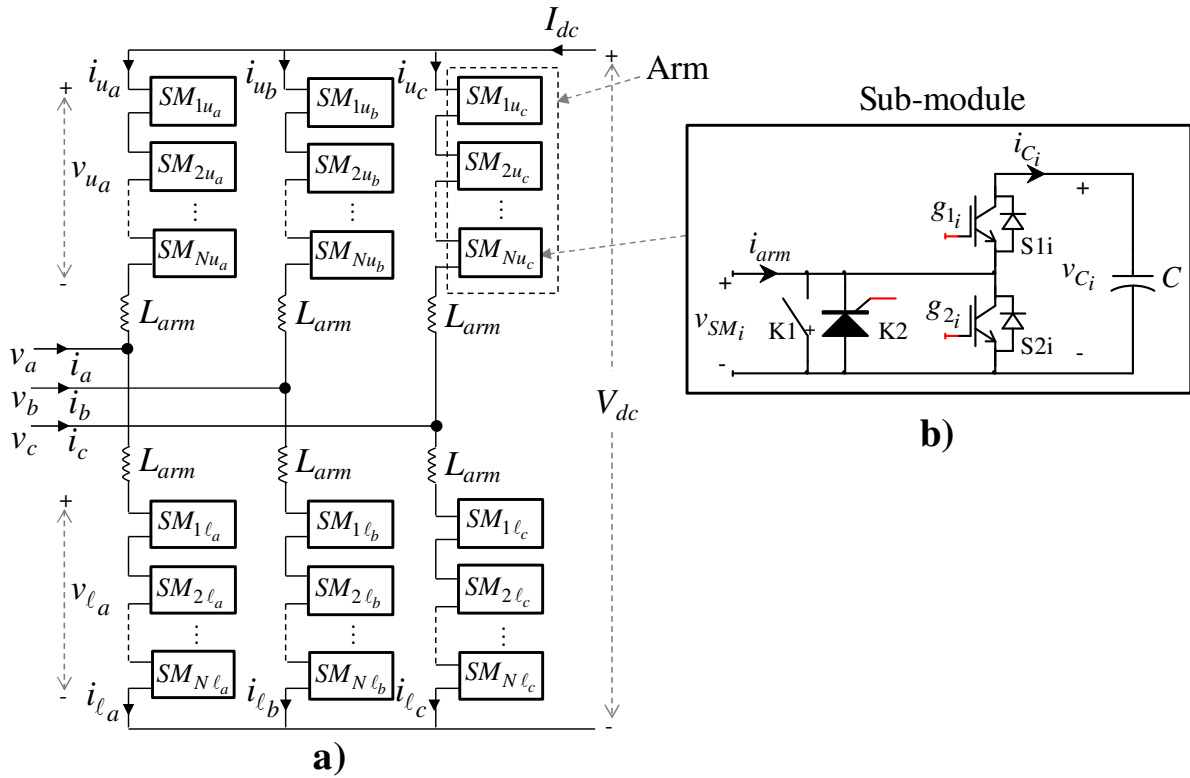


Figure 2-5: a) Topologie du MMC; b) convertisseur en demi-pont du  $i^{\text{ème}}$  SM

Une forme d'onde type pour un MMC à 9 niveaux (c.à.d. 8 SMs/demi-bras) est présentée à la Figure 2-6. La courbe bleue représente la tension de référence désirée et la courbe verte représente la tension réalisée du côté AC du convertisseur.

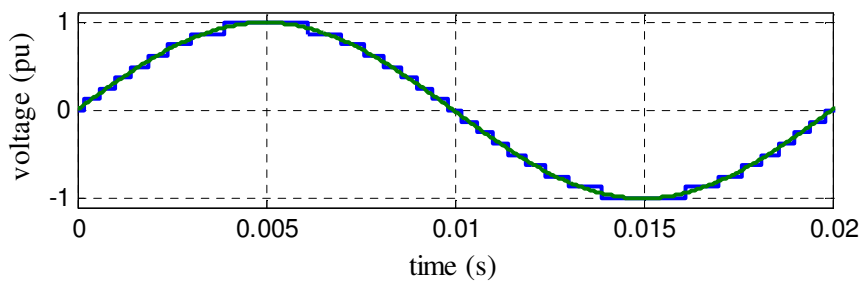


Figure 2-6: MMC-9 niveaux - Forme d'onde de la tension

Il convient de souligner, que le nombre de niveaux du MMC peut changer en fonction des constructeurs et en fonction de chaque projet d'installation. Pour le constructeur ABB, en général

un MMC de 39 niveaux est disponible commercialement, quant aux constructeurs Siemens et Alstom Grid, des MMCs de plusieurs centaines de niveaux sont privilégiés.

#### 2.2.4.1 Fonctionnement d'un sous-module

Puisque les IGBTs sont contrôlables à travers les signaux des gâchettes  $g_{1i}$  et  $g_{2i}$ , le SMs peut avoir trois états différents :

- Dans l'état ON:  $g_{1i}$  est allumée,  $g_{2i}$  est éteinte et la tension du SM est égale à la tension du condensateur.
- Dans l'état OFF:  $g_{1i}$  est éteinte,  $g_{2i}$  est allumée et  $v_{SMi} = 0$ .
- Dans l'état Bloqué:  $g_{1i}$  et  $g_{2i}$  sont éteintes et  $v_{SMi}$  dépend de la direction du courant de demi-bras ( $i_{arm}$ ). Le condensateur peut se charger par S1i mais ne peut pas se décharger.

Selon la technologie d'IGBT utilisée dans un tel convertisseur, l'interrupteur mécanique à haute vitesse K1 (Figure 2-5.b) est nécessaire pour améliorer la fiabilité du système en cas de défaillance du SM et le thyristor K2 est enclenché afin de protéger les diodes antiparallèles contre les courants de défaut élevés [47].

Il convient de souligner que d'autres configurations de circuits SM existent, comme en pont complet et double-articulation-SM [80]. Toutefois, cette thèse se concentre uniquement sur la configuration en demi-pont car elle est, actuellement, la plus largement répandue.

### 2.2.5 Configuration typique d'une station MMC

La configuration typique d'une station MMC est présentée à la Figure 2-7. Elle est composée de :

- Disjoncteur AC (AC breaker) qui permet le raccordement et le déclenchement de la station avec le réseau alternatif.
- Transformateur ayant un enroulement YD pour garantir une isolation galvanique entre le réseau et la station de conversion.
- Disjoncteur en parallèle avec une résistante de quelques k $\Omega$  placés entre le côté secondaire du transformateur et le convertisseur. La résistance est utilisée lors du démarrage de la station, afin d'éviter des appels de courant très élevés lors du chargement



des condensateurs du MMC. Quand la station est en opération normale, cette résistance est court-circuitée par le disjoncteur « converter breaker ».

- Une inductance (quelques kH) et une résistance (quelques k $\Omega$ ) en étoile est connectée à la terre (Star point reactor) afin d'obtenir une référence à la terre du coté secondaire du transformateur.
- Convertisseur MMC dont la structure interne dépend de chaque constructeur.

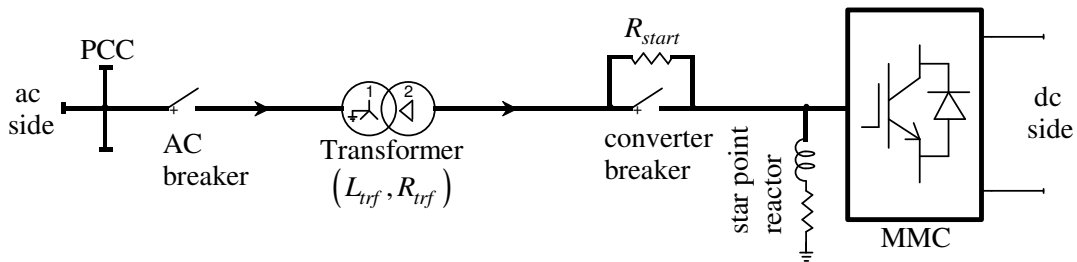


Figure 2-7: Configuration d'une station MMC typique

Contrairement au convertisseur VSC classique, on constate l'absence de filtres harmoniques des côtés AC et DC.

## 2.3 Fonctionnement de base d'un VSC

Pour comprendre le principe du système de commande d'un VSC, on considère le circuit simple à deux bus illustré dans la Figure 2-8 où  $V_S$  est la source de tension AC,  $V_{conv}$  est la tension AC aux bornes du convertisseur, et  $X$  représente l'inductance équivalente entre la source et le convertisseur (c.à.d. l'inductance du transformateur, l'équivalent du demi-bras). Les pertes sont négligées à des fins de simplification.

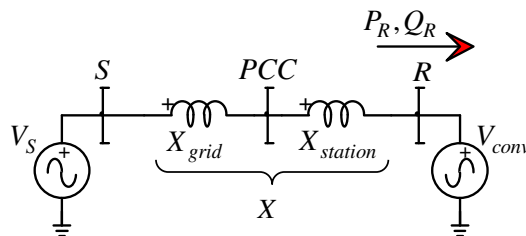


Figure 2-8: Circuit simple représentant le principe de fonctionnement d'un VSC

Les puissances actives et réactives transférées à partir de la source vers le convertisseur sont données par les relations suivantes:

$$\begin{cases} P_R = \frac{V_S V_{conv}}{X} \sin(\delta) \\ Q_R = \frac{V_S V_{conv} \cos(\delta) - V_{conv}^2}{X} \end{cases} \quad (2.1)$$

où  $\delta$  représente le déphasage entre les deux bus.

En supposant que l'angle  $\delta$  est petit, les équations (2.1) peuvent être linéarisées :

$$\begin{cases} P_R \approx \frac{V_S V_{conv}}{X} \delta \\ Q_R \approx \frac{V_{conv} (V_S - V_{conv})}{X} \end{cases} \quad (2.2)$$

À partir de (2.2) on peut voir qu'à travers le contrôle de l'angle de déphasage et l'amplitude de la tension du convertisseur, il est possible de réguler les puissances active et réactive respectivement, à un point de fonctionnement désiré.

## 2.4 Transmission de puissance et stabilité de tension

Dans cette section une étude de stabilité est présentée. Le but de cette section est d'élaborer une approche simple afin de déterminer les points de fonctionnement stables d'une liaison à courant continu. La transmission de puissance active, dans (2.1), peut être représentée sous forme graphique en fonction de différentes valeurs d'inductance équivalente  $X$  (Figure 2-9). On remarque que la puissance active transmise augmente en fonction de la valeur de l'inductance et la valeur maximale se trouve autour de l'angle  $90^\circ$ .

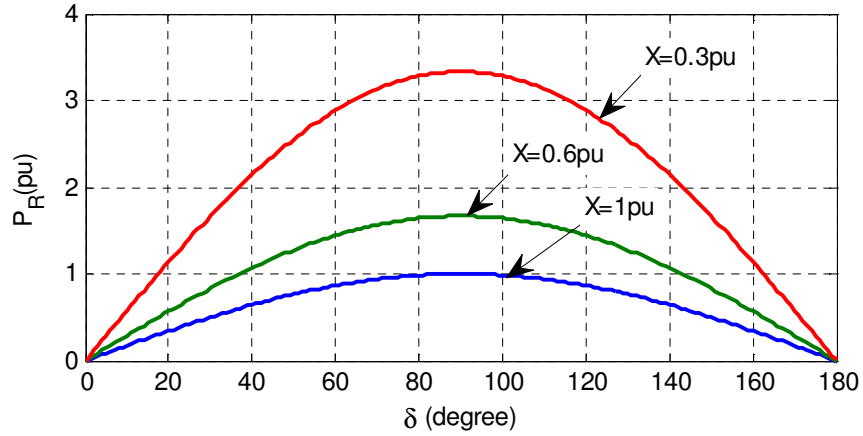


Figure 2-9 : Puissance active en fonction de l'inductance équivalente

À partir des équations (2.1), la solution de la tension au niveau du convertisseur en fonction des variables et paramètres du circuit est déduite :

$$V_{conv} = \sqrt{\frac{V_S^2}{2} - Q_R X \pm \sqrt{\frac{V_S^2}{4} - X^2 P_R^2 - X V_S^2 Q_R}} \quad (2.3)$$

à condition que  $V_{conv} \geq \frac{V_S}{2 \cos \delta}$  (afin d'obtenir la solution réel)

À partir de l'équation (2.1) et en posant  $\tan \phi = \frac{Q}{P_R}$ , la courbe P-V (Figure 2-10) est déduite :

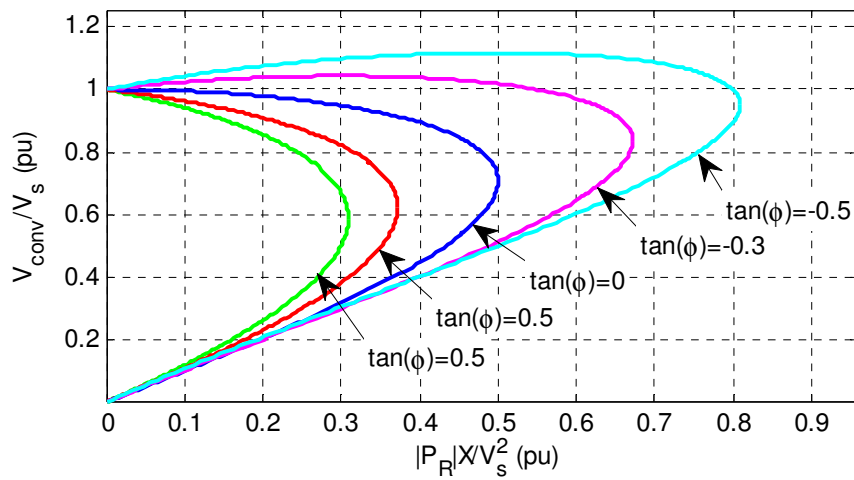


Figure 2-10 : Courbe P-V

La Figure 2-10, montre qu'à partir des différents  $\tan \phi$ , les limites de stabilité de la tension en fonction de la puissance active et de l'inductance équivalente peuvent être déduites. Par ailleurs, la Figure 2-10, permet de déduire le point de fonctionnement stable d'une station de conversion.

## 2.5 Aspect général des réseaux AC

Quand une liaison HVDC est raccordée à un faible réseau AC (c.à.d. l'impédance équivalente du réseau est élevée), la tension alternative au point de raccordement devient sensible aux variations de puissance de la liaison HVDC. Cette difficulté est généralement mesurée par le rapport de court-circuit (SCR-Short Circuit Ratio), qui est le rapport entre la puissance de court-circuit (SCC-Short Circuit Capacity) du réseau AC et la puissance active nominale de la liaison HVDC. Si le réseau AC est représenté sous la forme d'une source équivalente (Figure 2-8), le SCR est directement liée à l'inductance équivalente du réseau AC ( $X_{grid}$ ). Selon [36]-[37], le SCR est défini comme suit :

$$SCR = \frac{S_{grid}}{P_{HVDC}} \quad (2.4)$$

où  $S_{grid}$  est la puissance de court-circuit du réseau AC au point de raccordement et  $P_{HVDC}$  la puissance active transitant dans la liaison HVDC. Par ailleurs, la puissance de court-circuit du réseau AC est exprimée de la manière suivante :

$$S_{grid} = \frac{V_{PCC}^2}{Z_{grid}} \approx \frac{V_{PCC}^2}{X_{grid}} \quad (2.5)$$

Pour simplifier l'expression du SCR dans (2.4), la puissance active de la liaison HVDC est utilisé comme la puissance de base, c.à.d.  $S_{base} = P_{HVDC}$ . En exprimant  $X_{grid}$  en p.u., il en découle de (2.4) et (2.5) que le SCR est :

$$SCR = \frac{1}{X_{grid}} \quad (2.6)$$

D'après [36]-[37], la force du réseau est classifiée de la façon suivante :

- Réseau fort, si le SCR est supérieur à 3
- Réseau faible, si le SCR est compris entre 2 et 3.

- Réseau très faible, si le SCR est inférieure à 2

Un des avantages majeurs de la technologie VSC est qu'il permet de surmonter le problème de connexion à des réseaux faibles contrairement à la technologie LCC. Tout de même, les réseaux faibles et très faibles représentent encore des conditions de fonctionnement difficiles pour les liaisons HVDC-VSC due à des limites statiques et dynamiques [38].

## 2.6 Outils de simulation

Il existe différentes méthodes de simulation qui permettent d'étudier le comportement d'un réseau électrique. Les simulations de type Transitoires Électromagnétiques (EMT, Electromagnetic transients) s'appliquent à une large gamme de fréquences et nécessitent donc une représentation très détaillée des composants. La simulation est effectuée entièrement dans le domaine temporel et l'objectif est de calculer les formes d'onde des variables d'état à un point arbitraire dans le réseau simulé. Les programmes EMT sont utilisés pour représenter avec précision des transitoires électromagnétiques, ils sont également bien adaptés pour simuler des dispositifs tels que les convertisseurs d'électronique de puissance. Pour des études liées aux liaisons HVDC, les modèles EMT détaillés sont utilisés pour simuler, par exemple, des défauts et/ou sont considérés comme des modèles de référence pour valider des modèles simplifiés. Quand un phénomène de dynamique plus lente tel que le comportement électromécanique doit être étudié, la théorie des phaseurs peut être appliquée. Les logiciels de type EMT ou de type phaseur peuvent être utilisés. Cette approche se base sur la linéarisation du modèle autour d'un point de fonctionnement à la fréquence fondamentale du réseau. De ce fait, le principal avantage est la possibilité d'utiliser les théories de contrôles développés pour les systèmes linéaires comme l'analyse modale.

### 2.6.1 Programme de type EMT

L'approche classique la plus répandue dans les logiciels de type EMT consiste à utiliser un système d'équations d'analyse nodale [57]-[58]:

$$\mathbf{Y}_n \mathbf{v}_n = \mathbf{i}_n \quad (2.7)$$

La matrice  $\mathbf{Y}_n$  représente la matrice d'admittance nodale,  $\mathbf{v}_n$  est le vecteur des tensions de nœud et  $\mathbf{i}_n$  est la somme des courants de nœud. Puisque, dans un réseau électrique, des sources de

tensions connues existent, il est donc nécessaire de les classer à la fin du vecteur  $\mathbf{v}_n$  et de partitionner (2.7) de la façon suivante :

$$\begin{bmatrix} \mathbf{Y}_{n_{11}} & \mathbf{Y}_{n_{12}} \\ \mathbf{Y}_{n_{21}} & \mathbf{Y}_{n_{22}} \end{bmatrix} \begin{bmatrix} \mathbf{v}_{n_1} \\ \mathbf{v}_{n_2} \end{bmatrix} = \begin{bmatrix} \mathbf{i}_{n_1} \\ \mathbf{i}_{n_2} \end{bmatrix} \quad (2.8)$$

Le vecteur des tensions  $\mathbf{v}_{n_2}$  est connu, ce qui permet de réduire le système précédent à la solution suivante :

$$\mathbf{Y}_{n_{11}} \mathbf{v}_{n_1} = \mathbf{i}_{n_1} - \mathbf{Y}_{n_{12}} \mathbf{v}_{n_2} \quad (2.9)$$

où  $\mathbf{Y}_{n_{11}}$  est liée uniquement aux tensions de nœuds inconnues  $\mathbf{v}_{n_1}$ ,  $\mathbf{i}_{n_1}$  représente la somme des courants des nœuds entrants et  $\mathbf{Y}_{n_{12}}$  est liée aux tensions des nœuds connues  $\mathbf{v}_{n_2}$ .

Malgré l'efficacité de cette formulation, la solution (2.9) a plusieurs limitations importantes pour la représentation des composants électriques. Les inconvénients essentiels de cette formulation sont :

- L'incapacité de la représentation des sources de tension avec des neutres flottants. Autrement dit, les sources de tension doivent posséder obligatoirement une connexion à la terre.
- Elle suppose que tous les composants de réseau puissent être représentés par une telle matrice, alors que certains composants, comme le transformateur idéal, utilisent une fonction de relation entre deux ou plusieurs branches.
- Un interrupteur idéal ne peut être représenté sous cette formulation.

Afin d'éliminer ces limitations, la technique améliorée appelé MANA (Modified-Augmented-Nodal-Analysis) [59] a été développé. Dans la formulation MANA, l'équation (2.7) est augmentée afin d'inclure des équations génériques supplémentaires, pour donner :

$$\mathbf{A}_n \mathbf{x}_n = \mathbf{b}_n \quad (2.10)$$

$\mathbf{x}_n$  contient les variables de tension et courant inconnues,  $\mathbf{b}_n$  inclut les tensions et courants connus et  $\mathbf{A}_n$  est la matrice augmentée qui inclut non seulement la matrice d'admittance  $\mathbf{Y}_n$

mais les sous-matrices spécifiques pour les sources de tension, pour les transformateurs, autres fonctions de dépendance et les interrupteurs idéaux.

## 2.6.2 Simulations en Temps réel

La simulation en temps réel des réseaux électriques et des convertisseurs est un outil important pour le développement et le test de systèmes de contrôle-commande [30]. La modélisation en temps réel des systèmes d'électronique de puissance peut être implémentée principalement sur des processeurs CPU ou sur des cartes FPGA (Field Programmable Gate Arrays). Les temps d'exécution des processeurs pour chaque point dans le temps est de l'ordre de dizaines de  $\mu s$  ce qui constitue un facteur limitant pour la précision des simulations. La technologie FPGA offre une meilleure alternative en permettant de réduire les temps de calcul à des centaines de  $ns$ . Toutefois, des préoccupations importantes demeurent pour une large adoption de cette technologie en raison des efforts considérables nécessaires à la mise en œuvre de solveurs complexes.

Pour la simulation en temps réel, le temps de calcul du simulateur doit toujours être strictement inférieur au temps réel, afin d'éviter les dépassements et les mauvais fonctionnements des boucles du système. Cette exigence constitue la limite principale pour laquelle un modèle peut être simulé sur un simulateur en temps réel. Pour permettre le passage d'un modèle temps différé en temps réel, il est donc nécessaire de partitionner le modèle en plusieurs processeurs afin d'accélérer le temps de simulation. Cette parallélisation implique normalement des modifications aux modèles programmés pour le temps différé. Ces modifications sont décrites dans les sous-sections qui suivent.

### 2.6.2.1 Découplage du circuit de puissance

Afin de simuler en temps réel un réseau électrique composé de plusieurs centaines de nœuds électriques, il est donc nécessaire de séparer ce réseau en plusieurs sous-réseaux. Le découplage du réseau se fait souvent naturellement au niveau des lignes de transmission. Dans le cas où cela n'est pas possible, une ligne courte artificielle, appelée « Stubline », ayant un délai de propagation d'un pas temps de simulation doit être insérée.

### 2.6.2.2 Parallélisation des processeurs

Les algorithmes de simulation en temps différé utilisent présentement un délai d'un pas de temps entre la résolution des équations du système de contrôle et la solution des équations du circuit (réseau de puissance) électrique. La boucle générique incluant le bloc de délai est présentée à la Figure 2-11. Dans la Figure 2-11.b, le bloc R représente la réception des données et le bloc S représente l'envoi des données.

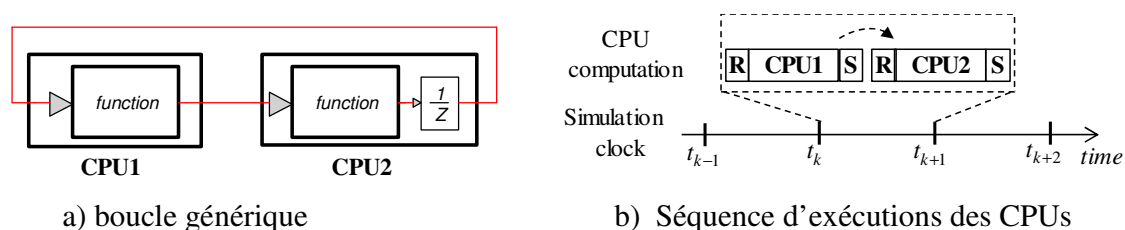


Figure 2-11: Boucle générique, simulation en série de deux processeurs

Pour chaque pas de temps de simulation, la séquence de solution peut être décrite de la façon suivante :

1. CPU2 envoie les données à CPU1
2. Calculs du CPU1
3. CPU1 envoie les données à CPU2
4. Calculs du CPU2

Cette simulation sérielle ne permet pas une bonne optimisation du calcul en temps réel. En effet, le CPU2 est contraint d'attendre la fin de l'exécution du CPU1 avant de s'exécuter et passer au pas de temps suivant.

Pour permettre une parallélisation du calcul et ainsi accélérer le temps de calcul en temps réel, un délai d'un pas de temps (ou une mémoire tampon) supplémentaire est ajouté à la sortie du CPU1 comme illustré dans la Figure 2-12.

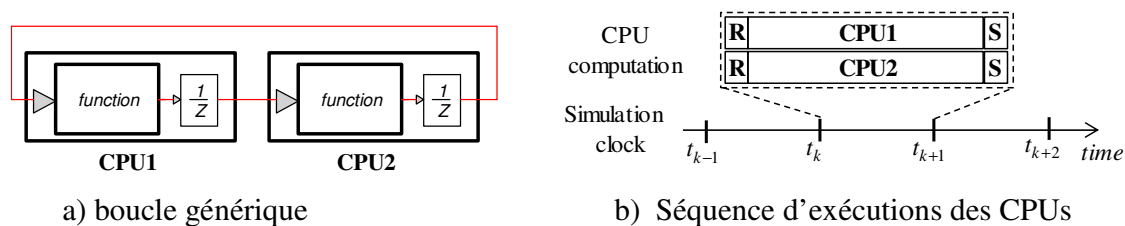


Figure 2-12: Boucle générique pour une simulation en parallèle



Dans ce cas, la séquence d'évènements au court d'un pas de temps devient:

1. CPU2 envoie les données à CPU1
2. CPU1 envoie les données à CPU2
3. Calculs simultanés dans CPU1 et CPU2

Comme on peut le constater, cette technique engendre un délai d'un pas de temps supplémentaire entre le système de contrôle et le circuit électrique. Cependant, cette approche permet de paralléliser les processeurs et demeure largement répandue pour la réalisation des simulations en temps réel.

## **2.7 Conclusion**

Ce premier chapitre a permis de faire un tour d'horizon sur le sujet de thèse et un rappel sur les notions de base nécessaires pour la compréhension de ce rapport de thèse. Les avantages des liaisons HVDC-VSC et les différentes topologies de convertisseur disponibles ont été présentés : VSC-2 niveaux, VSC-NPC 3-niveaux et VSC-MMC multi-niveaux. La topologie MMC est la plus avantageuse et prédomine déjà les prochains installations de liaison HVDC-VSC dans le monde. Les principes de fonctionnement du MMC et les aspects généraux des réseaux électriques ont été aussi élaborés dans ce chapitre. Enfin, un rappel concernant les simulations de type EMT et les simulations en temps réel a été présenté.

## CHAPITRE 3 MODÉLISATION DES MMC

### 3.1 Introduction

Ce chapitre présente les différents modèles de MMC dans le domaine EMT. Tout d'abord, le développement détaillé théorique des quatre modèles MMC est présenté. Ensuite, la comparaison de ces différents modèles et les performances en temps différé sont étudiés avec le logiciel EMTP-RV.

Les quatre types de modèles doivent être choisis selon le type d'étude et la précision requise. L'évolution en complexité décroissante de ces modèles est présentée à la Figure 3-1. Les boîtes noires représentent les simplifications réalisées pour chaque modèle. On peut prévoir que les temps de calcul augmentent en fonction la complexité du modèle. Le Modèle #1 constitue le modèle le plus détaillé sur un logiciel EMT. Le Modèle #2 est basé sur une simplification au niveau du circuit d'électronique de puissance. Le Modèle #3 présente une simplification au niveau de chaque demi-bras. Dans le Modèle #4, le convertisseur MMC au complet est réduit à un système équivalent. Dans ce chapitre, la classification de ces modèles est liée sur les études électromagnétiques à réaliser et non pas sur le développement de systèmes de contrôle. La description détaillée de chacun de ces modèles est présentée dans les sections suivantes.

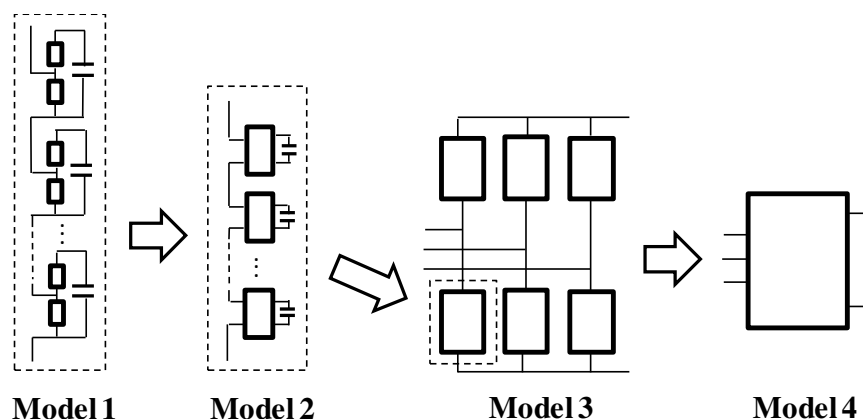


Figure 3-1: L'évolution de la modélisation des MMC en ordre de complexité décroissante

### 3.2 Modèle #1 – Modèle détaillé complet

Ce modèle est basé sur une représentation non-linéaire des composantes IGBT/Diode (voir Figure 3-2). Il comprend un modèle de diode non linéaire placée en série avec un interrupteur

(IGBT) afin d'assurer la conduction de courant dans un seul sens et une deuxième diode placée en antiparallèle. Un circuit RC, appelé « snubber », est placé en parallèle avec l'interrupteur afin de compléter la représentation du composant. Les diodes non-linéaires sont modélisées par des résistances non-linéaires en utilisant la courbe V-I classique d'une diode. De ce fait, cette courbe peut être ajustée en fonction des données des constructeurs. Actuellement, c'est le modèle le plus complexe disponible dans les logiciels de type EMT.

Ce type de modèle [11] offre plusieurs avantages grâce à la modélisation détaillée de l'IGBT/Diode. Il reproduit le comportement non linéaire des événements de commutation (par diodes) permettant ainsi de tenir compte des pertes par conduction. Il permet également de simuler des conditions spécifiques, tels que les états bloqués, les détails des SMs, les défauts à l'intérieur des SMs et les différentes topologies de circuit des SMs. Notons que ce modèle pourrait être amélioré afin de mieux estimer les pertes dans les SMs et les pertes de commutation [60].

L'introduction de milliers de composants (le MMC de 401 niveaux comprend 4800 interrupteurs idéaux et 9600 diodes non-idéales) implique un effort de calcul très élevé et par conséquent, sauf dans les cas spécifiques mentionnés ci-dessus, cette approche de modélisation doit être utilisée principalement comme référence pour la validation et la mise au point des modèles simplifiés.

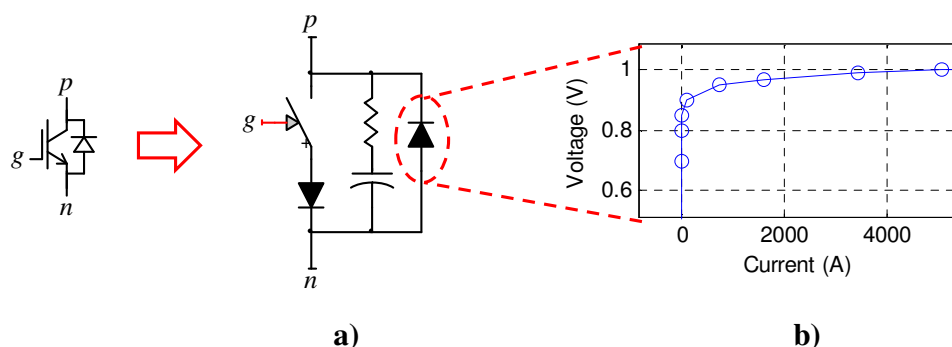


Figure 3-2:Modèle #1 : a) Représentation non-linéaire de l'IGBT/Diode; b) Caractéristique d'une courbe V-I

### 3.3 Modèle #2 – Modèle détaillé équivalent

Dans ce modèle, les composants semi-conducteurs des SMs sont remplacés par des résistances variables ON/OFF:  $R_{ON}$  (petite valeur en m $\Omega$ ) et  $R_{OFF}$  (grande valeur en M $\Omega$ ). Cette approche

permet d'effectuer une réduction du demi-bras pour éliminer les nœuds électriques internes et ainsi permettre la création d'un équivalent Norton pour chaque demi-bras du MMC [15] et [32]. La Figure 3-3 montre la représentation de chaque SM. Les résistances variables  $R_{l_i}$  et  $R_{2_i}$  sont contrôlées et utilisées pour remplacer les composantes IGBT/diodes. À l'aide de l'intégration trapézoïdale, chaque condensateur du SM est remplacé par une source de courant historique en parallèle avec une résistance (Figure 3-3). La discrétisation d'un condensateur en utilisant la méthode d'intégration trapézoïdale :

$$\frac{dv_{C_i}}{dt} = \frac{i_{C_i}}{C} \quad (3.1)$$

$$i_{C_i}(t) = \frac{2C}{\Delta t} v_{C_i}(t) - \frac{2C}{\Delta t} v_{C_i}(t - \Delta t) - \frac{2C}{\Delta t} i_{C_i}(t - \Delta t) \quad (3.2)$$

où  $\Delta t$  représente le pas de temps d'intégration numérique.

En simplifiant chaque SM comme dans la Figure 3-3, un circuit équivalent Norton peut être déduit pour chaque demi-bras de MMC comme le montre la Figure 3-4.

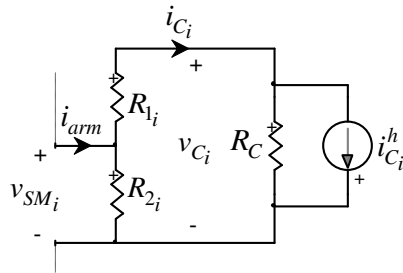


Figure 3-3: Discrétisation d'un SM avec les modèles d'IGBT/Diode simplifiés

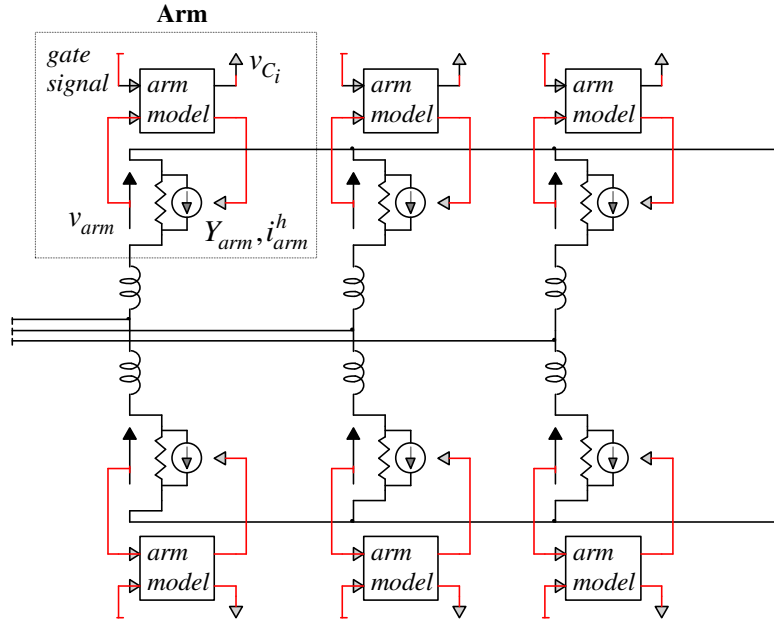


Figure 3-4: Modèle#2 - schéma du circuit principal

Les équations utilisées pour dériver l'équivalent Norton de chaque demi-bras du MMC sont résumées dans le Tableau 3-1. Au point b) du Tableau 3-1, on voit que le calcul des états ON/OFF est direct puisque uniquement les valeurs des commandes des gâchettes sont nécessaires. Toutefois, lorsque l'état bloqué est activé, seules les diodes antiparallèles peuvent conduire. L'état de conduction des diodes dépend des variables courant et tension (voir Tableau 3-1 point b)). Puisque ces variables ne sont connues qu'à l'itération précédente ( $v_{SM_i}(t-\Delta t)$  et  $v_{C_i}(t-\Delta t)$ ), le passage par zéro du courant provoquera des oscillations numériques. Une méthode itérative permet d'éviter ce problème [17]. Lorsque l'état bloqué est défini pour l'un des SMs et le changement d'état de conduction de l'une des diodes est détecté, un processus itératif est déclenché au pas de temps présent afin de trouver les états de conduction. De plus, l'intégration trapézoïdale est remplacée par la méthode Backward Euler pour les prochains deux demi pas de temps (voir Figure 3-5). Ce changement de méthode d'intégration permet d'éliminer les oscillations numériques [81] inévitables lorsque des discontinuités apparaissent et que la méthode d'intégration trapézoïdale est utilisée.

Tableau 3-1: Modèle#2 - algorithme du demi-bras du MMC

<p>a) Récupérer la tension du demi-bras à partir de la solution du réseau et calculer le courant du demi-bras:</p> $i_{arm}(t) = v_{arm}(t).Y_{arm}(t - \Delta t) + i_{arm}^h(t - \Delta t) \text{ (voir Figure 3-4)}$
<p>b) Pour chaque SM, fixer les valeurs <math>R_{1_i}</math> et <math>R_{2_i}</math> en fonction de signaux des gâchettes, la direction du courant de demi-bras et les tensions de SM et du condensateur:</p> $\text{if} (SM_i == ON\_state) \quad \{R_{1_i} = R_{ON}; R_{2_i} = R_{OFF}\}$ $\text{elseif} (SM_i == OFF\_state) \quad \{R_{1_i} = R_{OFF}; R_{2_i} = R_{ON}\}$ $\text{elseif} (SM_i == BLOCKED\_state) \{$ $\quad \text{if} \left( (i_{arm}(t) > 0) \&\& (v_{SM_i}(t - \Delta t) > v_{C_i}(t - \Delta t)) \right) \{R_{1_i} = R_{ON}; R_{2_i} = R_{OFF}\}$ $\quad \text{if} \left( (i_{arm}(t) < 0) \&\& (v_{SM_i}(t - \Delta t) < 0) \right) \{R_{1_i} = R_{OFF}; R_{2_i} = R_{ON}\}$ $\quad \text{else} \quad \% \text{ High impedance mode}$ $\quad \{R_{1_i} = R_{OFF}; R_{2_i} = R_{OFF}\}$
<p>c) Calculer les tensions et les courants des condensateurs de chaque SM:</p> $i_{C_i}(t) = i_{arm}(t) - \frac{v_{R_{2_i}}}{R_{2_i}} \quad ; \quad v_{C_i}(t) = (i_{C_i}(t) - i_{C_i}^h(t)) R_C$
<p>d) Calculer l'équivalent de Thevenin de chaque SM:</p> $R_{SM_i}(t) = \frac{R_{2_i} (R_{1_i} + R_C)}{R_{2_i} + R_{1_i} + R_C} \quad ; \quad v_{SM_i}^h(t - \Delta t) = R_{SM_i}(t) \left( \frac{R_C}{R_C + R_{1_i}} \right) i_{C_i}^h(t - \Delta t)$
<p>e) Calculer les tensions de chaque SM :</p> $v_{SM_i}(t) = i_{arm}(t) R_{SM_i}(t) + v_{SM_i}^h(t - \Delta t)$
<p>f) Calculer et envoyer les variables de l'équivalent Norton (Figure 3-4):</p> $Y_{arm}(t) = 1 / \left( \sum_{i=1}^N R_{SM_i}(t) \right)$ $v_{arm}^h(t - \Delta t) = \sum_{i=1}^N v_{SM_i}^h(t - \Delta t)$ $i_{arm}^h(t - \Delta t) = v_{arm}^h(t - \Delta t).Y_{arm}(t)$

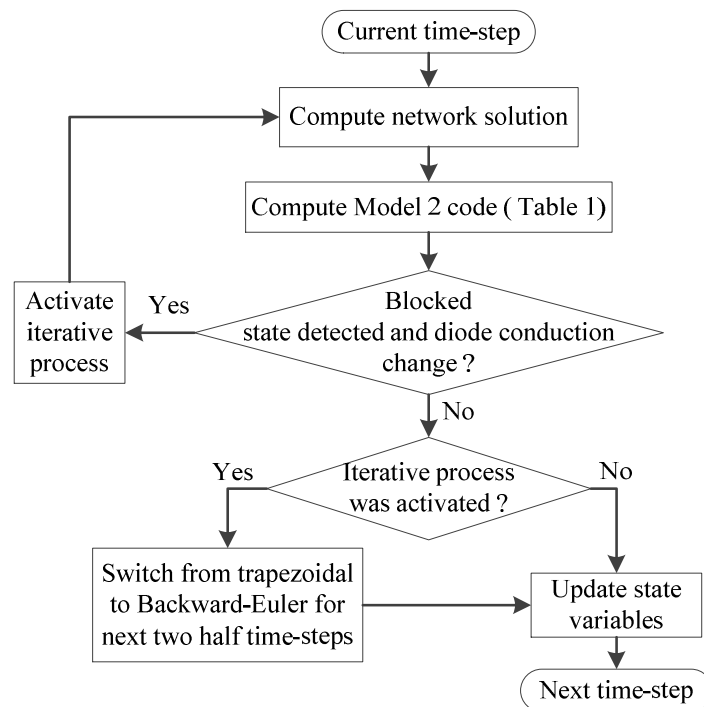


Figure 3-5: Modèle#2 - diagramme bloque d'un demi-bras

La simulation d'un MMC de 401 niveaux montre qu'en moyenne moins de 3 itérations sont nécessaires pour la convergence de ce processus itératif. Afin de vérifier l'efficacité de cette approche, une simulation d'un MMC-401 niveaux où tous les SMs sont à l'état bloqué, est présentée à la Figure 3-6. L'effet du processus itératif sur la tension et le courant d'un demi-bras est illustré.

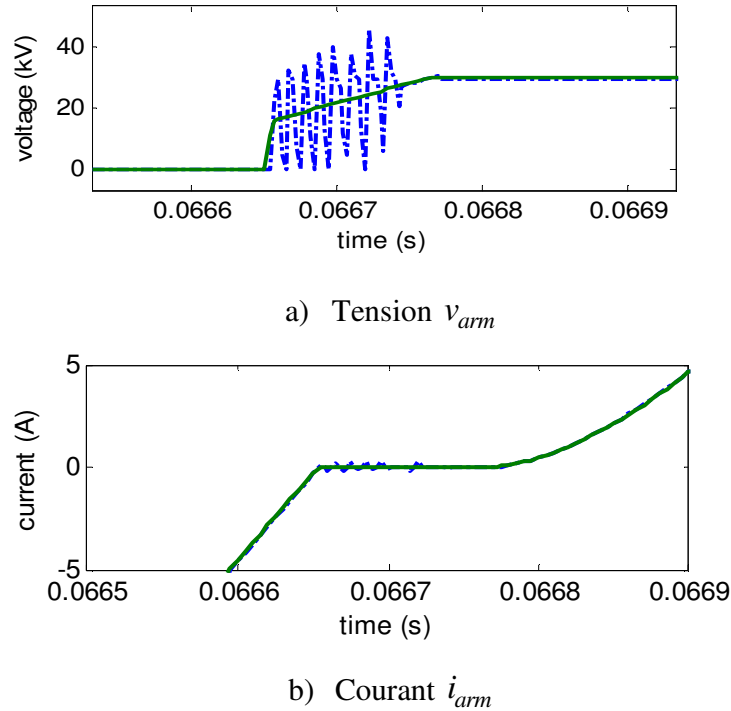


Figure 3-6: Effet du processus itératif; courbe bleue sans processus itératif, courbe verte avec processus itératif

Comme on peut le voir dans la Figure 3-4, le principal avantage du Modèle#2 est la réduction significative du nombre de nœuds électriques dans la matrice d'équations du réseau. L'algorithme prend en compte chaque SM séparément et calcule, à chaque pas de temps, les tensions et les courants de chaque condensateurs. Il peut être appliqué pour n'importe quel nombre de SMs par demi-bras.

Cependant, puisque le modèle de chaque demi-bras est sous forme de code, la modification du circuit des SMs (modification de la topologie ou rajout des composants supplémentaires) requiert le développement d'un nouveau code, ce qui implique une plus grande complexité et une procédure de réalisation plus longue.

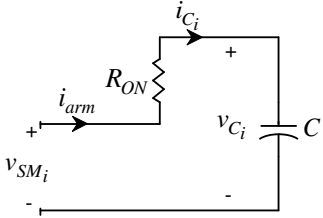
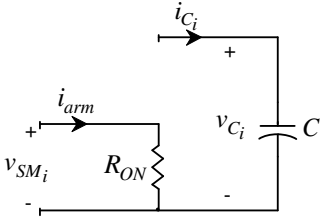
### 3.4 Modèle #3 – Fonction de commutation d'un demi-bras

Dans ce modèle, chaque demi-bras du MMC est simplifié en utilisant le concept de la fonction de commutation d'un convertisseur en demi-pont.



Pour les états ON/OFF d'un sous-module, deux modes de fonctionnement existent (voir Tableau 3-2). En supposant uniquement des pertes linéaires par conduction dans les IGBT/diode, le modèle peut être représenté de la façon suivante :

Tableau 3-2: Fonction de commutation d'un sous-module

$g_{1i} = 1$ et $g_{2i} = 0$ (SM state = ON)	$g_{1i} = 0$ et $g_{2i} = 1$ (SM state = OFF)
	
$S_i = 1$ $v_{SM_i} = v_{C_i} + R_{ON} i_{arm}$ $i_{arm} = i_{C_i}$	$S_i = 0$ $v_{SM_i} = R_{ON} i_{arm}$ $C \frac{dv_{C_i}}{dt} = i_{C_i} = 0 \Rightarrow v_{C_i} = cste$

Soit  $S_i$  la fonction de commutation qui prend la valeur 0 lorsque l'état de SM est OFF et 1 quand il est ON. Pour chaque SM on peut donc écrire :

$$\begin{cases} v_{SM_i} = S_i v_{C_i} + R_{ON} i_{arm} \\ i_{C_i} = S_i i_{arm} \end{cases} \quad (3.3)$$

Les convertisseurs en demi-pont sont non-réversibles en tension. Afin d'éviter des tensions négatives, une diode D est ajoutée en parallèle avec le condensateur équivalent (Figure 3-7).

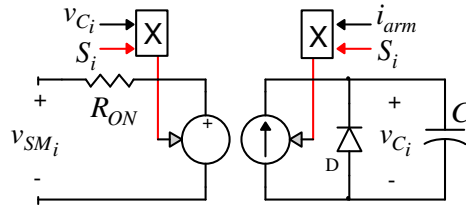


Figure 3-7: Modèle d'une fonction de commutation d'un convertisseur à demi-pont

En supposant que les tensions des condensateurs de chaque demi-bras sont équilibrées, les valeurs moyennes des tensions des condensateurs sont égales. De plus, en négligeant les différences de tension entre les condensateurs, l'hypothèse suivante peut être faite [16] et [75]:

$$v_{C_1} = v_{C_2} = \dots = v_{C_i} = \frac{v_{C_{tot}}}{N} \quad (3.4)$$

où  $v_{C_{tot}}$  représente la somme de toutes les tensions des condensateurs d'un demi-bras. La précision de l'hypothèse (3.4) augmente lorsque le nombre de  $SM_s$  par demi-bras augmente et/ou lorsque les amplitudes de fluctuation des tensions de condensateur diminuent. Cette hypothèse permet de déduire une capacité équivalente pour chaque demi-bras :

$$C_{arm} = \frac{C}{N} \quad (3.5)$$

En définissant la fonction de commutation d'un demi-bras comme suit:

$$\frac{1}{N} \sum_{i=1}^N S_i = s_n \quad (3.6)$$

Les fonctions de commutation suivantes peuvent être calculées pour chaque demi-bras quand les SMs sont à ON / OFF:

$$\begin{cases} v_{arm} = s_n v_{C_{tot}} + (NR_{ON}) i_{arm} \\ i_{C_{tot}} = s_n i_{arm} \end{cases} \quad (3.7)$$

où  $v_{arm}$  et  $i_{arm}$  représentent respectivement la tension et le courant du demi-bras.

Lorsque tous les  $SM_s$  sont à l'état bloqué, chaque demi-bras du MMC peut être simplement représenté par un équivalent d'un demi-pont à diode connecté à la capacité équivalente (Figure 3-8.b).

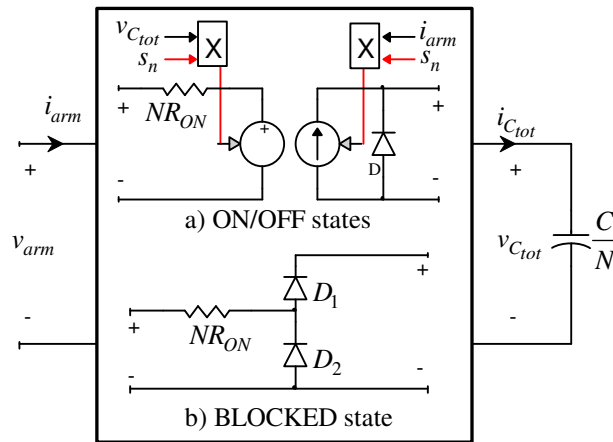


Figure 3-8: Modèle#3 : (a) modèle pour l'état ON/OFF, (b) modèle pour l'état bloqué

En simplifiant chaque demi-bras par ce modèle en fonction de commutation, les  $SM_s$  ne sont plus représentés. Cela signifie que le contrôle d'équilibrage des tensions de condensateur dans chaque demi-bras ne peut plus être étudié avec cette approche. Cependant, les courants différentiels (3.15), le courant circulaire (section 4.1.2.1.2) et les pertes en conduction peuvent être pris en compte. Par ailleurs, l'énergie interne stockée dans chaque demi-bras du MMC peut être considérée, ce qui est utile pour les stratégies de système de contrôle basé sur l'équilibrage des énergies du MMC [20]-[22].

Puisque ce modèle comprend deux modèles de circuits (voir Figure 3-8), sa mise en œuvre dans les programmes de type EMT doit être développée sous forme de code pour augmenter les performances de calcul. Selon les états de chaque demi-bras, le circuit adéquat est interfacé avec le réseau principal. Le schéma de principe de l'algorithme est représenté dans la figure 10.10.

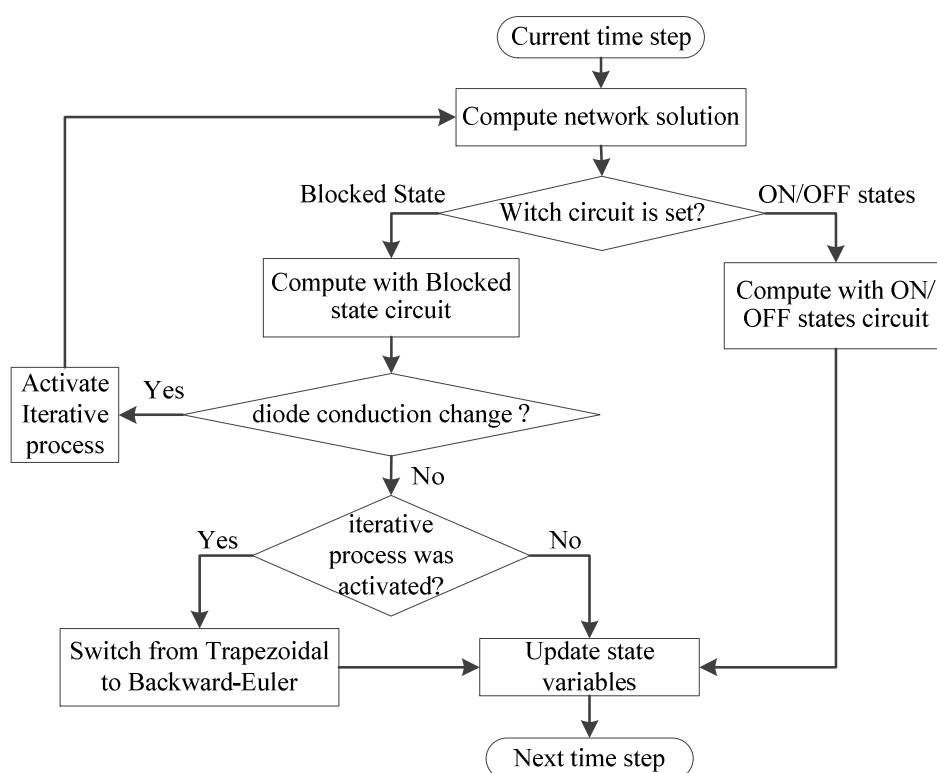


Figure 3-9: Modèle#3 : diagramme bloque d'un demi-bras

Remarque :

Il convient de souligner que ce type de modèle peut être implémenté en utilisant un seul circuit électrique avec des blocs de contrôles pour changer entre les circuits ON/OFF et

bloqué, ce qui évitera le développement d'un code informatique. Deux configurations de circuit sont proposées dans la littérature. Ci-dessous une brève présentation de ces deux circuits inspirés de [61] et [62].

La première approche est illustrée à la Figure 3-10. Le circuit de puissance du demi-bras d'un MMC est constitué de deux diodes en parallèle, un interrupteur et une source de tension. Quand l'état bloqué n'est pas activé (par conséquent l'état ON/OFF est activé), l'interrupteur est fermé afin de permettre le courant  $i_{arm}$  de passer dans les deux sens et le demi bras est représenté uniquement par la source de tension calculée à partir de (3.7) (avec  $R_{ON}=0$ ). La tension du condensateur équivalent du demi-bras est obtenue en intégrant le courant du demi-bras:  $v_{C_{tot}} = \frac{1}{C_{arm}} \int i_{arm} dt$ . Quand l'état bloqué est activé, l'interrupteur est ouvert ce qui force le courant positif à passer par la diode D2 et  $v_{arm}$  devient nulle.

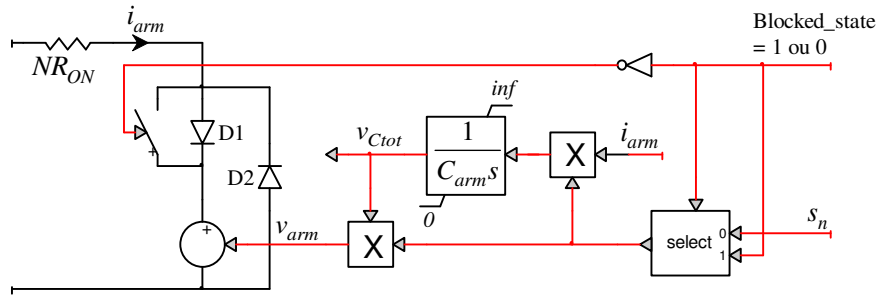


Figure 3-10: Approche proposée dans [61]

La deuxième approche est illustrée à la Figure 3-11. Deux sources de tensions contrôlées et deux diodes représentent le circuit de puissance. Quand l'état ON/OFF est activé,  $v_{arm}^{ON/OFF}$  est active et  $v_{Blocked}$  est nulle. Les deux diodes D1 et D2 se trouvent en mode antiparallèle laissant passer le courant dans les deux directions. Quand l'état bloqué est activé,  $v_{arm}^{ON/OFF}$  devient nulle et  $v_{Blocked}$  représente maintenant la tension de demi-bras quand la diode D1 conduit. La tension  $v_{C_{tot}}$  est obtenue en intégrant le courant  $i_{arm}$  lors de l'état ON/OFF et  $i_{C_{tot}}$  lors de l'état bloqué.

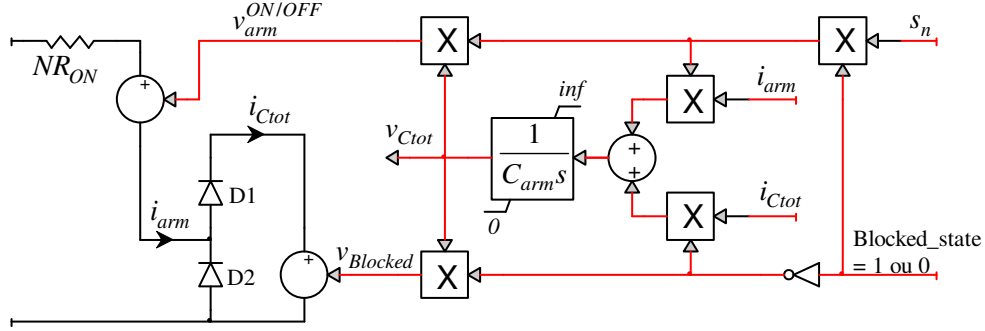


Figure 3-11: Approche proposée dans [62]

Puisque ces différentes approches se basent sur les mêmes équations développées dans cette section, leurs résultats et leurs précisions sont identiques, les différences sont uniquement au niveau de l'implémentation. Étant donné, que le modèle implémenté sous forme de code informatique inclut uniquement une diode (codée) pour les états ON/OFF contrairement aux deux autres approches qui nécessitent deux diodes, le modèle codé est plus rapide que les autres modèles (entre 15% et 25%) pour l'état ON/OFF. Ceci peut être avantageux pour des réseaux à courant continu avec plusieurs convertisseurs.

### 3.5 Modèle #4 – Modèle en valeur moyenne (AVM)

Dans la modélisation en valeur moyenne (AVM) [63], les IGBTs et les diodes antiparallèles ne sont plus explicitement représentés et le comportement du MMC est modélisé à l'aide de sources de tension et courant contrôlées. Dans cette section, trois étapes sont présentées afin de déduire le modèle le plus simple. Dans chaque étape une hypothèse supplémentaire est rajoutée afin de simplifier le modèle. De ce fait, chacune de ces étapes peut constituer un modèle en soi.

#### 3.5.1 Étape #1

À partir de la Figure 2-5, pour chaque phase ( $j=a,b,c$ ), les équations suivantes peuvent être dérivées :

$$\frac{V_{dc}}{2} = v_{u_j} + L_{arm} \frac{di_{u_j}}{dt} + R_{arm} i_{u_j} + v_j \quad (3.8)$$

$$\frac{V_{dc}}{2} = v_{\ell_j} + L_{arm} \frac{di_{\ell_j}}{dt} + R_{arm} i_{\ell_j} - v_j \quad (3.9)$$

La soustraction et l'addition de ces deux équations ci-dessus donnent :

$$v_j - \frac{v_{\ell j} - v_{u j}}{2} = \frac{L_{arm}}{2} \frac{d(i_{\ell j} - i_{u j})}{dt} + \frac{R_{arm}}{2} (i_{\ell j} - i_{u j}) \quad (3.10)$$

$$V_{dc} - (v_{u j} + v_{\ell j}) = L_{arm} \frac{d(i_{u j} + i_{\ell j})}{dt} + R_{arm} (i_{u j} + i_{\ell j}) \quad (3.11)$$

À partir de la loi des mailles :

$$i_j = i_{\ell j} - i_{u j} \quad (3.12)$$

Et en définissant les changements de variables suivants:

$$v_{convdcj} = v_{u j} + v_{\ell j} \quad (3.13)$$

$$v_{convacj} = \frac{v_{\ell j} - v_{u j}}{2} \quad (3.14)$$

$$i_{diffj} = \frac{i_{u j} + i_{\ell j}}{2} \quad (3.15)$$

où  $i_{diffj}$  représente le courant différentiel de chaque phase.

Les équations de découplage entre AC et DC sont déduites en insérant (3.13), (3.14) et (3.15) dans (3.11) et (3.10) :

$$v_j - v_{convacj} = \frac{L_{arm}}{2} \frac{di_j}{dt} + \frac{R_{arm}}{2} i_j \quad (3.16)$$

$$V_{dc} - v_{convdcj} = 2v_{diffj} = 2L_{arm} \frac{di_{diffj}}{dt} + 2R_{arm} i_{diffj} \quad (3.17)$$

Par ailleurs, en reprenant l'équation (3.7) développée pour Modèle #3, en négligeant les pertes par conductions (c.à.d.  $R_{ON}=0$ ) et les harmoniques générées par les commutations (c.à.d.  $\alpha_{u,\ell j} \cong s_{u,\ell j}$ ), l'équation se simplifie de la façon suivante :

$$\begin{cases} v_{u,\ell j} = \alpha_{u,\ell j} v_{Ctotu,\ell j} \\ i_{Ctotu,\ell j} = \alpha_{u,\ell j} i_{u,\ell j} \end{cases} \quad (3.18)$$

où  $\alpha_{u,\ell j}$  représente le rapport cyclique d'un demi-bras qui peut varier dans l'intervalle [0;1].

L'échange de puissance dans chaque demi-bras s'écrit :

$$\begin{cases} v_{u j} i_{u j} = v_{Ctot u j} i_{Ctot u j} \\ v_{\ell j} i_{\ell j} = v_{Ctot \ell j} i_{Ctot \ell j} \end{cases} \quad (3.19)$$

et l'équation du condensateur équivalent de chaque demi-bras :

$$C_{arm} \frac{dv_{Ctot u, \ell j}}{dt} = i_{Ctot u, \ell j} \quad (3.20)$$

Si le système de contrôle fonctionne correctement, on peut prendre l'hypothèse que :

$$\frac{v_{Ctot u j} + v_{Ctot \ell j}}{2} = \bar{v}_{Ctot j} \quad (3.21)$$

où  $\bar{v}_{Ctot j}$  est la tension moyenne des deux demi-bras d'une phase.

On définit de nouveaux rapports cycliques  $\alpha_{dc j}$  et  $\alpha_{ac j}$  de la manière suivante :

$$\alpha_{dc j} = \alpha_{\ell j} + \alpha_{u j} \quad (3.22)$$

$$\alpha_{ac j} = (\alpha_{\ell j} - \alpha_{u j}) / 2 \quad (3.23)$$

En insérant les changements de variables (3.13)-(3.14) dans (3.18) et en utilisant les nouveaux rapports cycliques (3.22) et (3.23), des nouvelles fonctions sont déduites :

$$v_{conv ac j} = \alpha_{ac j} \bar{v}_{Ctot j} \quad (3.24)$$

$$v_{conv dc j} = \alpha_{dc j} \bar{v}_{Ctot j} \quad (3.25)$$

La combinaison de l'hypothèse (3.21) avec (3.18) et (3.20) et l'addition des équations des demi-bras supérieur et inférieur donne :

$$2C_{arm} \frac{d\bar{v}_{Ctot j}}{dt} = \alpha_{u j} i_{u j} + \alpha_{\ell j} i_{\ell j} \quad (3.26)$$

L'équation précédente (3.26) est ensuite combinée avec (3.22), (3.23) et (3.15) pour donner:

$$2C_{arm} \frac{d\bar{v}_{Ctotj}}{dt} = \alpha_{dcj} i_{diffj} + \alpha_{acj} i_j \quad (3.27)$$

Les équations ainsi obtenues (3.16), (3.17), (3.25), (3.24) et (3.27) peuvent être représentées sous-forme d'un circuit équivalent:

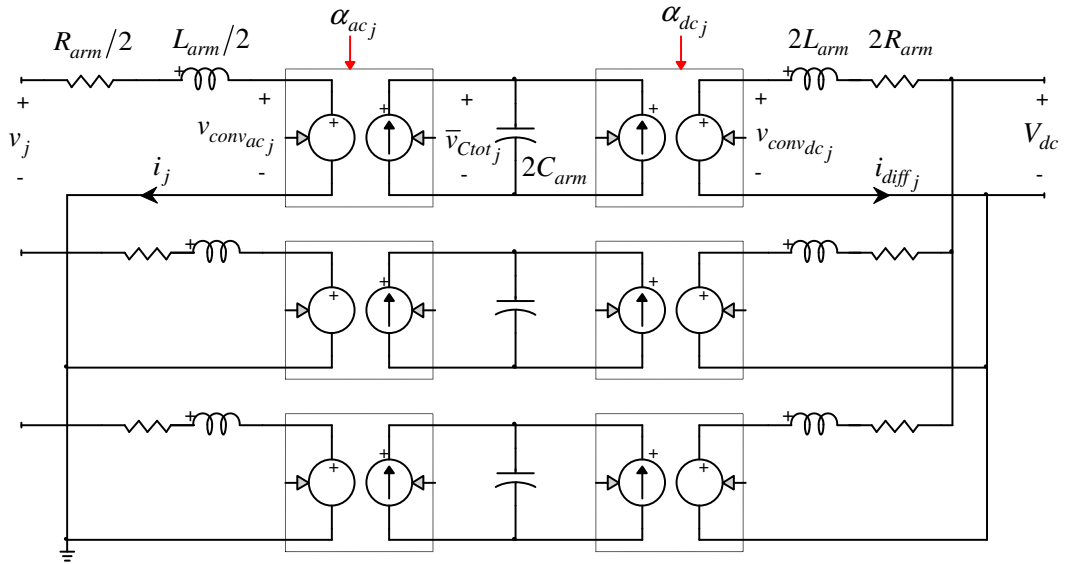


Figure 3-12: Circuit équivalent du MMC - Étape #1

Notons que  $\alpha_{acj}$  est alternatif et  $\alpha_{dcj}$  est essentiellement continu. La Figure 3-12 met en évidence le fonctionnement en mode découplé entre les côtés AC et DC. Les équations développées ci-dessus montrent que différents points de consignes peuvent être appliqués entre  $V_{dc}$  et  $\bar{v}_{Ctotj}$ .

### 3.5.2 Étape #2

Le modèle représenté dans la Figure 3-12 peut être simplifié si on prend l'hypothèse que :

$$\frac{\bar{v}_{Ctot_a} + \bar{v}_{Ctot_b} + \bar{v}_{Ctot_c}}{3} = \bar{v}_{Ctot_3} \quad (3.28)$$

$$\alpha_{dcj} = \alpha_{dc_3} \quad (3.29)$$

Ces deux hypothèses dépendent essentiellement du mode d'opération du contrôleur : (3.28) considère que le réglage des puissances moyennes des trois-phases du MMC est équilibré et



(3.29) part de l'hypothèse que les composantes continues des rapports cycliques générées ( $\alpha_{dcj}$ ) par le contrôleur sont égales.

Grace à ces deux hypothèses, l'équation (3.25) devient :

$$v_{convdc3} = \alpha_{dc3} \bar{v}_{Ctot3} \quad (3.30)$$

En insérant (3.28), (3.29) et (3.30) dans (3.17), on obtient :

$$V_{dc} - v_{convdc3} = 2L_{arm} \frac{di_{diffj}}{dt} + 2R_{arm} i_{diffj} \quad (3.31)$$

Les courants  $i_{diffj}$  de chaque phase dans l'équation ci-dessus sont donc forcément égaux. D'où :

$$i_{diffj} = \bar{i}_{diff} = \frac{I_{dc}}{3} \quad (3.32)$$

Et la nouvelle équation d'état du côté DC devient :

$$V_{dc} - v_{convdc3} = \frac{2}{3} L_{arm} \frac{dI_{dc}}{dt} + \frac{2}{3} R_{arm} I_{dc} \quad (3.33)$$

Le nouveau circuit équivalent, qui est décrit par les équations (3.16), (3.24), (3.30) et (3.33), est schématisé dans la Figure 3-13.

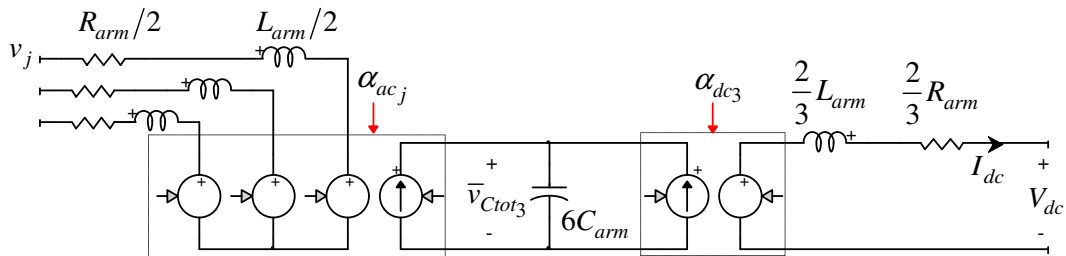


Figure 3-13: Circuit équivalent du MMC - Étape #2

À partir de la Figure 3-13, on remarque que le comportement en valeur moyenne d'un MMC peut être représenté par un convertisseur AC/DC jumelé avec un convertisseur DC/DC via un condensateur équivalent.

Il convient de souligner que  $\alpha_{dc3}$  et  $\alpha_{acj}$  sont indépendants tant que les conditions aux limites suivantes sont respectées. Pour un MMC avec une topologie des SMs en demi-pont, les rapports

cycliques  $\alpha_u$  et  $\alpha_\ell$  sont bornés entre  $0 \leq \alpha_{\ell,u} \leq 1$ . En insérant les équations (3.22) et (3.23), les conditions aux limites suivantes sont déduites:

$$2|\alpha_{ac}| \leq \alpha_{dc} \leq 2(1 - |\alpha_{ac}|) \quad (3.34)$$

$$0 \leq |\alpha_{ac}| \leq \frac{\alpha_{dc}}{2} \quad (3.35)$$

Par exemple, un système ayant  $\bar{v}_{Ctot3} = 640 \text{ kV}$  et  $V_j = 320 \text{ kV}_{LLRMS}$  produira  $|\alpha_{ac}| \approx 0.4$  alors  $0.8 \leq \alpha_{dc} \leq 1.2$ . Dans le cas où ces conditions ne sont pas respectées la variation d'un des rapports cycliques affectera l'autre et les modèles présentés dans cette section ne sont plus valables.

### 3.5.3 Étape #3

Le circuit équivalent de la Figure 3-13 peut être encore simplifié dépendamment du système de contrôle (par exemple le système présenté à la section 4.1.2). Dans le cas où le fonctionnement d'un MMC ne requiert pas un découplage entre  $V_{dc}$  et  $\bar{v}_{Ctot3}$  (c.à.d.  $V_{dc} \equiv \bar{v}_{Ctot3}$ ) la variation du rapport cyclique  $\alpha_{dc3}$  devient égale à 1 et la transformation idéale DC/DC peut être supprimée. Le nouveau circuit simplifié devient:

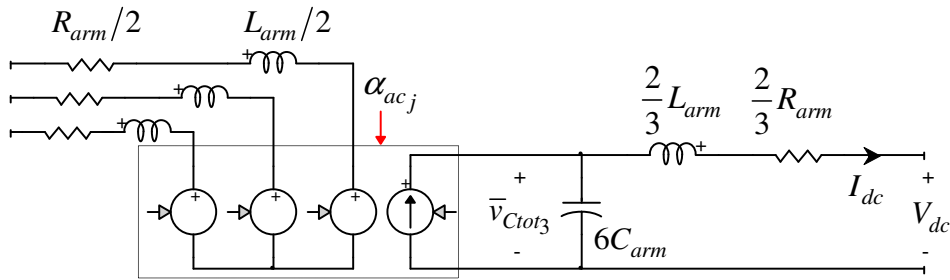


Figure 3-14: Circuit équivalent du MMC - Étape #3

On retrouve ainsi la similitude entre le modèle AVM présenté dans la Figure 3-14 et les modèles AVM développés pour les VSC 2-3 niveaux [64]. La différence principale entre le modèle présenté à la Figure 3-14 et les modèles AVM utilisés pour les convertisseurs VSC 2-3 niveaux se trouve uniquement du côté DC. En effet, pour la technologie MMC, une inductance et une résistance équivalentes sont incluses, ce qui n'est pas le cas des VSC classiques.

Lors d'un défaut DC, les SMs du MMC sont bloqués, et le convertisseur devient équivalent à un redresseur triphasé à diodes. Cependant, puisque uniquement l'équivalent triphasé du MMC est représenté, la représentation du convertisseur par un redresseur triphasé à diodes ne peut être représentée correctement. Afin de tenter d'imiter ce comportement, l'équivalent du condensateur peut être déconnecté et la source de courant court-circuitée, comme illustré à la Figure 3-15.

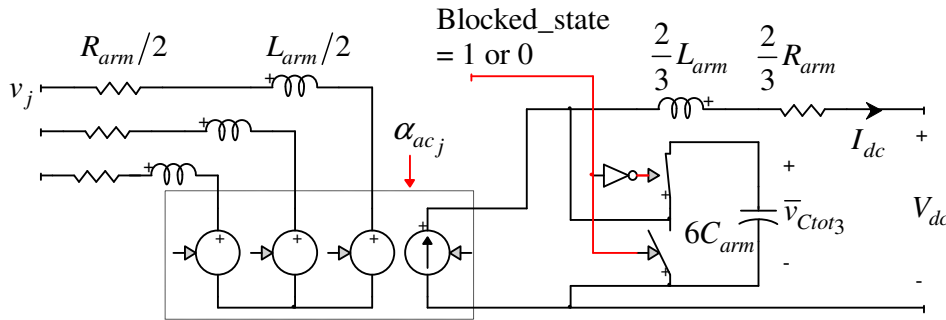


Figure 3-15: Modèle#4 incluant le système de blocage des SMs

### 3.6 Vérification des modèles

Cette section présente la comparaison entre les quatre modèles MMC présentés dans la section précédente: Modèle #1, #2, #3 et #4 (Figure 3-15). Leurs comportements dynamiques sont comparés pour différentes transitoires : changement de la puissance de référence, défaut triphasé, défaut DC pôle- pôle et la séquence de démarrage de la station.

Le système étudié est présenté dans la Figure 3-16. La stratégie de contrôle considère une régulation de puissance active et réactive pour la station MMC-1 et une régulation de la tension DC et de la puissance réactive pour MMC-2. Le système de contrôle utilisé ne prend pas en compte la régulation des énergies du MMC et sera détaillé à la section 4.1.2. Les réseaux AC (S1 et S2) sont représentés par des sources équivalentes avec une puissance de court-circuit de 10,000 MVA. La capacité nominale de transmission du système est de 1,000 MW de S1 à S2. Le câble DC est modélisé par un modèle de câble de type large-bande [65] et ses paramètres sont disponibles dans l'Annexe A. Chaque station de conversion est constituée d'un MMC de 401 niveaux (400 SMs/demi-bras). Le Modèle #1 constitue le modèle de référence. Afin d'étudier la précision des modèles, un pas de temps de  $1 \mu s$  est considéré pour tous les types de modèles. Toutes les simulations sont effectuées sous EMTP-RV.

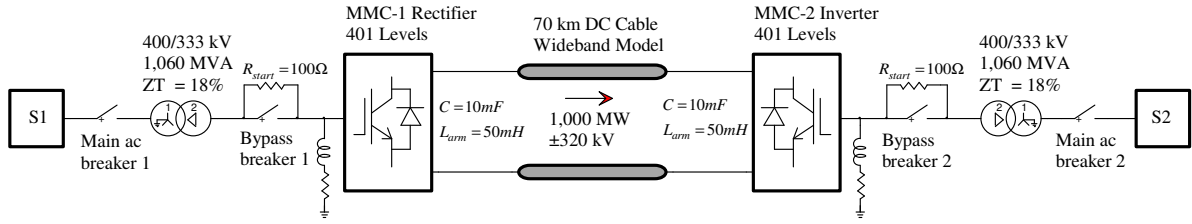
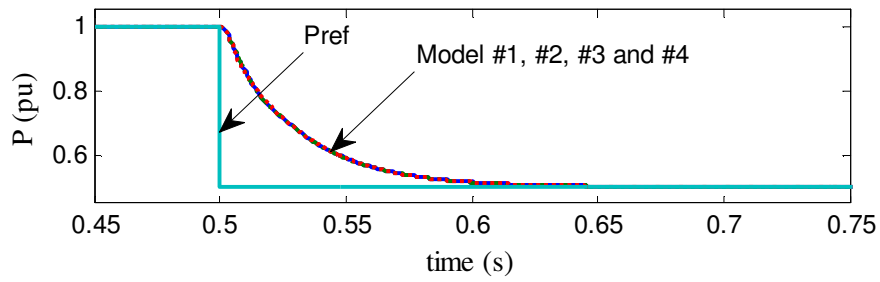


Figure 3-16: Liaison HVDC-MMC

### 3.6.1 Variation de la puissance de référence

Un échelon sur la consigne de la puissance active de MMC-1 est appliqué à 0.5 s. La référence de puissance active ( $P_{ref}$ ) est réduite de 1 à 0.5 pu. Les résultats sont présentés ci-dessous.



a) Puissance active de MMC1

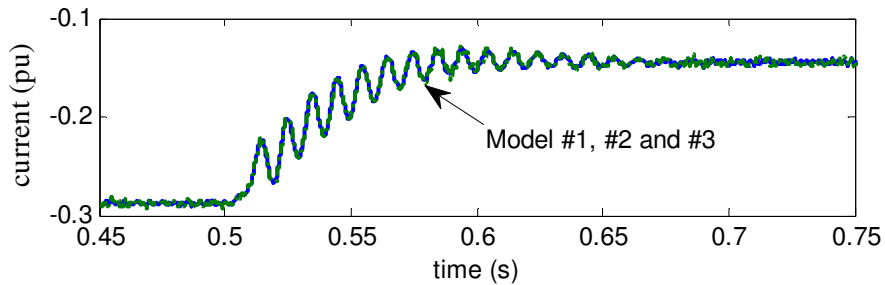
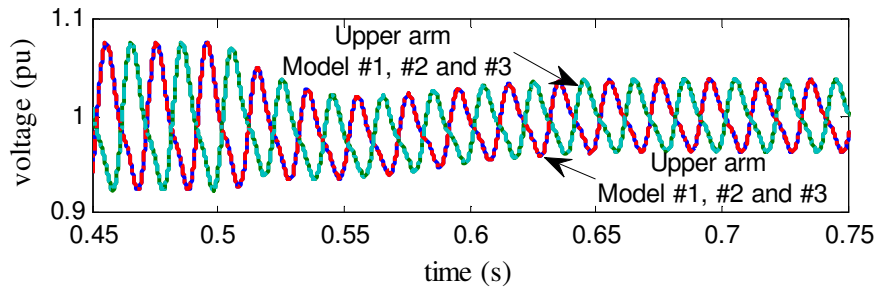
b) Courant différentiel  $i_{diff_a}(3.15)$  de MMC-1

Figure 3-17: Comparaison des modèles pour la variation de la puissance de référence



c) Tension  $v_{Ctot_{u_a}}$  de MMC-1

Figure 3-17: Comparaison des modèles pour la variation de la puissance de référence (suite)

### 3.6.2 Défaut triphasé

Un défaut triphasé (3LT) franc d'une durée de 200 ms est appliqué au point de raccordement entre S2 et la station MMC2 à  $t = 1$  s. La Figure 3-18 compare les réponses dynamiques. Les résultats des Modèles #2 et #3 sont similaires aux résultats fournis par les Modèle #1 et le Modèle #4. Lors du défaut, dans la Figure 3-18.d, on remarque une oscillation atténuée autour de 413 Hz avec une amplitude légèrement plus élevée (l'amplitude crête est autour de 0.008 pu) dans les Modèles #1 et #2 que dans le Modèle #3 (l'amplitude crête est autour de 0.001 pu). Cette oscillation est liée à l'interaction entre le MMC et le câble DC. En effet, le courant AC augmente rapidement durant le défaut AC, ce qui entraîne une plus grande fluctuation des tensions des condensateurs des SMs et l'hypothèse (3.4) devient moins précise. Ce transitoire génère donc des harmoniques dans le MMC qui interagissent avec le câble DC. Pour le Modèle #4 les variables cotés AC et DC sont assez proches. Cependant, le rapprochement des résultats du Modèle #4 est lié au système de contrôle qui ne régule pas les énergies du MMC. La différence entre le Modèle #4 et les trois autres modèles peut être plus grande si le système de contrôle régule les énergies du MMC.

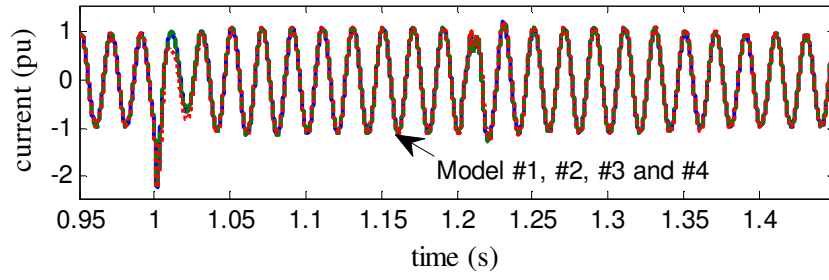
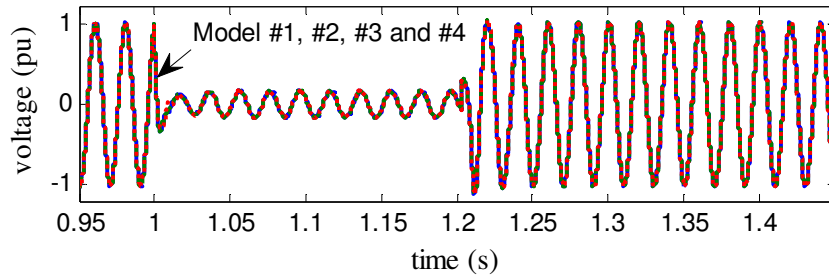
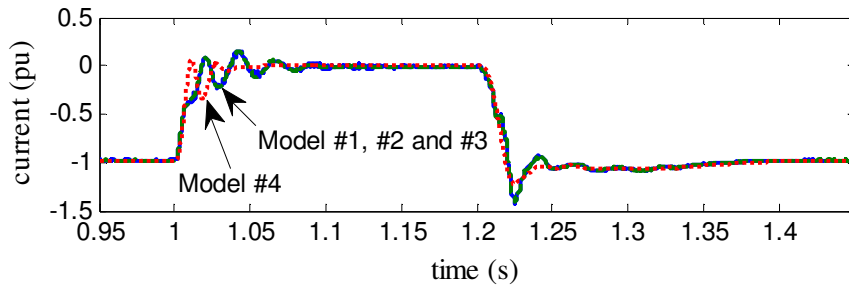
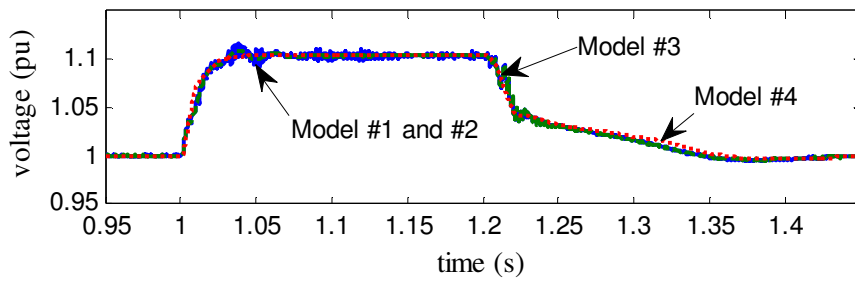
a) Courant  $i_a$  MMC-2b) Tension  $v_a$  MMC-2c) Courant  $I_{dc}$  MMC-2d) Tension  $V_{dc}$  MMC-2

Figure 3-18: Comparaison des modèles pour un défaut triphasé avec MMC de 401 niveaux

### 3.6.3 Influence du nombre de niveaux du MMC

Le nombre de niveaux du MMC peut varier en fonction de l'application et du constructeur. Afin d'évaluer l'effet du nombre de niveaux du MMC, le MMC de 401 niveaux dans le cas test est remplacé par un MMC de 51 niveaux. La valeur des condensateurs des SMs est mise à l'échelle :  $C * 50 / 400$ . Tous les autres paramètres sont préservés.

Les résultats côté AC sont sensiblement similaires à ceux trouvés dans la Figure 3-18.a et Figure 3-18.b. Toutefois, le comportement côté DC (Figure 3-19) n'est pas le même à cause de la réduction du nombre de niveaux. On remarque que durant le défaut, la fréquence d'oscillations de la tension continue trouvée dans la Figure 3-18.d apparaît à la Figure 3-19.b. Cependant, cette oscillation a une amplitude plus élevée et ne s'atténue pas dans les Modèles #1 et #2, ce qui est différent avec le Modèle #3. Durant le défaut, l'amplitude crête de la tension DC du Modèle #2 est proche de celle du Modèle #1 et est d'environ 0.063 pu. Cependant l'amplitude crête du Modèle #3 est seulement de 0.010 pu. De plus, cette oscillation a une répercussion sur le courant continu représenté à la Figure 3-19.a. En effet, il existe des différences notables entre les formes d'onde de Modèles #1-#2 et le Modèle #3.

Pour un MMC de 101 niveaux, des différences apparaissent encore entre les Modèles #1-#2 et #3. L'amplitude crête de la tension continue des Modèles #1 et #2 sont de 0.031 pu par contre le Modèle #3 est estimée à environ 0.006 pu. Tout de même, la précision du Modèle #3 avec un MMC de 101 niveaux peut être considérée acceptable car les oscillations sont atténuées dans les trois modèles et les différences entre les formes d'onde de courant sont moins apparentes.

Cette section et la section précédente 3.6.2 confirment que l'hypothèse (3.4) dans le Modèle #3 dépend du nombre de niveaux de MMC et des fluctuations de tension de condensateur.

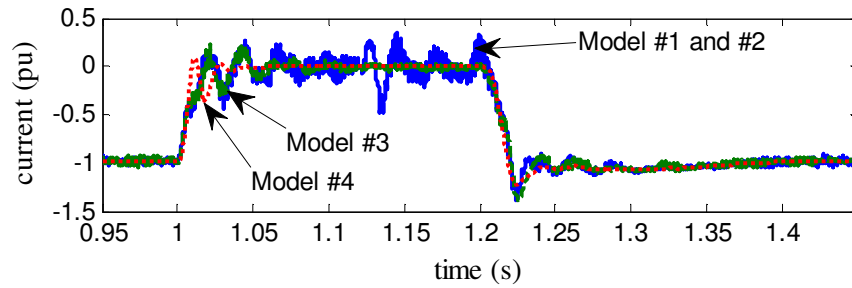
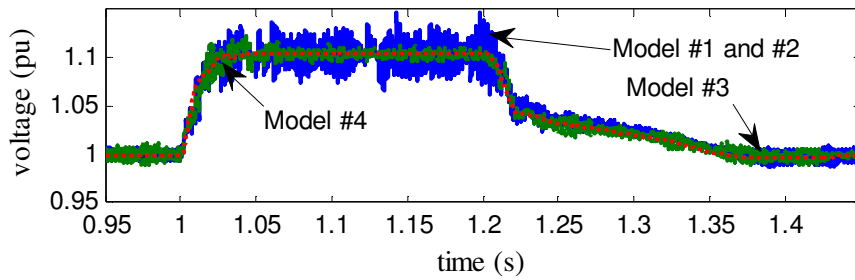
a) Courant  $I_{dc}$  MMC-2b) Tension  $V_{dc}$  MMC-2

Figure 3-19: Comparaison des modèles pour un défaut triphasé avec MMC de 51 niveaux

### 3.6.4 Défaut DC pôle-pôle

Les modèles sont testés pour un défaut coté continu permanent entre les pôles positif et négatif au milieu du câble DC. Le défaut est appliqué à 1.9 s. La séquence d'élimination de défaut suivante est utilisée [66]: Quand le courant continu dépasse le seuil de 3pu, tous les thyristors (K2) sont activés et tous les IGBTs sont bloqués avec un délai de 40  $\mu$ s et les « Main ac breaker 1 » et « Main ac breaker 2 » (Figure 3-16) sont ouverts après deux cycles.

Les courants continu et alternatif dans MMC-1 sont comparés à la Figure 3-20 pour les différents modèles. Le maximum de courant continu au moment du défaut atteint une valeur d'environ 8.2 pu pour les Modèles #1 à #3 et 6.2 pu pour Modèle #4.



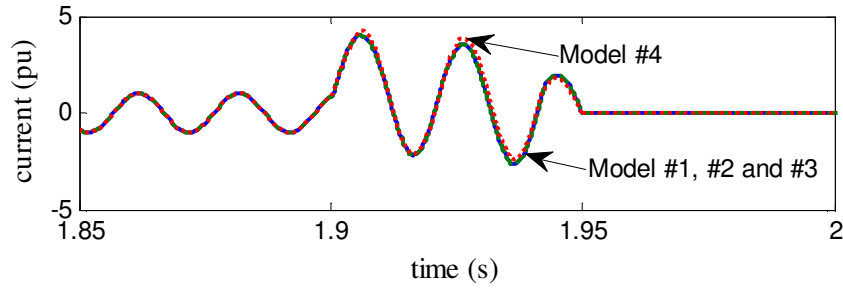
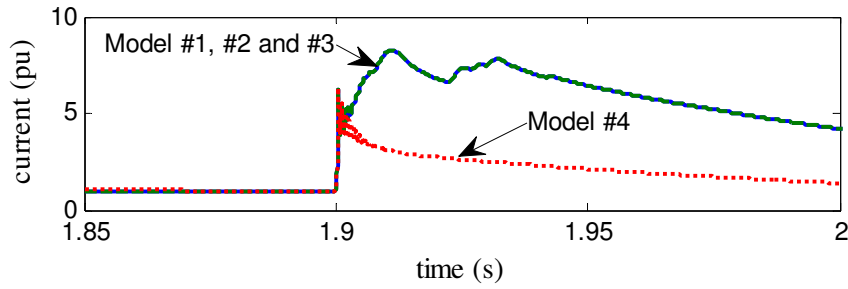
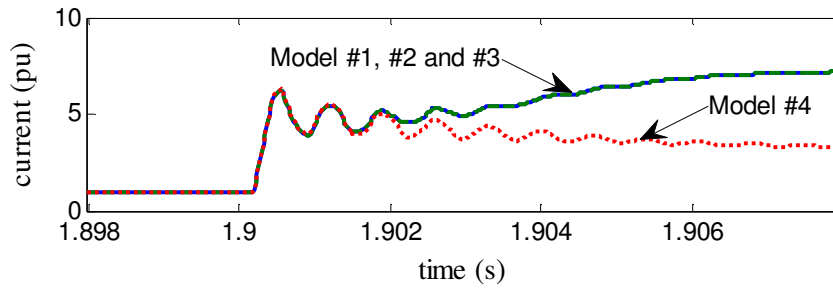
a) Courant  $i_a$  MMC-1b) Courant  $I_{dc}$  MMC-1c) Vue agrandie du courant  $I_{dc}$  MMC-1

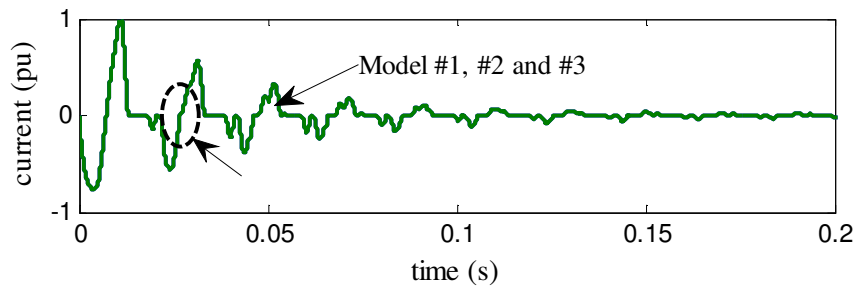
Figure 3-20: Comparaison des modèles pour un défaut continu

À partir de la forme d'onde agrandie Figure 3-20.c, on remarque que juste après le défaut, le Modèle #4 reproduit bien la pente de décharge de  $I_{dc}$ , toutefois, après environ 1 ms, le comportement devient différent en raison de la représentation inexacte de l'état de blocage du MMC.

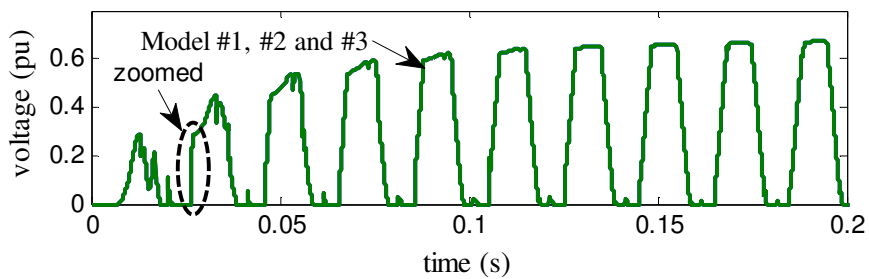
### 3.6.5 Séquence de démarrage

Ce test étudie la procédure de démarrage du convertisseur où tous les condensateurs sont déchargés et tous les SMs sont bloqués. Les disjoncteurs: « Bypass Breaker 1 » et « Bypass Braker 2 » (voir Figure 3-16) sont maintenus ouverts pour ce test. Une résistance  $R_{start}$  est

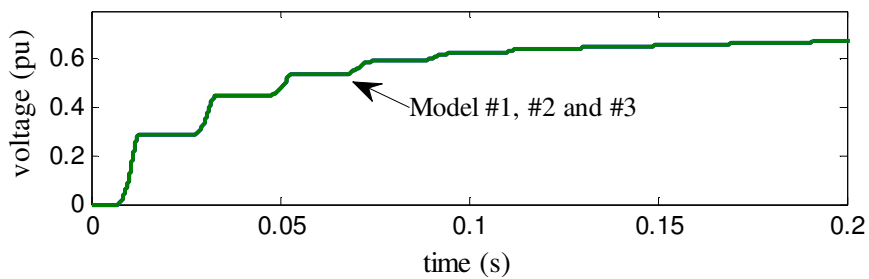
connectée entre le convertisseur et le secondaire du transformateur afin de limiter le courant d'appel. Puisque les détails du demi-bras ne sont pas représentés dans le Modèle #4, ce dernier ne peut pas être utilisé pour étudier la séquence de démarrage. Seuls les Modèles #1, #2 et #3 sont comparés dans les figures suivantes.



a) Courant  $i_{u_a}$  MMC-1

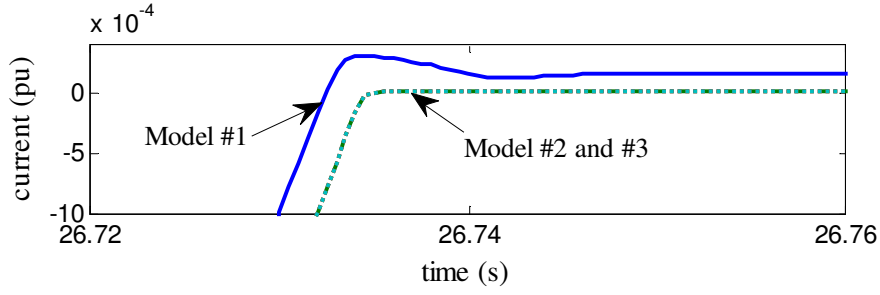


b) Tension  $v_{u_a}$  MMC- 1

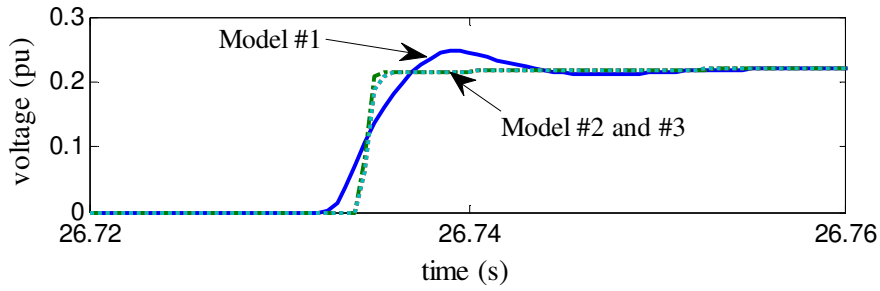


c) Tension  $v_{Ctot_{u_a}}$  MMC-1

Figure 3-21: Comparaison des modèles pour une séquence de démarrage



a) Vue agrandie du courant  $i_{u_a}$  MMC-1



b) Vue agrandie de la tension  $v_{u_a}$  MMC-1

Figure 3-22: Comparaison des modèles pour une séquence de démarrage

Selon la Figure 3-21, les deux Modèles #2 et #3 sont en mesure de répliquer le comportement du Modèle #1. On peut donc conclure que ces deux modèles simplifiés peuvent être utilisés pour étudier la séquence de démarrage d'une station.

Les formes d'ondes agrandies dans la Figure 3-22, mettent en évidence l'effet de la modélisation détaillé des composants semi-conducteurs dans le Modèle #1. On remarque que le Modèle #1 parvient à imiter le comportement de recouvrement inverse des diodes [67], alors que dans les Modèles #2 et #3 ce comportement ne peut pas être représenté en raison de la représentation  $R_{ON}/R_{OFF}$  des IGBT/diodes.

### 3.6.6 Performances de calcul

Les temps de calcul sont évalués pour 1 s de temps de simulation pour le système représenté dans la Figure 3-16. Les simulations ont été réalisées sur un ordinateur avec un processeur Intel Core i7-2640M 2.80 GHz et 8 GB de RAM. Afin d'étudier l'impact du nombre de niveaux de MMC sur le temps de calcul, quatre niveaux différents sont testés: 20, 50, 100 et 400 SMs/demi-bras. Les temps de calculs sont comparés pour tous les modèles avec des pas de temps de 10  $\mu$ s et 100  $\mu$ s (uniquement pour le Modèle #4). Les résultats présentés dans le Tableau 3-3 montrent que

la meilleure vitesse de calcul est évidemment réalisée par le Modèle #4. Son pas de temps et la vitesse de calcul peuvent être encore augmentés sans affecter significativement sa précision. Néanmoins, la vitesse de calcul du Modèle #3 est très proche du Modèle #4 lorsque le même pas de temps est utilisé. Les temps de calculs des Modèles #1 et #2 sont en fonction du nombre de niveaux de MMC.

On observe dans le Tableau 3-3 qu'un comportement linéaire (entre le temps de calcul et le nombre de SMs/demi-bras) peut être obtenu pour le Modèle #2 avec l'implémentation utilisée dans ce chapitre. L'évolution des temps de calcul pour le Modèle #1 est légèrement exponentielle car plus le nombre de composants non-linéaires augmente plus le nombre d'itérations augmente.

Lorsque le nombre de SMs dans chaque demi-bras augmente, le gain en vitesse de simulation pour les Modèles #3 par rapport aux Modèles #1 et #2, augmente également; c.à.d. pour 20 SMs/demi-bras les ratios sont de 2 et 15 par rapport aux Modèles #2 et #1 respectivement. Toutefois, pour 400 SMs/demi-bras ses ratios deviennent 26 et 791 respectivement.

Tableau 3-3: Performances de calculs de la liaison HVDC-MMC pour une 1 s de simulation

Modèle	Pas de temps ( $\mu$ s)	Temps de calculs en fonction du nombre de SMs/demi-bras (s)			
		20 SMs/demi-bras	50 SMs/demi-bras	100 SMs/demi-bras	400 SMs/demi-bras
#1	10	253	792	2,006	13,159
#2	10	42	65	114	441
#3	10	18	18	18	18
#4	10	15	15	15	15
#4	100	2	2	2	2

Afin de valider les résultats obtenus pour une liaison HVDC, le modèle de référence du réseau à courant continu CIGRÉ [68]-[69] qui comprend 16 MMCs (11 stations de conversion dont 5 bipolaires) a été simulé en utilisant les modèles présentés dans ce chapitre. Le circuit est présenté à la Figure 3-23. Les détails des paramètres utilisés sont décrits dans [69].

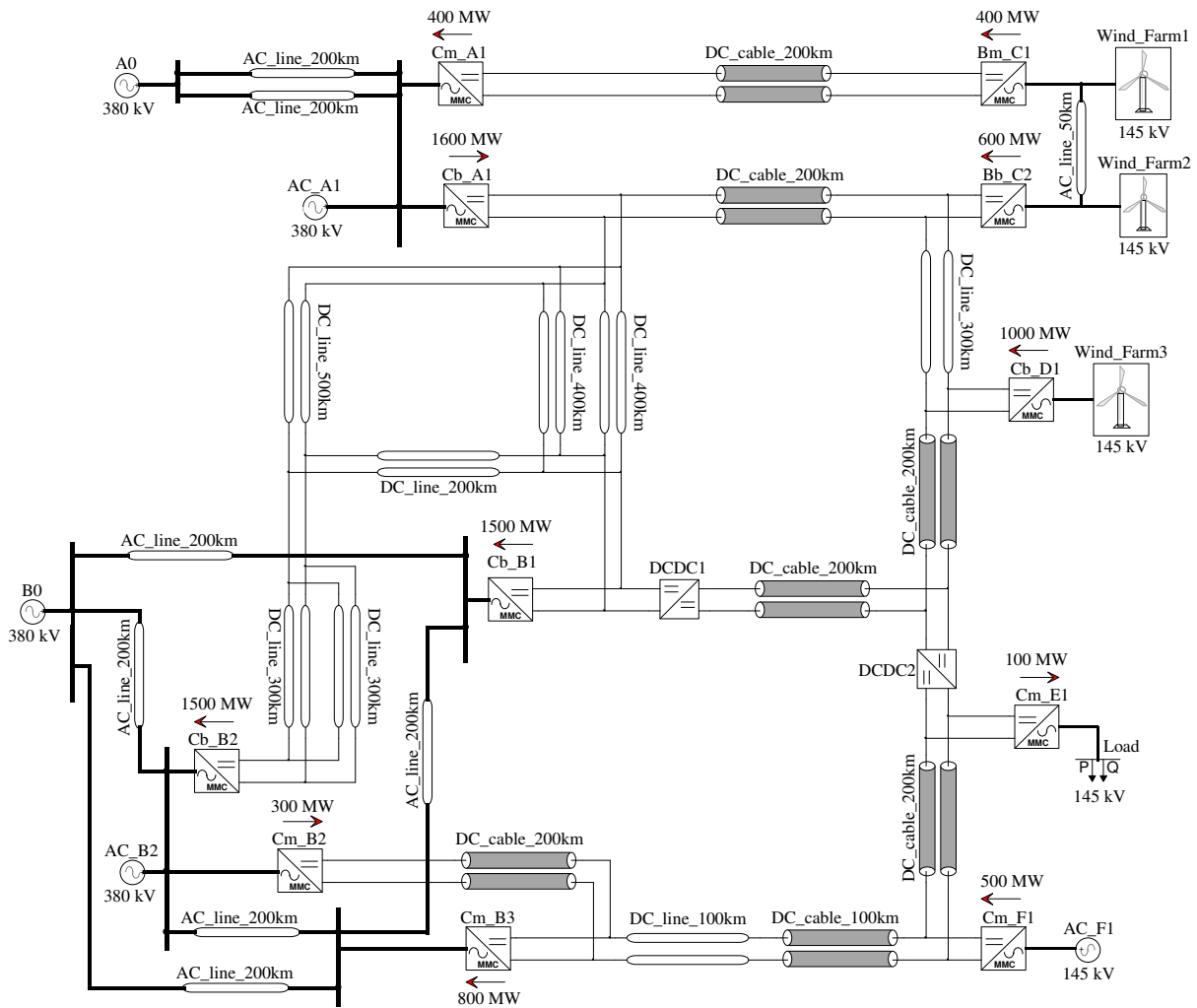


Figure 3-23: Circuit de référence du réseau à courant continu CIGRÉ [68]-[69]

Les temps de calcul sont présentés dans le Tableau 3-3. Les conclusions sont similaires au cas test de la liaison HVDC-MMC. Toutefois, étant donné que le Modèle #4 présente des réponses inexactes pour des défauts coté DC, il ne devrait pas être utilisé pour étudier les événements transitoires sur le réseau continu. Pour les défauts AC, les résultats peuvent être assez proches, cependant dépendamment du système de contrôle la précision des résultats peut changer. Pour une analyse générale du comportement dynamique du réseau DC avec des MMCs ayant plus de 101 niveaux, le Modèle #3 représente le meilleur compromis entre la précision et la vitesse de calcul. À cause des temps de calculs élevés du Modèle #1, ce modèle devrait être utilisé uniquement pour la validation et le réglage des autres modèles simplifiés.

Tableau 3-4: Performances de calculs du réseau DC CIGRÉ pour une 1 s de simulation

Modèle	Pas de temps (µs)	Temps de calculs en fonction du nombre de SMs/demi-bras (s)				
		20 SMs/demi-bras	50 SMs/demi-bras	100 SMs/demi-bras	200 SMs/demi-bras	400 SMs/demi-bras
#1	10	3,619	9310	20,818	45,387	99,200
#2	10	408	620	967	1611	3,244
#3	10	162	162	162	162	162
#4	10	151	151	151	151	151
#4	100	18	18	18	18	18

### 3.7 Conclusion

Dans ce chapitre quatre différents modèles de MMC adaptés pour des simulations de type EMT ont été développés et comparés. Des cas tests pratiques comprenant des défauts, un changement de référence de la puissance et la séquence de démarrage d'une station ont été utilisés pour étudier le comportement de ces modèles.

- Le Modèle #1 est actuellement le modèle le plus détaillé mais nécessite des temps de calcul très élevés. Il peut être utilisé en tant que modèle de référence de haute précision et pour étalonner des modèles simplifiés.
- Le Modèle #2 permet d'éviter la modélisation détaillée des IGBT/Diode. Ceci permet la réduction du nombre de nœuds électriques et augmente ainsi la vitesse de calcul. Ce modèle fournit des résultats précis et peut être utilisé lorsque des SMs redondants sont inclus dans le MMC et/ou lorsque la commande d'équilibrage de chaque condensateur doit être analysée.
- Le Modèle #3 permet d'améliorer encore plus la performance de calcul. Ce modèle permet la représentation de l'état bloqué d'un MMC. Des résultats suffisamment précis peuvent être obtenus lorsque le nombre de niveaux de MMC est supérieur à 101. Il doit être utilisé avec précaution lorsque le nombre de niveaux diminue. Ce modèle peut

reproduire les courants circulaires et le stockage de l'énergie dans chaque demi-bras, mais pas l'équilibrage des tensions des condensateurs des SMs.

- Le Modèle #4 (Étape #3) représente le modèle le moins précis. Cependant, le pas de temps peut être augmenté pour accélérer les temps de calcul. La dynamique du système coté alternatif peut être adéquat dépendamment des évènements étudiés et si le système de contrôle ne régule pas les énergies du MMC. Par ailleurs, la modélisation côté continu n'est pas suffisamment précise.

## CHAPITRE 4 SYSTÈME DE CONTRÔLE

Dans ce chapitre, le système de contrôle-commande du MMC est étudié. Il est constitué d'un système de contrôle de haut niveau et d'un autre de bas niveau. Le contrôle de haut niveau correspond au contrôle global (contrôle courant et de puissance) et le contrôle de bas niveau au regroupement des contrôles des SMs (équilibre des tensions des condensateurs et modulation) de chaque demi-bras. La structure du système de contrôle est présentée dans la Figure 4-1; les rapports cycliques de chaque demi-bras sont transmis du contrôle global « Global-control » vers les contrôles des SMs « SM-control ». La sortie du système de contrôle peut être soit les vecteurs des commandes des gâchettes  $\mathbf{g}_{1,u,\ell j}$  et  $\mathbf{g}_{2,u,\ell j}$  soit les vecteurs des commandes de SM (c.à.d.  $\mathbf{S}_{u,\ell j}$ ) qui sont les additions binaires des deux gâchettes des SMs.

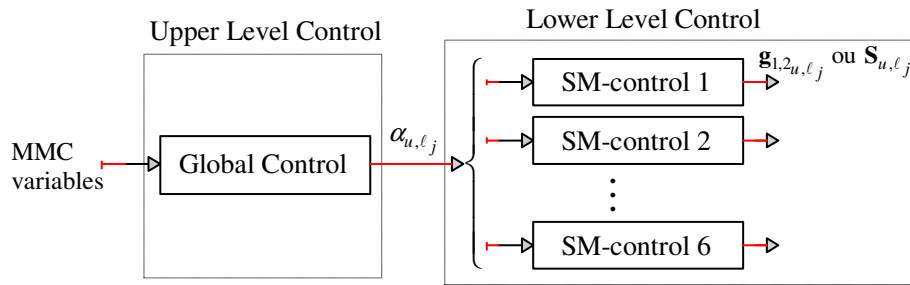


Figure 4-1: Structure du système de contrôle-commande

Dans ce chapitre, tout d'abord, deux différentes approches de contrôle global sont présentées, ensuite différentes techniques de contrôle des SMs sont présentées.

### 4.1 Contrôle global

Il existe principalement deux architectures de contrôle global :

- Contrôle-global #1. Le contrôle du MMC sans régulation des énergies échangées dans les demi-bras. Dans [70] il a été démontré qu'en éliminant le courant circulaire (section 4.1.2.1.2), les énergies de chaque demi-bras convergent naturellement vers un état stable. Dans cette configuration le courant différentiel de chaque phase n'est donc pas régulé.



- Contrôle-global #2. Le contrôle explicite des énergies échangées dans les demi-bras. Dans ce cas de figure, le courant différentiel est donc explicitement contrôlé afin de réguler les énergies du MMC.

#### 4.1.1 Contrôleur PI

Chaque variable est régulée par une boucle de régulation PI. Tous les contrôleurs PI sont équipés d'une fonction anti-windup [41] pour empêcher l'accumulation d'erreur sur la partie intégrante lorsque la valeur de sortie atteint les limites fixées par l'utilisateur. Dans ce chapitre, la fonction de régulation PI est définie comme  $C_X(s) = k_p + k_i/s$  dans le domaine de Laplace et l'indice  $X$  fait référence à la boucle de contrôle correspondante.

#### 4.1.2 Contrôle-global #1 : sans régulation des énergies des demi-bras

Cette première approche est structurellement proche des contrôleurs communément utilisés pour les VSCs de 2-3 niveaux. En utilisant la décomposition en  $dq$ , les puissances actives et réactives sont régulées indépendamment via une boucle de courant interne (Inner control) rapide. Les boucles externes (Outer control) peuvent utiliser la composante  $d$  du courant pour contrôler la puissance active ( $P$ -control) ou la tension continue ( $V_{dc}$ -control) et la composante  $q$  pour contrôler la puissance réactive ( $Q$ -control) ou la tension alternative ( $V_{ac}$ -control) au point de raccordement (PCC). Par ailleurs, le MMC nécessite un contrôleur actif supplémentaire afin d'éliminer le courant circulaire de deuxième harmonique (CCC). La structure du contrôleur global se présente comme suit :

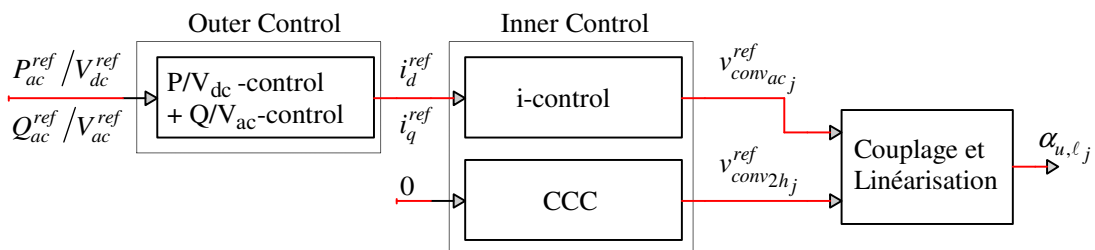


Figure 4-2: Contrôle-global #1 : sans la régulation des énergies des demi-bras

On remarque que les variables tensions  $v_{Ctot}$  et la composante continue des courants  $i_{arm}$  des demi-bras ne sont donc pas contrôlées. Comme mentionné précédemment, l'article [70] montre

que ces variables convergent naturellement vers un régime équilibré une fois que le courant circulaire est supprimé.

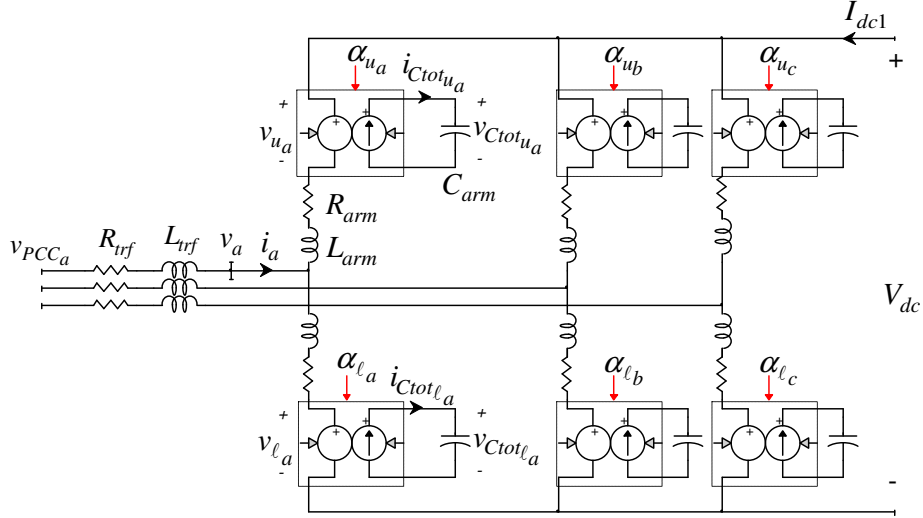


Figure 4-3: Modèle du circuit utilisé pour le contrôle global

#### 4.1.2.1 Boucle de courant interne

##### 4.1.2.1.1 *i*-control

En négligeant l'impédance de référence à la terre (Star Point Reactor voir Figure 2-7) et à partir des Figure 2-7 et Figure 2-5, les équations suivantes peuvent être déduites pour chaque phase  $j = a, b, c$

$$\frac{V_{dc}}{2} = v_{uj} + L_{arm} \frac{di_{uj}}{dt} + R_{arm} i_{uj} - L_{trf} \frac{di_j}{dt} - R_{trf} i_j + v_{PCCj} \quad (4.1)$$

$$\frac{V_{dc}}{2} = v_{lj} + L_{arm} \frac{di_{lj}}{dt} + R_{arm} i_{lj} + L_{trf} \frac{di_j}{dt} + R_{trf} i_j - v_{PCCj} \quad (4.2)$$

La Figure 4-3 illustre le modèle du circuit utilisé pour le contrôle global. En utilisant le changement de variable (3.15) et en soustrayant (4.1) et (4.2):

$$v_{PCCj} - v_{convacj} = \left( \frac{L_{arm}}{2} + L_{trf} \right) \frac{di_j}{dt} + \left( \frac{R_{arm}}{2} + R_{trf} \right) i_j \quad (4.3)$$

Ce système triphasé est transformé en  $dq$  en utilisant la transformation de Park:

$$\begin{cases} v_{PCCd} - v_{convac_d} = \left( \frac{L_{arm}}{2} + L_{trf} \right) \frac{di_d}{dt} + \left( \frac{R_{arm}}{2} + R_{trf} \right) i_d - \omega \left( \frac{L_{arm}}{2} + L_{trf} \right) i_q \\ v_{PCCq} - v_{convac_q} = \left( \frac{L_{arm}}{2} + L_{trf} \right) \frac{di_q}{dt} + \left( \frac{R_{arm}}{2} + R_{trf} \right) i_q + \omega \left( \frac{L_{arm}}{2} + L_{trf} \right) i_d \end{cases} \quad (4.4)$$

Les boucles de commande sont déduites à partir du système d'équation d'état (4.4) comme suit:

$$\begin{cases} v_{convac_d}^{ref} = -(i_d^{ref} - i_d) C_{iac}(s) + v_{PCCd} + \left( \frac{L_{arm}}{2} + L_{trf} \right) \omega i_q \\ v_{convac_q}^{ref} = -(i_q^{ref} - i_q) C_{iac}(s) + v_{PCCq} - \left( \frac{L_{arm}}{2} + L_{trf} \right) \omega i_d \end{cases} \quad (4.5)$$

où  $C_{iac}(s)$  est la fonction de transfert de la boucle PI du courant alternatif.

Le contrôleur interne est présenté dans la Figure 4-4 et permet de réguler les tensions de référence ( $v_{convac_d}^{ref}$  et  $v_{convac_q}^{ref}$ ) qui seront utilisées pour la commande du bas niveau.

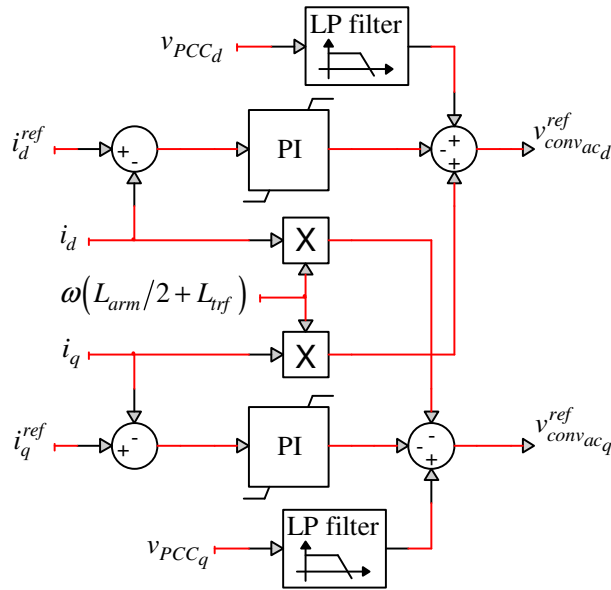


Figure 4-4: Boucle de courant alternatif (*i*-control)

Les deux filtres passe-bas qui se trouvent au niveau des tensions  $v_{PCCd}$  et  $v_{PCCq}$ , permettent le rejet des perturbations dans *i*-control [71]. Elles permettent le bon fonctionnement du contrôleur pour des faibles puissances de court-circuit du réseau (<3). La fréquence de coupure est typiquement choisie entre 40–100 rad/s [38].

#### 4.1.2.1.2 Contrôle du courant circulaire (CCC)

Le déséquilibre entre  $v_{Ctotu_j}$  et  $v_{Ctot\ell_j}$  (Figure 4-3) introduit des courants circulaires composés de la deuxième harmonique qui déforment non seulement les courants de demi-bras, mais augmente aussi les pertes globales dans le MMC. Il existe deux façons pour éliminer le courant circulaire : à l'aide d'un filtre résonant en insérant un condensateur entre les points médians des inductances de demi-bras supérieure et inférieure de chaque phase [39] ou en utilisant un contrôle actif sur la référence de la tension  $v_{convabc}$  [28]. Cette dernière a été choisie et décrite dans cette section.

Le courant différentiel  $i_{diff_j}$  pour chaque phase est défini à l'équation (3.15). Dans [72], il a été montré que les courants circulaires dans un MMC sont générés par des différences de tension entre les phases internes et qu'ils sont constitués d'une composante inverse de deuxième harmonique, défini par  $i_{2hj}$ . Ainsi, les courants différentiels triphasés sont donnés par :

$$\begin{cases} i_{diff_a} = \frac{I_{dc}}{3} + I_{2h_a} \cos(2\omega t + \varphi) \\ i_{diff_b} = \frac{I_{dc}}{3} + I_{2h_b} \cos\left(2\omega t + \varphi + \frac{2\pi}{3}\right) \\ i_{diff_c} = \frac{I_{dc}}{3} + I_{2h_c} \cos\left(2\omega t + \varphi - \frac{2\pi}{3}\right) \end{cases} \quad (4.6)$$

L'insertion du courant différentiel et l'addition de (4.1) et (4.2) donnent :

$$V_{dc} - v_{convdc_j} = 2L_{arm} \frac{di_{diff_j}}{dt} + 2R_{arm} i_{diff_j} \quad (4.7)$$

L'insertion de (4.6) dans (4.7) et en prenant uniquement en compte la composante de deuxième harmonique on obtient :

$$-v_{conv2hj} = 2L_{arm} \frac{di_{2hj}}{dt} + 2R_{arm} i_{2hj} \quad (4.8)$$

où  $v_{conv2hj}$  représente la tension différentielle de deuxième harmonique.

En appliquant la transformation de Park

$$\begin{cases} -v_{conv2hd} = L_{arm} \frac{di_{2hd}}{dt} - 2\omega L_{arm} i_{2hq} + R_{arm} i_{2hd} \\ -v_{conv2hq} = L_{arm} \frac{di_{2hq}}{dt} + 2\omega L_{arm} i_{2hd} + R_{arm} i_{2hq} \end{cases} \quad (4.9)$$

Pour éliminer le courant circulaire, deux contrôleurs PI sont utilisés dans les axes  $dq$  :

$$\begin{cases} -v_{conv2hd} = (0 - i_{2hd}) C_{i_{2h}}(s) - 2\omega L_{arm} i_{2hq} \\ -v_{conv2hq} = (0 - i_{2hq}) C_{i_{2h}}(s) + 2\omega L_{arm} i_{2hd} \end{cases} \quad (4.10)$$

où  $C_{i_{2h}}(s)$  est la fonction de transfert de la boucle PI de courant circulaire.

La structure de commande du courant circulaire est présentée dans la Figure 4-5.

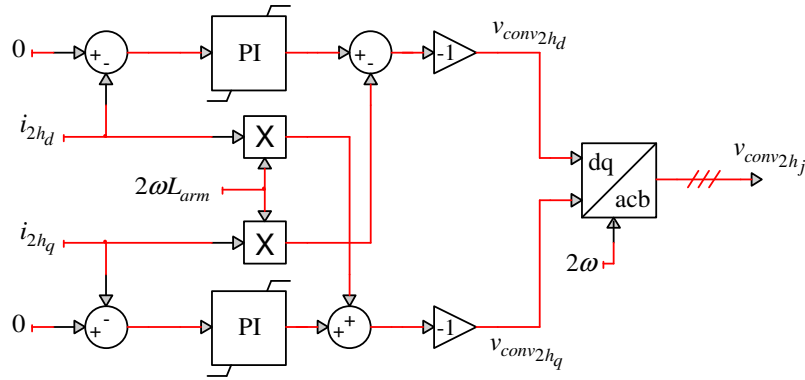


Figure 4-5: Contrôle du courant circulaire (CCC)

#### 4.1.2.2 Couplage et linéarisation

Les équations de couplage (3.22), (3.23), (3.24) et (3.25) sont utilisées. Puisque les énergies des demi-bras ne sont pas explicitement régulées dans cette approche, le rapport cyclique  $\alpha_{dc3}$  est constant. D'autre part, le rapport cyclique lié au courant circulaire est déduit de la manière suivante :

$$v_{conv2hj} = \alpha_{2hj} \bar{v}_{Ctotj} \quad (4.11)$$

Le schéma bloc du couplage est illustré ci-dessous.

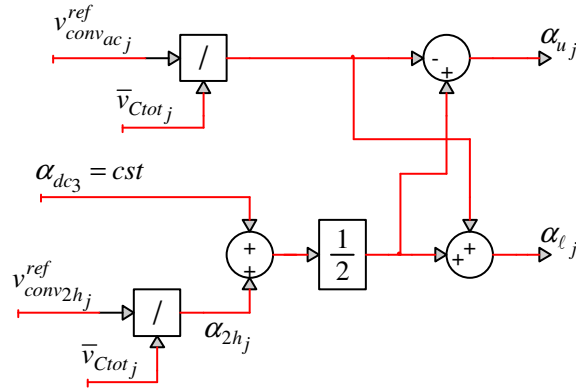


Figure 4-6: Couplage et linéarisation pour le Contrôle-global #1

Notons que la valeur de  $\alpha_{dc3}$  est constante. Cette valeur doit être choisie en respectant les conditions aux limites définies par les équations (3.34) et (3.35).

#### 4.1.2.3 Boucles externes

Dans cette section les quatre boucles de contrôle externes sont présentées.

##### 4.1.2.3.1 P-control

Dans l'Annexe B, le calcul de la puissance active dans l'axe  $dq$  est présenté. Puisque le vecteur de la tension au point de raccordement ( $v_{PCC}$ ) est aligné avec l'axe  $d$ , la composante  $q$  de la tension est nulle et la composante  $d$  est égale à l'amplitude de la tension. L'équation (6.52) devient:

$$P_{ac3} = v_{PCCd} i_d \quad (4.12)$$

Un contrôle intégral est suffisant pour produire le courant de référence désiré ( $i_{dref}$ ). La boucle de contrôle de la puissance active est définie par:

$$i_d^{ref} = \frac{1}{v_{PCCd}} \left( \frac{k_{ip}}{s} \right) (P_{ac3}^{ref} - P_{ac3}) \quad (4.13)$$

#### 4.1.2.3.2 $V_{dc}$ -control

Dans ces conditions, le principe de contrôle de la tension  $V_{dc}$  est identique à celui d'un VSC classique (voir section 3.5.3). Nous rappelons ici les principes généraux. L'équation suivante peut être déduite dans le repère  $dq$ :

$$6C_{arm} \frac{dV_{dc}}{dt} = i_d - I_{dc} \quad (4.14)$$

La compensation  $I_{dc}$  n'est pas indispensable. Un simple régulateur PI ( $C_{V_{dc}}(s)$ ) peut être appliqué pour réguler la tension continue:

$$i_d^{ref} = C_{V_{dc}}(s) (V_{dc_{ref}} - V_{dc}) \quad (4.15)$$

où  $C_{V_{dc}}(s)$  est la fonction de transfert de la commande de la tension continue.

#### 4.1.2.3.3 $Q$ -control

Comme le vecteur de tension de réseau est aligné avec l'axe  $d$ , la composante  $q$  de la tension du réseau est nulle et la composante  $d$  est égale à l'amplitude de la tension. L'équation (6.52) devient:

$$Q_{ac3} = -v_{PCCd} i_q \quad (4.16)$$

Un contrôle intégral est suffisant pour produire le courant de référence souhaité ( $i_{q_{ref}}$ ). La boucle de contrôle de la puissance réactive est définie par :

$$i_q^{ref} = - \frac{1}{v_{PCCd}} \left( \frac{k_{iQ}}{s} \right) (Q_{ac3}^{ref} - Q_{ac3}) \quad (4.17)$$

#### 4.1.2.3.4 $V_{ac}$ -control

De la même manière que l'équation de la puissance réactive (2.2), la chute de la tension  $\Delta v_{PCC}$  aux bornes de la réactance équivalente ( $L_{arm}/2 + L_{trf}$ ) est estimée

$$\Delta v_{PCC} = v_{conv} - v_{PCC} \approx \frac{\omega (L_{arm}/2 + L_{trf}) Q_{ac3}}{v_{PCC}} \quad (4.18)$$

Étant donné que le vecteur  $v_{PCC}$  est aligné avec l'axe  $d$ , l'insertion de (4.16) dans (4.18) donne:

$$\Delta v_{PCC} \approx \omega \left( L_{arm}/2 + L_{trf} \right) i_q \quad (4.19)$$

Un contrôle intégral est suffisant pour produire le courant de référence souhaité ( $i_q^{ref}$ ):

$$i_q^{ref} = \left( \frac{k_{iV}}{s} \right) (V_{PCCref} - v_{PCC}) \quad (4.20)$$

Ces quatre boucles externes sont illustrées dans le schéma ci-dessous :

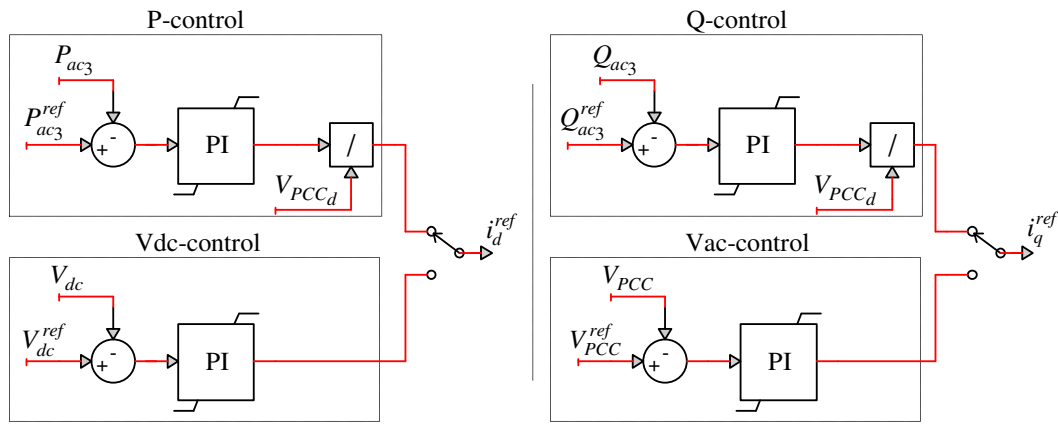


Figure 4-7: Boucles externes pour  $i_d^{ref}$  et  $i_q^{ref}$

#### 4.1.2.3.5 Limiteur de courant de référence

Puisque les VSCs n'ont pas de capacité de surcharge, un grand courant transitoire causé par des perturbations coté AC, peut endommager les semi-conducteurs. Par conséquent, un limiteur de courant doit être implémenté sur la consigne des courants (Figure 4-8) [38]. La limite du courant  $i_{lim}$  est comparée à l'amplitude du courant calculé à partir de  $i_d^{ref}$  et  $i_q^{ref}$ . Lorsque la limite de courant est dépassée, les deux  $i_d^{ref}$  et  $i_q^{ref}$  doivent être limitées. Le choix de la façon de limiter les courants de référence dépendra de l'application. Par exemple, si le convertisseur est connecté à un réseau fort,  $i_d^{ref}$  aura une priorité élevée (priorité-P) pour produire le plus de puissance active possible lorsque la limite de courant est dépassée. Si le convertisseur est connecté à un réseau faible (ceci est le cas quand une installation industrielle est alimentée), le VSC doit accorder la priorité à  $i_q^{ref}$  (priorité-Q) afin de soutenir la tension AC lorsque la limite du courant



est dépassée. La capacité restante est alors disponible pour la production de la puissance active. Les équations suivantes sont utilisées:

$$\text{Pour la priorité-}P: i_{\text{lim}} \geq \sqrt{i_{d\text{lim}}^{\text{ref}2} + i_q^{\text{ref}2}} \quad (4.21)$$

$$\text{Pour la priorité-}Q: i_{\text{lim}} \geq \sqrt{i_{q\text{lim}}^{\text{ref}2} + i_d^{\text{ref}2}} \quad (4.22)$$

Ces limites peuvent être représentées sous forme de schématique de la manière suivante :

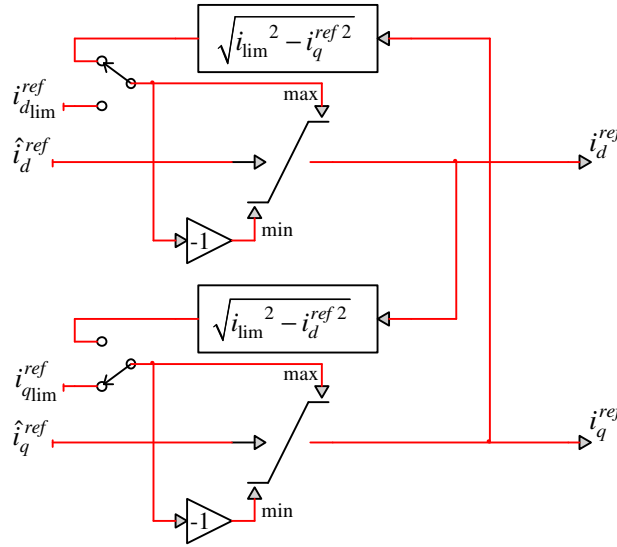


Figure 4-8 : Limiteur du courant de référence

#### 4.1.2.4 Étude de stabilité du Contrôle-global #1

Dans cette approche, les courants différentiels des demi-bras ne sont pas contrôlés. Il est donc nécessaire de tester la stabilité du système de contrôle.

Dans cette section, le MMC Modèle #2 est utilisé. Le réseau équivalent alternatif a une puissance de court-circuit de 10 GVA ( $SCR_I=10$ ). La capacité de transmission du système est de 1,000 MW (Figure 4-9). Les temps de réponse pour les boucles internes et externes sont fixés à 10 ms et 100 ms, respectivement.

Puisque le courant différentiel joue un rôle important du côté continu, il est donc plus facile de solliciter la robustesse du système de contrôle quand la station contrôle la tension continue ( $V_{dc}$ -control). Pour ce faire, le circuit présenté à la Figure 4-9 est considéré. Le côté continu est

représenté simplement par une source de courant en parallèle avec un condensateur (représentant un câble DC) et une résistance ayant une valeur assez élevée ( $1k\Omega$ ). Un interrupteur est inséré au niveau de la résistance afin d'inclure et d'exclure cette résistance. À  $t=1s$ , l'interrupteur est ouvert afin d'exclure cette résistance. L'impact de cette résistance sur la stabilité du système est illustré dans la Figure 4-10, où la tension et le courant DC sont présentés.

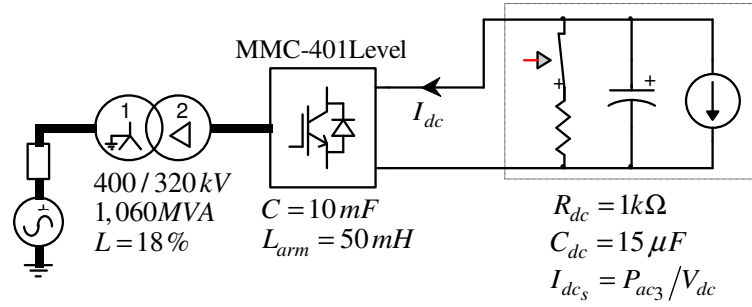


Figure 4-9: Configuration du circuit pour le test de stabilité de l'Approche #1-Mode- $V_{dc}$

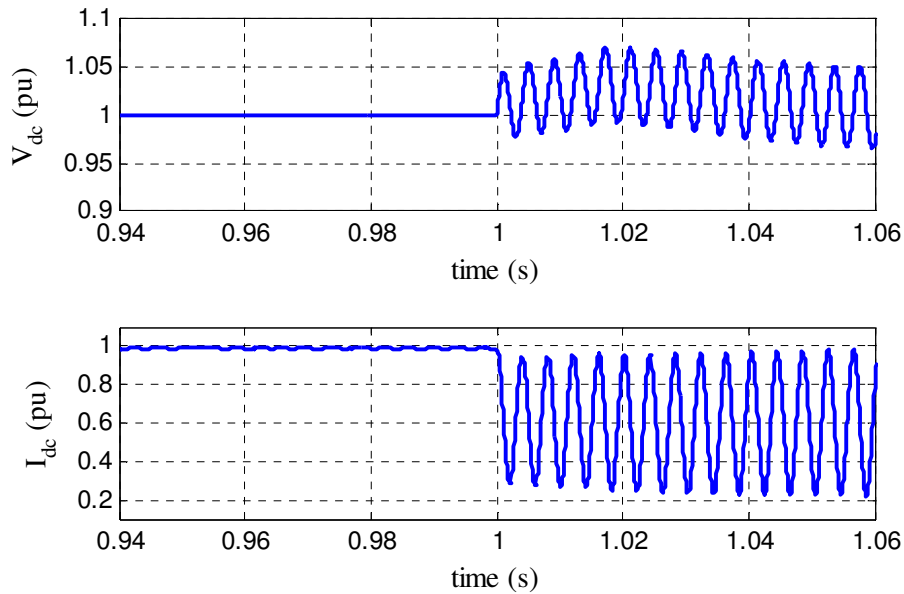


Figure 4-10: Stabilité de l'Approche #1 : impact de la résistance coté continue.

On remarque que le système est stable quand la résistance est insérée (c.à.d. pour  $t < 1s$ ), par contre une fois que la résistance est exclue (à  $t > 1s$ ) les variables commencent à osciller avec une fréquence de 245 Hz. Dans le Chapitre 5, on montrera que ce mode oscillatoire est principalement lié à l'interaction entre l'inductance équivalente coté continu (égale à  $2/3 L_{arm}$  voir Figure 3-14) et le condensateur  $C_{dc}$ . En effet, la fréquence de résonance de ces deux

composantes est égale à  $f = 1 / \left( 2\pi \sqrt{2/3 L_{arm} C_{dc}} \right) = 235.4 \text{ Hz}$ . On peut donc affirmer, que cette résistance permet d'amortir cette résonnance et ainsi maintenir le système stable. En pratique, dans une liaison HVDC, le câble DC inclut toujours des résistances (entre la gaine et l'âme) qui permettront ainsi d'amortir ces oscillations. Cependant, lors des transitoires coté DC, des oscillations amorties sont donc à prévoir. Dans l'Annexe C un échelon sur la consigne  $V_{dc}^{ref}$  est appliqué afin de montrer la présence de ces oscillations amorties.

#### 4.1.2.5 Validation du Contrôle-global #1

La validation de l'Approche #1 est présentée sur une liaison HVDC présentée dans la Figure 4-11. Dans cette section, le MMC Modèle #2 est utilisé. Le réseau équivalent (S1) à une puissance de court-circuit de 2.5 GVA ( $SCR_1=2.5$ ) et le réseau S2, une puissance de court-circuit de 10 GVA ( $SCR_2=10$ ). La capacité de transmission du système est de 1,000 MW. Les temps de réponse pour les boucles internes et externes sont fixés à 10 ms et 100 ms, respectivement. Le reste des paramètres du système sont présentés dans la Figure 4-11.

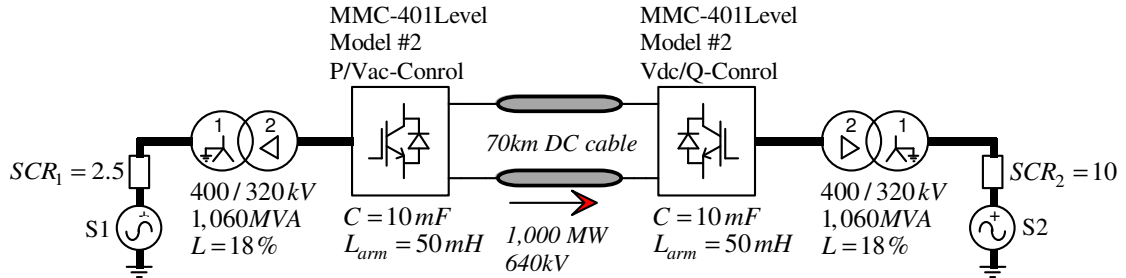
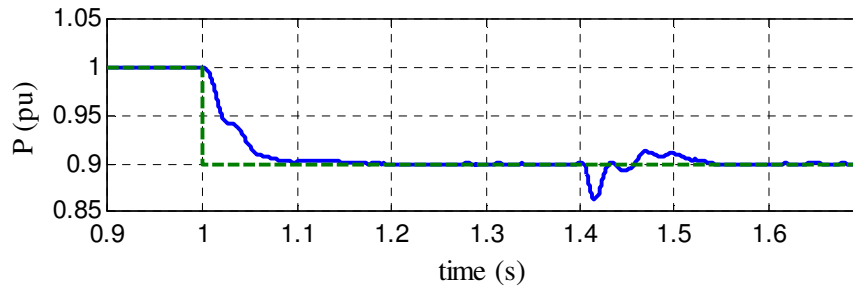


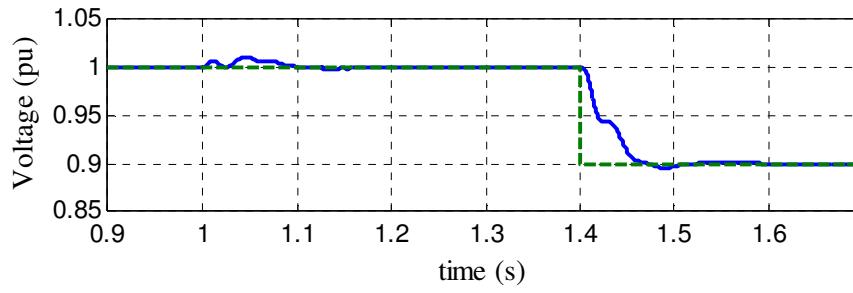
Figure 4-11 : Configuration du circuit pour la validation de l'Approche #1

##### 4.1.2.5.1 Validation du P-control et $V_{ac}$ -control

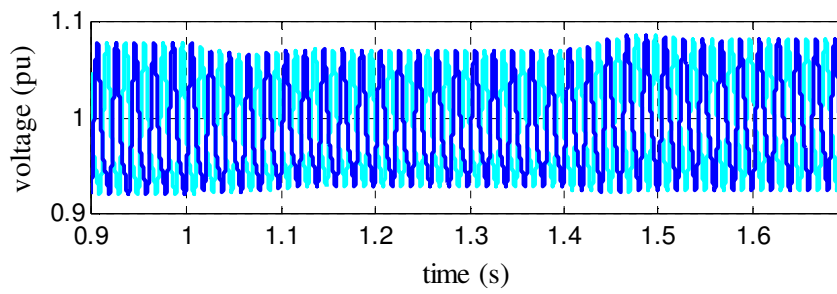
Les réponses dynamiques dues à des échelons de -0.1 pu sur  $P_{ac}^{ref}$  à 1 s et sur  $V_{ac}^{ref}$  à 1.4 s sont présentées dans la Figure 4-12. Les courbes en vert (pointillés) représentent les valeurs de référence et les courbes en bleue sont utilisées pour les différentes variables.



a)  $P_{ac}$ ,  $P$ -control, échelon de -0.1 pu sur  $P_{ac}^{ref}$  à 1 s

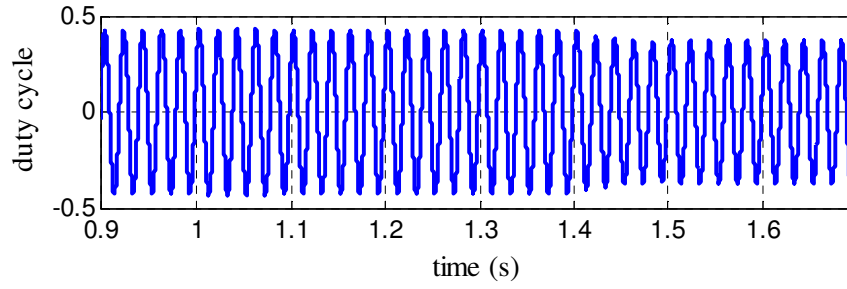
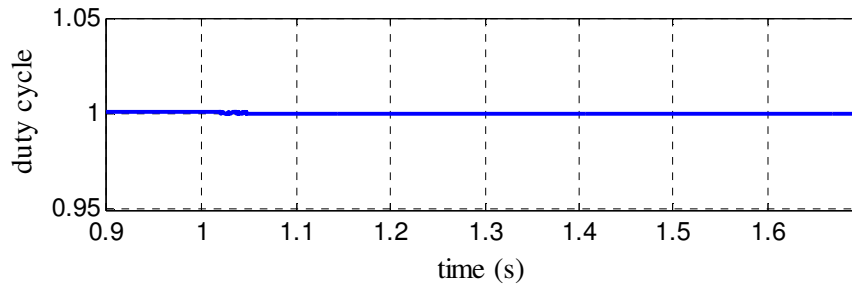


b)  $V_{ac}$ ,  $V_{ac}$ -control, échelon de -0.1 pu sur  $V_{ac}^{ref}$  à 1.4 s



c)  $v_{Ctot_{u,\ell_a}}$

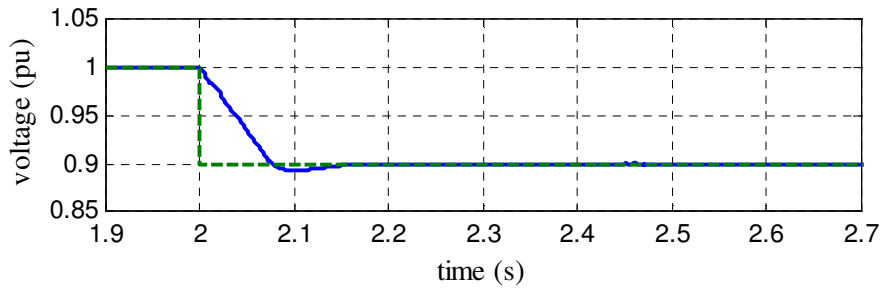
Figure 4-12: Validation des  $P$ -control et  $V_{ac}$ -control : échelon sur les références

d) rapport cyclique  $\alpha_{ac_a}$ e) rapport cyclique  $\alpha_{dc_3}$ Figure 4-12: Validation des  $P$ -control et  $V_{ac}$ -control : échelon sur les références (suite)

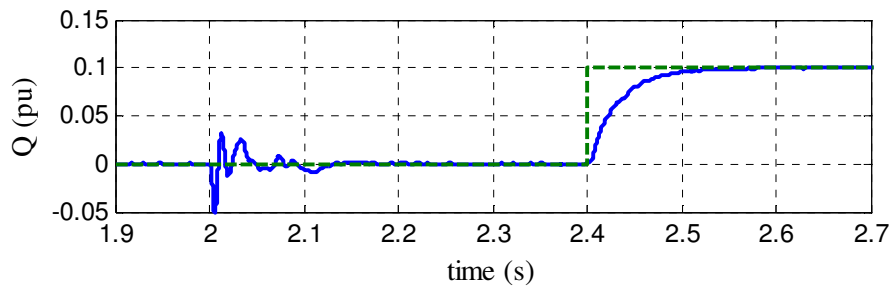
À partir de Figure 4-12.a et Figure 4-12.b, on remarque que les deux boucles de contrôle répondent bien aux spécifications des temps de réponses désirés de 100 ms. Le rapport cyclique alternatif, Figure 4-12.d, montre le changement d'amplitude lié à l'échelon sur  $V_{ac}^{ref}$ . Quant au rapport cyclique continu, Figure 4-12.e, il est égal à 1 tout au long de la simulation, comme prévu.

#### 4.1.2.5.2 Validation du $V_{dc}$ -control et $Q$ -control

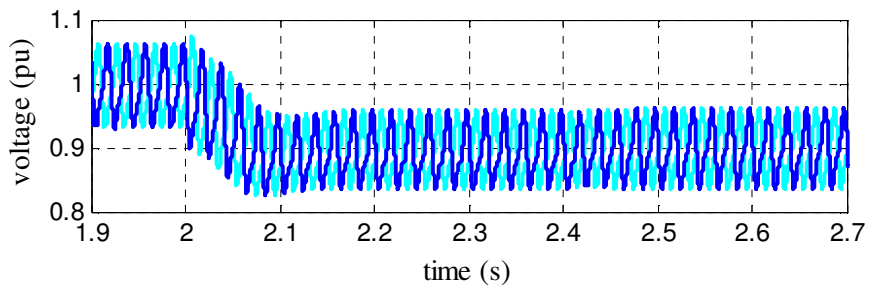
Les réponses dynamiques dues à des échelons sur  $V_{dc}^{ref}$  à 2 s et sur  $Q_{ac}^{ref}$  à 2.4 s, sont présentées à la Figure 4-13. Les courbes en vert représentent les valeurs de référence et les courbes en bleu sont utilisées pour les différentes variables. Les contrôles proposés répondent bien aux spécifications des temps de réponses désirés de 100 ms. À partir des Figure 4-13.a et Figure 4-13.c, on remarque que le changement de consigne sur la tension  $V_{dc}$  fait aussi varier le point de fonctionnement des tensions  $v_{Ctotu,\ell_a}$  afin de maintenir une valeur constante de  $\alpha_{dc_3}$  (Figure 4-13.e).



a)  $V_{dc}$ ,  $V_{dc}$ -control, échelon de -0.1 pu sur  $V_{dc}^{ref}$  à 2 s

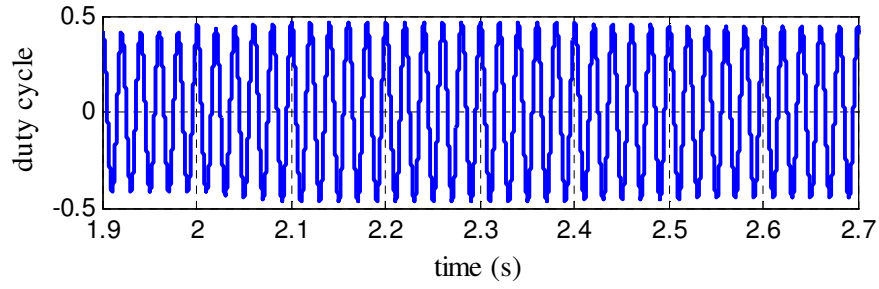
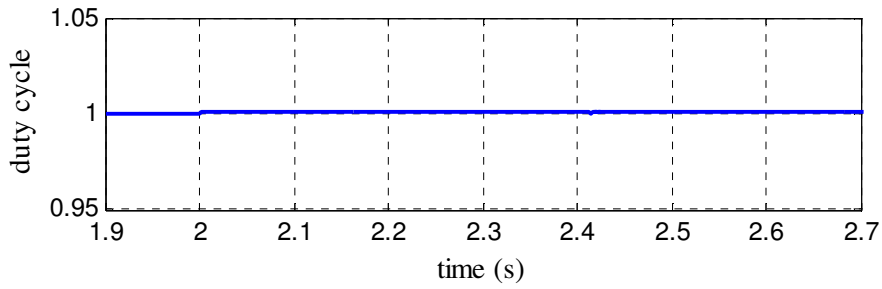


b)  $Q_{ac}$ ,  $Q$ -control, échelon de -0.1 pu sur  $Q_{ac}^{ref}$  à 2.4 s



c)  $v_{Ctot_{u,\ell_a}}$

Figure 4-13: Validation des  $V_{dc}$ -control et  $Q$ -control: échelon sur les références

d) rapport cyclique  $\alpha_{ac_a}$ e) rapport cyclique  $\alpha_{dc_3}$ Figure 4-13: Validation des  $V_{dc}$ -control et  $Q$ -control: échelon sur les références (suite)

#### 4.1.2.5.3 Validation du contrôle du courant circulaire

Afin de valider le contrôle du courant circulaire, un créneau de 0.1 pu à 0.5 s pour 100 ms, est appliqué sur la référence. Notons qu'en mode de fonctionnement normal, la référence du courant circulaire est maintenue à zéro afin de l'éliminer (voir Figure 4-5). Dans la Figure 4-14, le courant différentiel est présenté. Le courant de deuxième harmonique ayant une amplitude de  $\pm 0.1$  pu apparaît lors de l'application du créneau et est éliminé quand la référence est nulle.

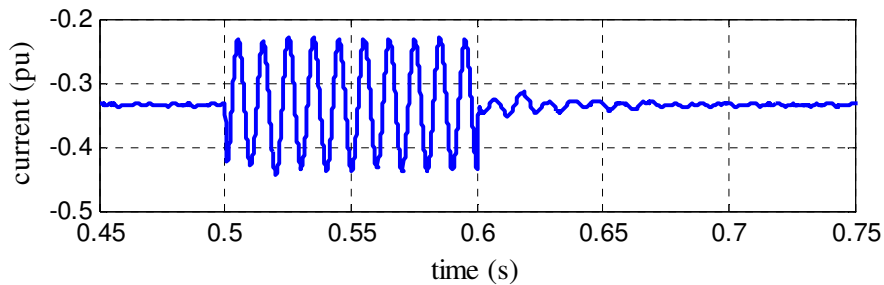
a) Courant différentiel :  $i_{diff_a}$ 

Figure 4-14: Validation du contrôle du courant circulaire

### 4.1.3 Contrôle-global #2 : incluant une régulation explicite des énergies des demi-bras

Dans cette approche les variables internes du MMC sont contrôlées : 6 contrôleurs PI pour les tensions  $v_{Ctot}$  des demi-bras et 3 contrôleurs PI pour les courants  $i_{arm}$  de chaque demi-bras. En régulant explicitement les énergies des demi-bras et les courants différentiels, cette approche systématique permet d'accroître la flexibilité du MMC et d'obtenir des fonctionnalités nouvelles.

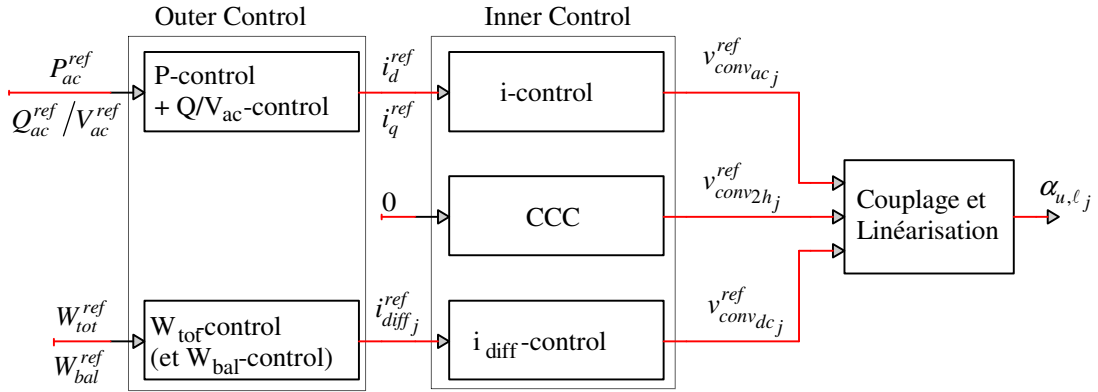
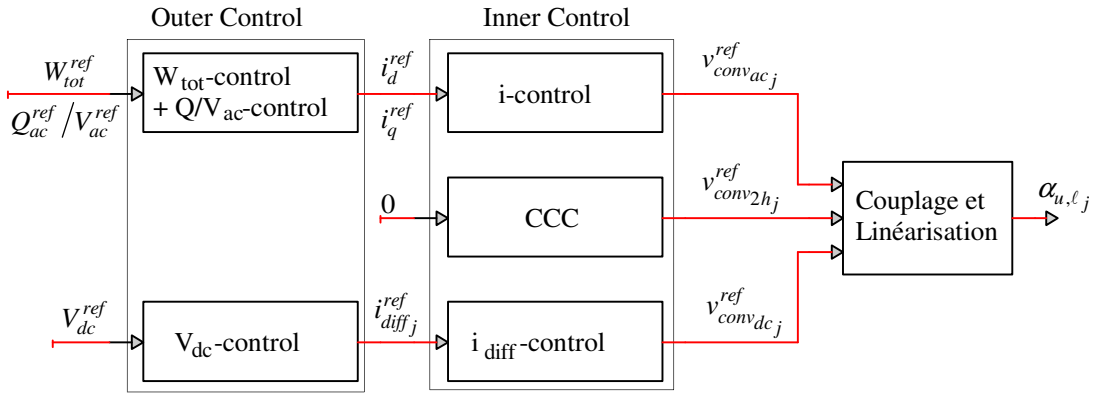
Cette approche est donc basée sur le stockage de l'énergie du convertisseur (similaire à [20]), mais développe une nouvelle stratégie de découplage entre  $V_{dc}$  et  $v_{Ctot}$ . Elle permet d'utiliser des consignes différents pour  $V_{dc}$  et  $v_{Ctot}$ . Une des applications pratiques de la proposition de découplage est pour les SMs redondants dans le MMC. Les SMs redondants dans chaque demi-bras ne sont pas utilisés pour atteindre un plus grand nombre de niveaux à la sortie du convertisseur, mais pour améliorer la fiabilité [40]. Cette méthode de contrôle permet une gestion efficace des SMs redondants même lorsqu'ils sont défaillants tout en maintenant la tension  $V_{dc}$  à sa valeur nominale.

Dans une liaison HVDC, suivant le mode d'opération de la station de conversion, il existe deux différentes structures de contrôle:

- Mode- $P$ . Station régulant la puissance active, voir Figure 4-15.
- Mode- $V_{dc}$ . Station régulant la tension continue, voir Figure 4-16

En comparant les structures du contrôle-global #2 (Figure 4-15 et Figure 4-16 ) et du contrôle-global #1 (Figure 4-2), on remarque l'ajout de boucles supplémentaires dans le Contrôle-global #2. Ces nouvelles boucles sont liées à la régulation du courant différentiel ( $i_{diff}$ -control) et les énergies des demi-bras ( $W_{bal}$ - et  $W_{tot}$ -control).



Figure 4-15: Contrôle-global #2, Mode- $P$ Figure 4-16: Contrôle-global #2, Mode- $V_{dc}$ 

#### 4.1.3.1 Boucle de courant interne

##### 4.1.3.1.1 $i$ -control et Contrôle du courant circulaire

La boucle du courant alternatif et la boucle du courant circulaire sont identiques au contrôle-global #1 et sont présentées à la section 4.1.2.1.1 et 4.1.2.1.2 respectivement.

##### 4.1.3.1.2 $i_{diff}$ -control

La boucle de courant différentiel permet de réguler les courants de phase du MMC.

L'addition de (4.1) à (4.2) et l'insertion du changement de variable (3.15) donne :

$$V_{dc} - v_{convdcj} = 2L_{arm} \frac{di_{diffj}}{dt} + 2R_{arm} i_{diffj} \quad (4.23)$$

Le courant différentiel de chaque phase peut donc être régulé comme suit :

$$v_{convdcj}^{ref} = -\left(i_{diffj}^{ref} - i_{diffj}\right) C_{i_{diff}}(s) + \frac{V_{dc}}{2} \quad (4.24)$$

où  $C_{i_{diff}}(s)$  est la fonction de transfert de la boucle de courant différentiel

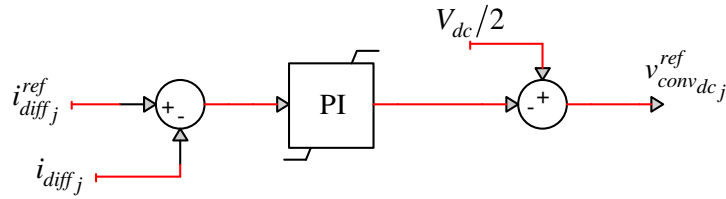


Figure 4-17: Boucle de courant différentiel ( $i_{diff}$ -control)

#### 4.1.3.2 Couplage et linéarisation

Le couplage des équations et la linéarisation sont similaires au Contrôle-global #1 (section 4.1.2.2) sauf que maintenant la composante continue du rapport cyclique n'est plus constante. Elle est déduite à partir de l'équation (3.25). Le schéma bloc du couplage est illustré ci-dessous :

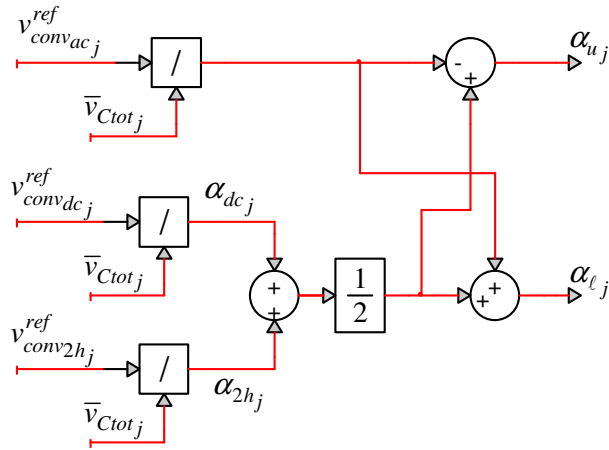


Figure 4-18: Couplage et Linéarisation pour le Contrôle-global #2

### 4.1.3.3 Boucles externes : Mode-P

#### 4.1.3.3.1 P-control, Q-control et $V_{ac}$ -control

Le contrôle de la puissance active, la puissance réactive et la tension alternative sont identiques au Contrôle-global #1 présentées aux sections 4.1.2.3.1, 4.1.2.3.3 et 4.1.2.3.4 respectivement.

#### 4.1.3.3.2 $W_{tot}$ et $W_{bal}$ -control

Le contrôle des énergies des demi-bras est présenté dans cette section. L'insertion de (3.15), (3.17) et (3.20) dans (3.18) donne :

$$C_{arm} \frac{dv_{C_{totu}j}^2}{dt} = \left( i_{diffj} - \frac{i_j}{2} \right) \left( \frac{V_{dc}}{2} - v_{convacj} - v_{diffj} \right) \quad (4.25)$$

$$C_{arm} \frac{dv_{C_{tot\ell}j}^2}{dt} = \left( i_{diffj} + \frac{i_j}{2} \right) \left( \frac{V_{dc}}{2} + v_{convacj} - v_{diffj} \right) \quad (4.26)$$

D'autre part,  $i_{diffj}$  peut être décomposé en une partie continue et une alternative :

$$i_{diffj} = I_{diffdcj} + i_{diffacj} \quad (4.27)$$

où  $I_{diffdcj}$  constitue la partie continue et  $i_{diffacj}$  la partie alternative en phase avec  $v_{convacj}^{ref}$ .

L'utilisation de cette décomposition et l'intégration de (4.25) et (4.26) pour une période du réseau donne :

$$\left[ C_{arm} \frac{dv_{C_{totu}j}^2}{dt} \right]_T = I_{diffdcj} \frac{V_{dc}}{2} - i_{diffacj} v_{convacj} + \frac{i_j}{2} v_{convacj} \quad (4.28)$$

$$\left[ C_{arm} \frac{dv_{C_{tot\ell}j}^2}{dt} \right]_T = I_{diffdcj} \frac{V_{dc}}{2} + i_{diffacj} v_{convacj} + \frac{i_j}{2} v_{convacj} \quad (4.29)$$

L'addition et la soustraction de (4.28) et (4.29) permet de déduire les puissances moyennes échangées dans chaque phase

$$C_{arm} \frac{d \left( v_{C_{totu}j}^2 + v_{C_{tot\ell}j}^2 \right)}{dt} = P_{acj} - P_{dcj} \quad (4.30)$$

$$C_{arm} \frac{d \left( v_{C_{tot\ell}j}^2 - v_{C_{totu}j}^2 \right)}{dt} = \hat{I}_{diffacj} \hat{V}_{convacj} \quad (4.31)$$

où  $\hat{V}_{convacj}$  et  $\hat{I}_{diffacj}$  représentent les valeurs efficaces de  $v_{convacj}$  et  $i_{diffacj}$  respectivement,  $P_{acj}$  est la puissance active d'une phase et  $P_{dcj} = -I_{diffdcj} V_{dc}$  est la puissance continue transmise par une phase du MMC.

L'équation (4.30) représente la puissance échangée entre le coté alternatif et le coté continu. Par ailleurs, l'équation (4.31) représente l'équilibrage de puissance entre le demi-bras supérieur et inférieur de la même phase.

La stratégie générale de la régulation de l'énergie des phases est similaire à [20] et a été validée dans [75]. Elle se compose de deux contrôleurs PI pour chaque phase. Le contrôle de l'énergie totale ( $W_{tot}$ -control) est basé sur l'équation (4.30) et permet de réguler l'énergie échangée entre le côté alternatif et le coté continu. D'autre part, le contrôle d'équilibrage des énergies ( $W_{bal}$ -control), est basé sur (4.31) et régule l'énergie entre les demi-bras supérieur et inférieur. Ce dernier ne semble pas jouer un rôle déterminant dans la performance du système dynamique [23]. On suppose que lorsque le courant circulaire est éliminé, les tensions  $v_{C_{totu}j}$  et  $v_{C_{tot\ell}j}$  vont naturellement converger vers un état équilibré.

Les commandes sont dérivées à partir des équations (4.30) et (4.31):

$$I_{diffdcj}^{ref} = \left[ \left( W_{tot}^{ref} - \left( v_{C_{totu}j}^2 + v_{C_{tot\ell}j}^2 \right) \right) C_{W_{tot}}(s) + P_{acj} \right] \frac{1}{V_{dc}} \quad (4.32)$$

où  $C_{W_{tot}}(s)$  est la fonction de transfert de la boucle de la somme des énergies d'une phase

$$I_{diffacj}^{ref} = \left( W_{bal}^{ref} - \left( v_{C_{totu}j}^2 - v_{C_{tot\ell}j}^2 \right) \right) \frac{C_{W_{bal}}(s)}{V_{convacj}} \quad (4.33)$$

où  $C_{W_{bal}}(s)$  est la fonction de transfert de la boucle de la différence des énergies d'une phase

On note que  $W_{tot}^{ref} = 2(v_{Ctot}^{ref})^2$  et  $W_{bal}^{ref} = 0$

Les boucles de commande de la régulation des énergies d'une phase sont présentées ci-dessous :

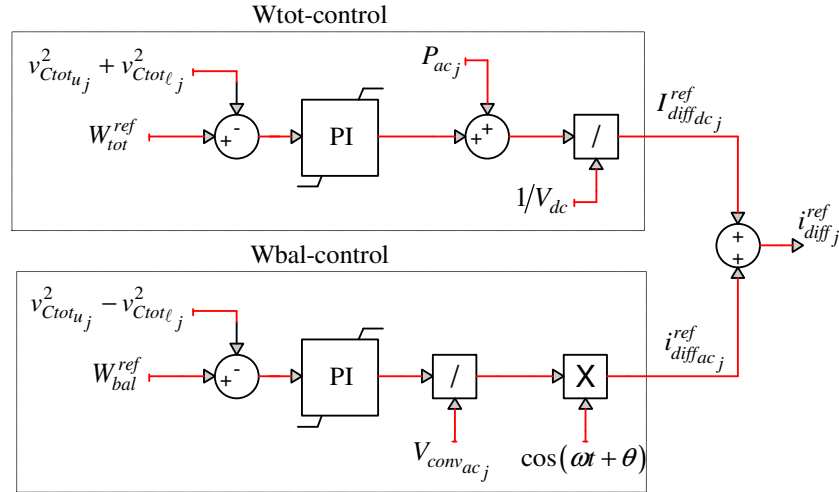


Figure 4-19:  $W_{tot}$ - et  $-W_{bal}$ -control

#### 4.1.3.4 Validation du Contrôle-global #2 : Mode-P

Le mode d'opération en puissance active est testé sur un système simple présenté à la Figure 4-20. Dans cette section, le MMC Modèle #3 est utilisé. Le réseau équivalent a une puissance de court-circuit de 10 GVA et la capacité de transmission du système est de 1,000 MW. Les temps de réponse pour les boucles internes et externes sont fixés à 10 ms et 100 ms, respectivement. Le reste des paramètres du système sont présentés à la Figure 4-20.

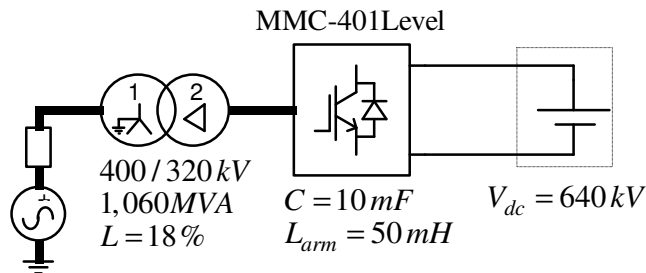
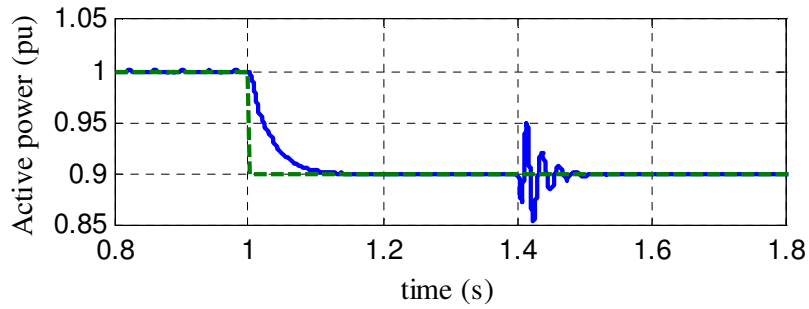


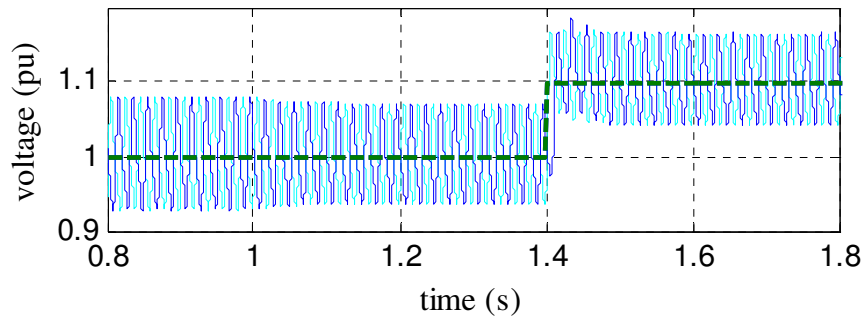
Figure 4-20 : Configuration du circuit pour la validation du Contrôle-global #2-Mode-P

Les réponses dynamiques dues à des échelons de 0.1 pu sur  $P_{ac}^{ref}$  à 1 s et sur  $W_{tot}^{ref}$  à 1.4 s sont présentés dans la Figure 4-21. Les courbes en vert (pointillés) représentent les valeurs de référence et les courbes en bleu sont utilisées pour les différentes variables contrôlées.

La Figure 4-21.c montre que le courant circulaire est bien éliminé par la boucle interne et que  $i_{diff_a}$  suit correctement la valeur de référence  $i_{diff_a}^{ref}$ . Dans les Figure 4-21.a et Figure 4-21.b, on remarque que les performances du  $P$ -control et du  $W_{tot}$ -control répondent bien aux spécifications du temps de réponse désiré soit de 100 ms. Notons qu'une légère interaction peut être remarquée entre  $P_{ac3}$  et  $v_{Ctotu,\ell_j}$  lors de l'application de l'échelon sur  $W_{tot}^{ref}$ .

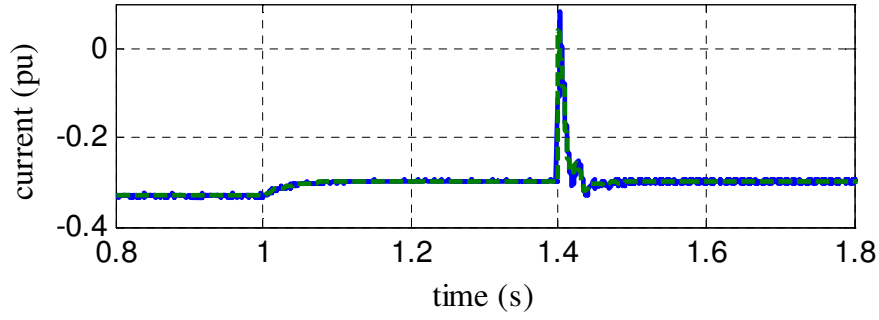


a)  $P_{ac}$ ,  $P$ -control, échelon de -0.1 pu sur  $P_{ac}^{ref}$  à 1 s

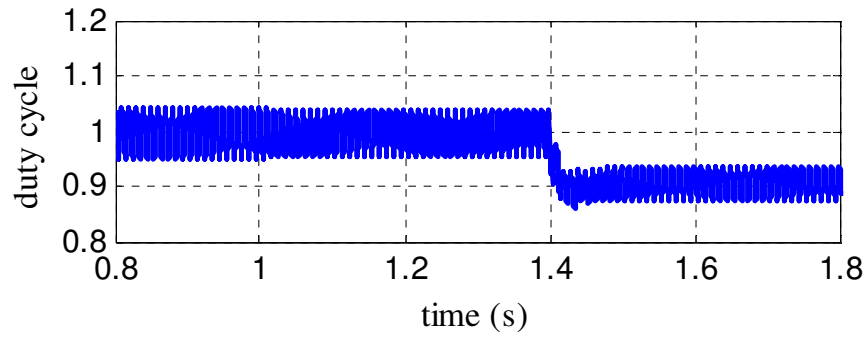


b)  $v_{Ctotu,\ell_a}$ ,  $W_{tot}$ -control, échelon de -0.1 pu sur  $W_{tot}^{ref}$  à 1.4 s

Figure 4-21: Validation du Mode- $P$  : échelon sur les références des boucles externes



c)  $i_{diff_a}$  et  $i_{diff_a}^{ref}$ ,  $i_{diff}$ -control



d) rapport cyclique  $\alpha_{dc_a}$

Figure 4-21: Validation du Mode- $P$  : échelon sur les références des boucles externes (suite)

#### 4.1.3.5 Boucles externes : Mode- $V_{dc}$

Contrairement aux topologies VSCs précédents (c.à.d. VSC-2 niveaux, VSC-3 niveaux, etc), la topologie MMC permet un découplage entre le bus continu et la tension des condensateurs des SMs. Par exemple, lorsque des SMs redondants sont inclus dans le MMC on a  $V_{dc} \leq \bar{v}_{Ctotj}$ .

Dans le mode- $P$  présenté dans la section précédente, le circuit DC a été représenté par une source de tension continue. Ce dernier est maintenant remplacé par le condensateur équivalent d'un câble DC (longueur 70 km) en parallèle avec une source de courant (voir Figure 4-22).

Pour un système triphasé, la somme des trois phases dans (4.30) donne:

$$C_{arm} \frac{d}{dt} \sum_{j=1}^3 \left( v_{Ctotu_j}^2 + v_{Ctot\ell_j}^2 \right) = V_{dc} I_{dc} - P_{ac3} \quad (4.34)$$

où  $P_{ac3}$  est la puissance totale triphasé.

En insérant (3.32) dans (4.34) et en utilisant la Figure 4-22 on obtient

$$C_{dc} \frac{dV_{dc}}{dt} = -I_{dc} - I_{dc_s} = -3\bar{i}_{diff} - I_{dc_s} \quad (4.35)$$

#### 4.1.3.5.1 $V_{dc}$ -control

À partir de (4.35), la tension continue peut être contrôlée par le biais de  $\bar{i}_{diff}$  :

$$\bar{i}_{diff}^{ref} = -(V_{dc}^{ref} - V_{dc}) C_{V_{dc}} \quad (4.36)$$

#### 4.1.3.5.2 $W_{tot}$ -control

L'énergie totale fournira la référence au  $i$ -control. Les équations (4.34) et (4.12) sont utilisées pour trouver la référence  $i_d^{ref}$ . Comme mentionné précédemment, le  $W_{bal}$ -control n'est pas indispensable et peut donc être exclu. L'équation de la boucle de  $W_{tot}$ -control pour le Mode- $V_{dc}$  est :

$$i_d^{ref} = \left[ \sum_{j=1}^3 \left( v_{C_{totu_j}}^2 + v_{C_{tot\ell_j}}^2 \right) - W_{tot3}^{ref} \right] \frac{C_{W_{tot3}}}{e_d} + \frac{V_{dc} I_{dc}}{e_d} \quad (4.37)$$

On remarque que  $W_{tot3}^{ref} = 6 \left( v_{C_{tot}}^{ref} \right)^2$

La structure du Mode- $V_{dc}$  est présentée à la Figure 4-16.

#### 4.1.3.6 Validation du Contrôle-global #2 – Mode- $V_{dc}$

La validation du Mode- $V_{dc}$  est basée sur la Figure 4-22. Comme précédemment, les temps de réponse des boucles internes et externes sont fixés à 10 ms et 100 ms, respectivement.

Les réponses dynamiques dues à des échelons sur  $V_{dc}^{ref}$  à 1 s et sur  $W_{tot3}^{ref}$  à 1.4 s, sont présentées dans la Figure 4-23. Les courbes en vert et pointillées représentent les valeurs de référence et les courbes en bleu sont utilisées pour les variables contrôlées. Les contrôles proposés répondent bien aux spécifications des temps de réponses désirés soit de 100 ms. L'interaction entre  $V_{dc}$  et  $v_{C_{totu,\ell_j}}$  est négligeable. Le concept de découplage est validé par le fait que différents points de consigne peuvent être fixés pour  $V_{dc}$  et  $v_{C_{totu,\ell_j}}$ .



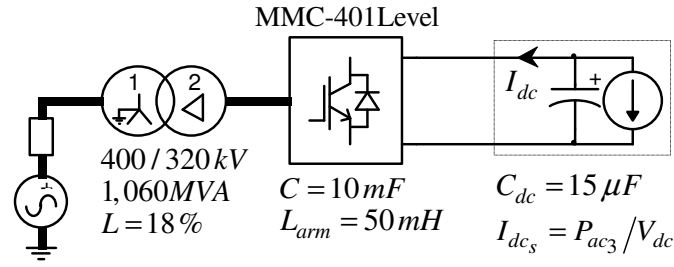
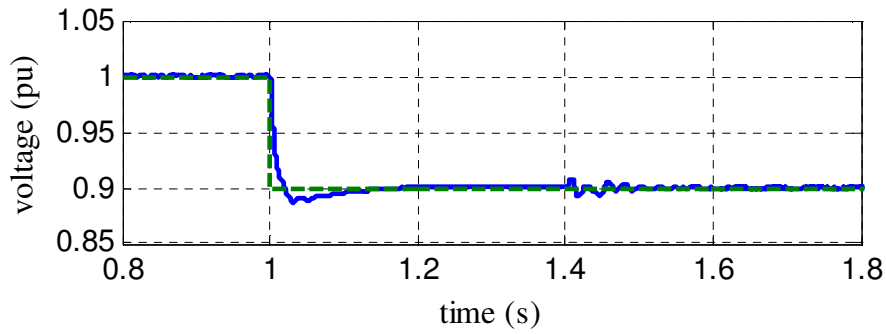
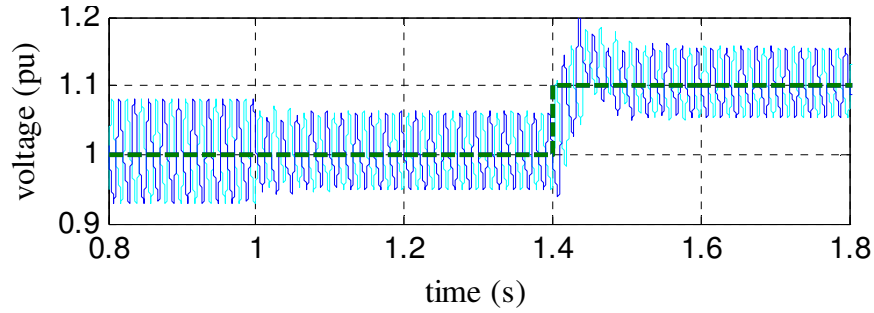


Figure 4-22: Configuration du circuit pour la validation du Contrôle-global #2-Mode- $V_{dc}$

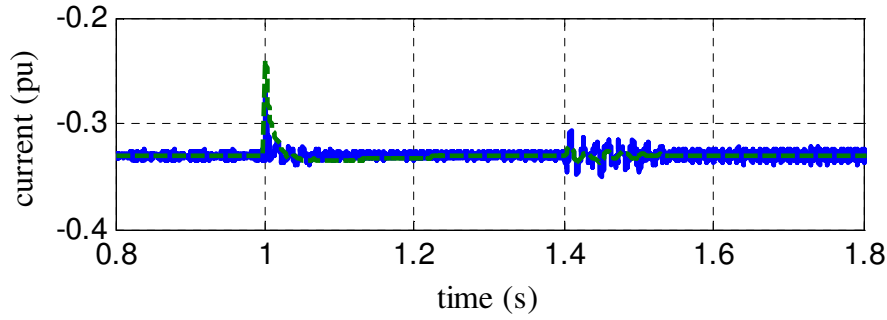


a)  $V_{dc}$ ,  $V_{dc}$ -control, échelon de -0.1 pu sur  $V_{dc}^{ref}$  à 1 s

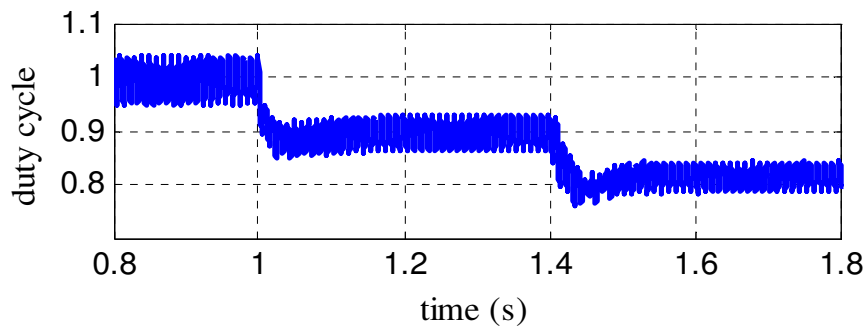


b)  $v_{C_{totu}, \ell_a}$ ,  $W_{tot}$ -control, échelon de -0.1 pu sur  $W_{tot}^{ref}$  à 1.4 s

Figure 4-23: Validation du Mode- $V_{dc}$  : échelon sur les références des boucles externes



c)  $i_{diff_a}$  et  $i_{diff_a}^{ref}$ ,  $i_{diff}$ -control



d) rapport cyclique  $\alpha_{dc_a}$

Figure 4-23: Validation du Mode- $V_{dc}$  : échelon sur les références des boucles externes (suite)

#### 4.1.3.7 Validation de Contrôle-global #2 sur une liaison HVDC

Le Contrôle-global #2 est maintenant testé sur une liaison HVDC. Dans cette section, on montre l'avantage du Contrôle-global #2 lorsque les SMs redondants actifs sont inclus dans le MMC. Le cas test est présenté à la Figure 4-24 : le MMC Modèle #2 est utilisé et 10% de SMs redondants (c.à.d.  $M=40$ ) sont inclus dans le MMC donnant un total de  $N+M = 440$  SM/demi-bras. Le SM-control utilisé est basé sur l'algorithme #2 qui sera expliqué ultérieurement dans la section 4.2.2.2. Le reste des paramètres du système sont spécifiés dans la Figure 4-24.

Les points de consigne des contrôleurs sont les suivants:  $v_{Ctot}^{ref} = 1.1$  pu (pour maintenir  $v_{C_i} = 1$  pu ou 1.6 kV) et  $V_{dc}^{ref} = 1$  pu (ou 640 kV). Quand il n'est pas possible de tenir compte du découplage entre  $V_{dc}$  et  $v_{Ctot}$  (ce qui est le cas pour le Contrôle-global #1), les  $v_{Ctot_{u,\ell j}}$  sont forcément égales à  $V_{dc}$  ce qui donne:  $v_{C_i} = 0.9$  pu si  $V_{dc} = 1$  pu ou  $v_{C_i} = 1$  pu si  $V_{dc} = 1.1$  pu.

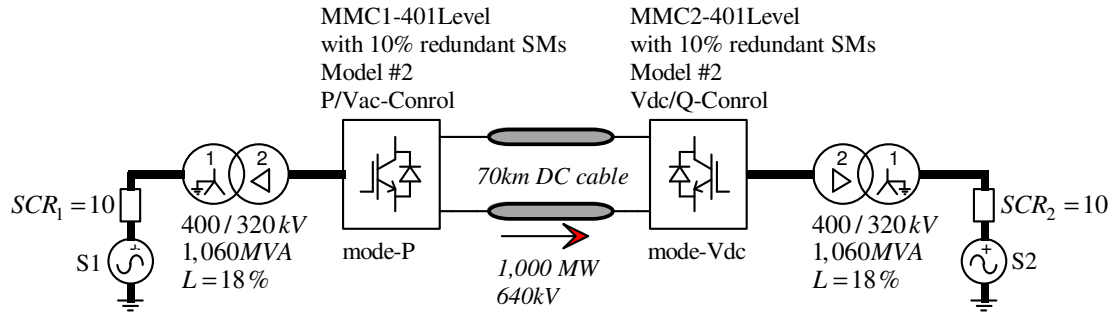
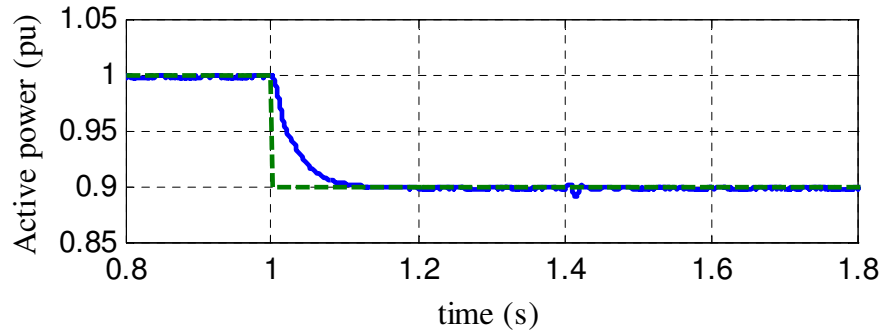
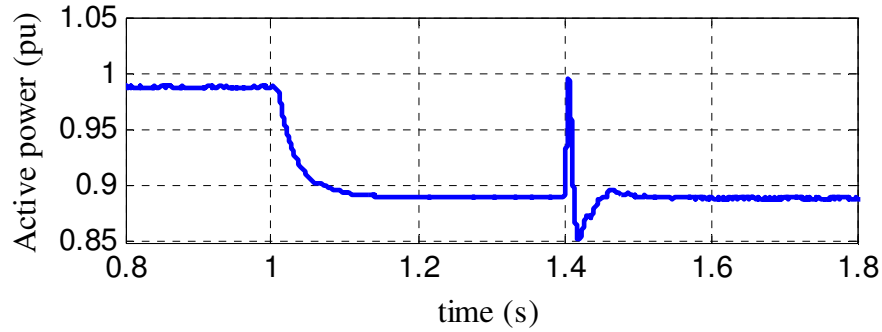


Figure 4-24: Configuration de la liaison HVDC pour la validation du Contrôle-global #2

Tout d'abord, des échelons de -0.1 pu sont appliqués sur les boucles externes :  $P$ -control et  $V_{dc}$ -control afin de valider leurs performances.

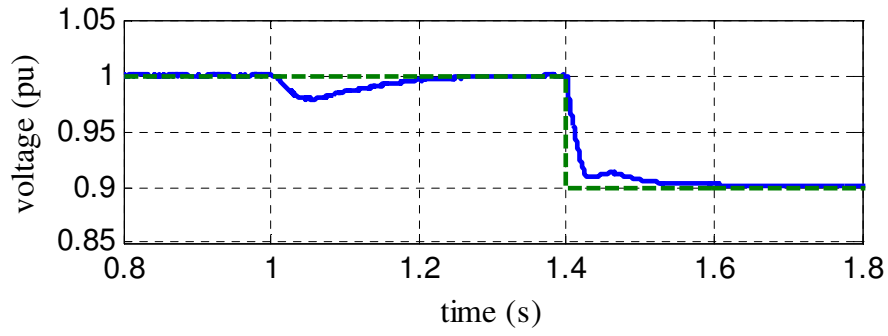


a) MMC1 :  $P_{ac3}$ ,  $P$ -control, échelon de -0.1 pu sur  $P_{ac}^{ref}$  à 1 s

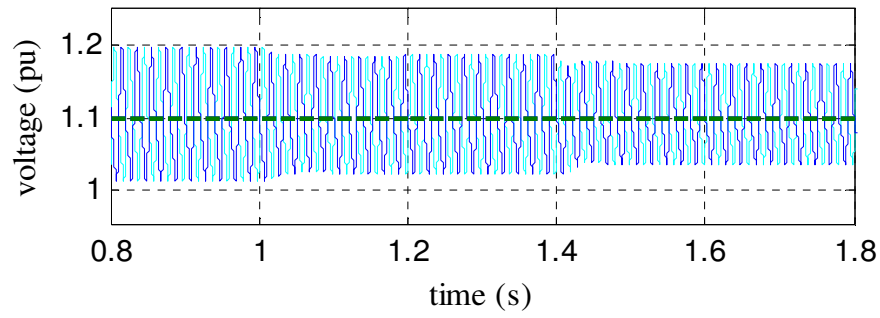


b) MMC2 :  $P_{ac3}$

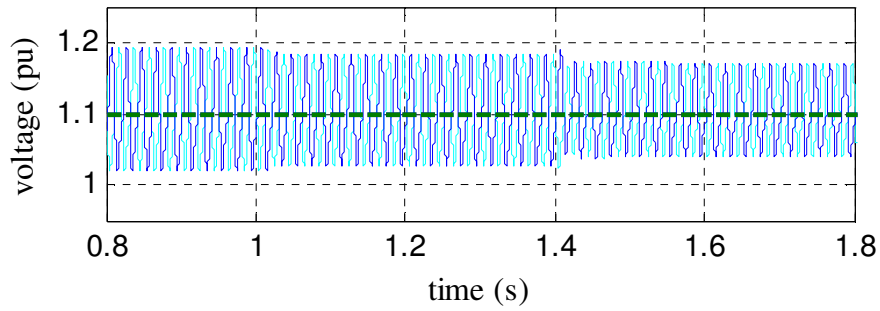
Figure 4-25: Validation du Contrôle-global #2 sur une liaison HVDC : contrôle global



c) MMC2 :  $V_{dc}$ ,  $V_{dc}$ -control, échelon de -0.1 pu sur  $V_{dc}^{ref}$  à 1.4 s

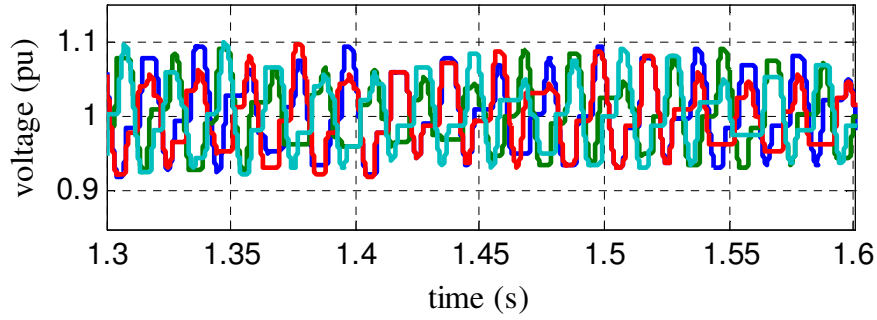


d) MMC1 :  $v_{Ctotu,la}$ ,  $W_{tot}$ -control

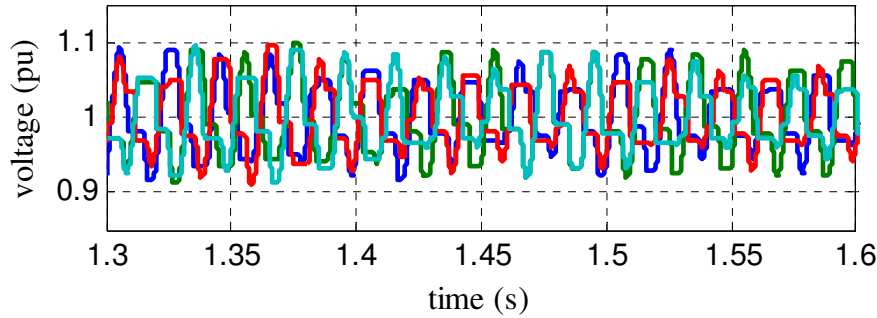


e) MMC2 :  $v_{Ctotu,la}$ ,  $W_{tot}$ -control

Figure 4-25: Validation du Contrôle-global #2 sur une liaison HVDC : contrôle global (suite)



a) MMC1: tensions des condensateurs des  $SM_{1u_a}$ ,  $SM_{440u_a}$ ,  $SM_{1\ell_a}$  et  $SM_{440\ell_a}$



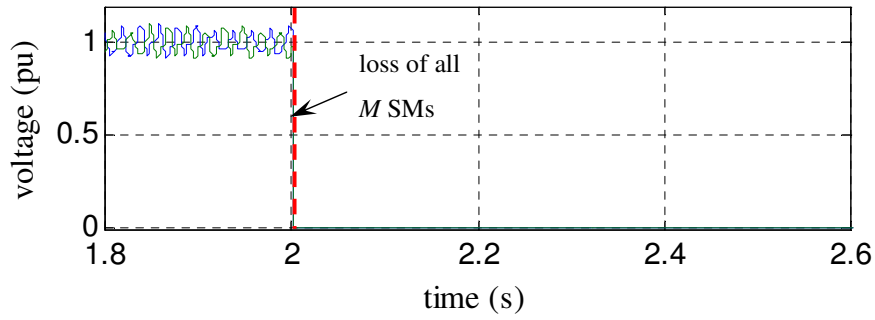
b) MMC2: tensions des condensateurs des  $SM_{1u_a}$ ,  $SM_{440u_a}$ ,  $SM_{1\ell_a}$  et  $SM_{440\ell_a}$

Figure 4-26: Validation du Contrôle-global #2 sur une liaison HVDC : SM-control

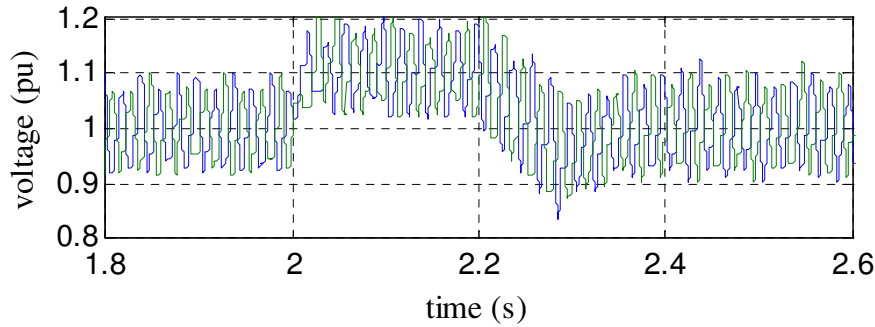
Les performances du système de contrôle lors d'un échelon sont validées puisque les variables contrôlées ( $P_{ac}$  et  $V_{dc}$ ) sont bien régulés avec une constante de temps de 100 ms (ce qui correspond à la constante de temps fixée pour les boucles externes). L'effet de découplage entre  $V_{dc}$  et  $v_{Ctot}$  est démontré dans les Figure 4-25.c, Figure 4-25.d et Figure 4-25.e puisqu'une variation du point de fonctionnement de la tension continue n'affecte pas le point de fonctionnement des  $v_{Ctot,u,\ell_j}$ , ce qui démontre l'avantage principal du Contrôle-global #2. D'autre part, à  $t = 1.4$  s, une petite interaction se produit dans MMC-2 entre  $P_{ac3}$  et  $V_{dc}$ .

#### 4.1.3.7.1 Perte soudaine des 10% des SMs redondants

Dans ce test, à  $t=2$  s, une perte soudaine de tous les SMs redondants dans le MMC-2 a lieu. À  $t=2,2$  s, la référence du  $W_{tot}$ -control est abaissée pour ramener les tensions des condensateurs à leurs valeurs nominales. Les résultats de simulation sont présentés dans les Figure 4-27 et Figure 4-28.



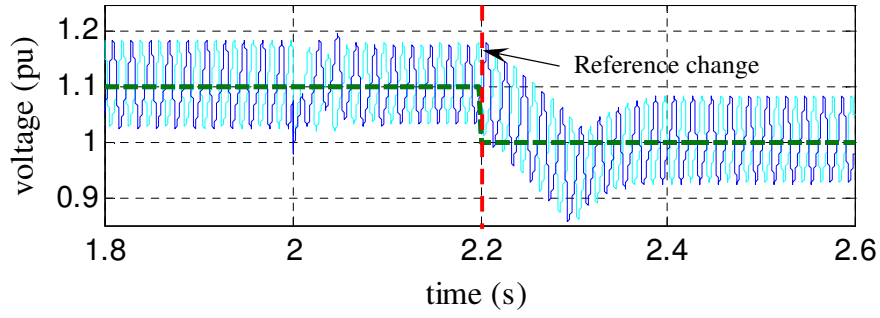
a) MMC2: SMs redondants, tensions des condensateurs des  $SM_{440u_a}$  et  $SM_{440\ell_a}$



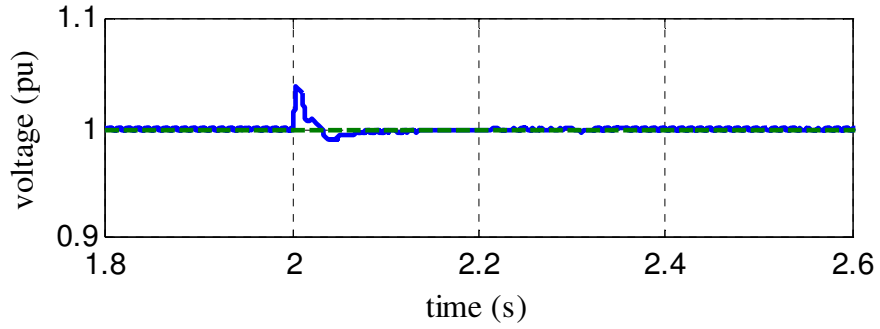
b) MMC2: tensions des condensateurs des  $SM_{1u_a}$  et  $SM_{1\ell_a}$

Figure 4-27: Perte soudaine des SMs redondants: variables des SM-control

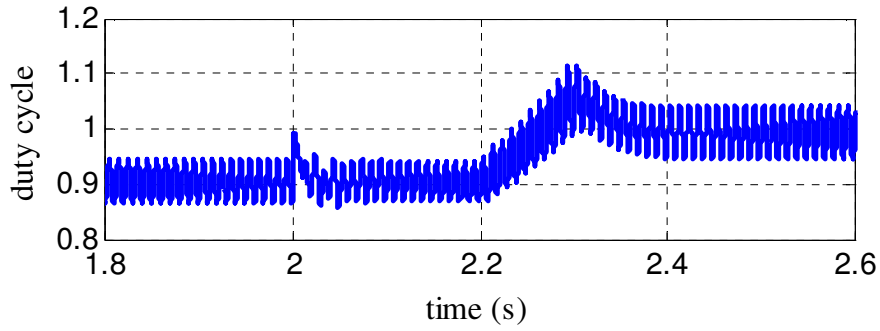
Lorsque tous les  $M$  SMs sont perdus, les tensions des condensateurs des SMs restants augmentent afin de maintenir  $V_{dc}$  à la valeur nominale. Toutefois, les  $v_{C_i}$  des SMs restants (Figure 4-28.b) doivent retrouver leurs valeurs nominales (c.à.d. 1 pu). En ajustant  $v_{C_{tot}}^{ref}$  à  $t=2.2$  s, les tensions  $v_{C_i}$  du MMC2 retournent à leurs valeurs nominales. Dans la Figure 4-28.c, le rapport cyclique continu précise le mode de fonctionnement interne entre  $V_{dc}$  et  $v_{C_{totu,\ell j}}$ . Lors de la variation des tensions des condensateurs, (Figure 4-27),  $V_{dc}$  est maintenue à sa valeur nominale. Ce qui prouve la performance du système de régulation du Contrôle-global #2. Tout au long de la simulation, la puissance active de MMC1 est constante, mais des perturbations sont constatées côté MMC-2 (Figure 4-28.d). Des résultats similaires sont obtenus pour la perte des SMs redondantes côté MMC1 (c.à.d. pour le Mode-P).



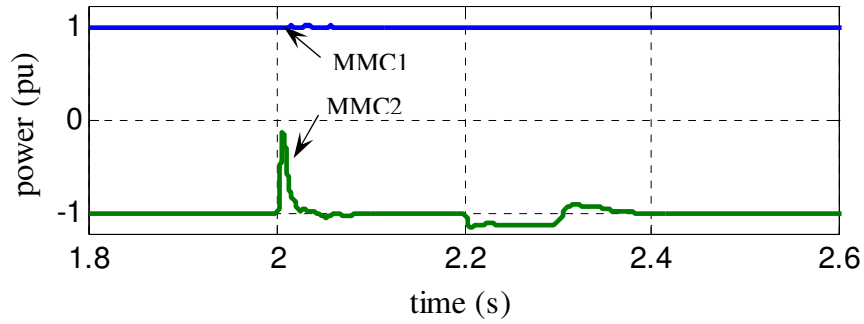
a) MMC2 :  $v_{Ctotu,\ell_a}$ ,  $W_{tot}$ -control, échelon de -0.1 pu sur  $v_{Ctot}^{ref}$  à 2.2 s



b) MMC-2,  $V_{dc}$ ,  $V_{dc}$ -control



c) MMC-2, rapport cyclique  $\alpha_{dca}$



d)  $P_{ac3}$  de MMC1 et MMC2

Figure 4-28: Perte soudaine des SMs redondants: variables du contrôle global

## 4.2 SM-control

Cette section développe le contrôle de bas niveau adapté pour des MMC ayant un grand nombre de niveaux (c.à.d.  $>50$  SM/demi-bras). Les SM-control sont appliqués séparément pour chaque demi-bras. Chaque contrôleur comprend la modulation et l'équilibrage des tensions des condensateurs des SMs (voir Figure 4-29). La variable transmise entre les deux blocs est le nombre de SM qui doit être inséré pour chaque demi-bras ( $n_{u,\ell j}$ ).

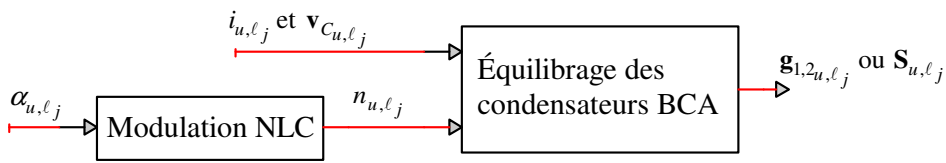


Figure 4-29: SM-control de chaque demi-bras

### 4.2.1 Modulation NLC

Les techniques de modulation traditionnelles proposées à ce jour pour les MMCs comprennent Phase-Disposition Modulation (PD-PWM) [26], Phase-Shift modulation (PS-PWM) [76], modulation vectorielle (SV-PWM) [9] et l'amélioration de la méthode Selective Harmonic Elimination (SHE) [77]. Quand le nombre de niveaux de MMC augmente, le PWM et les techniques SHE deviennent encombrantes. Par conséquent, les méthodes de type escalier sont plus efficaces, tels que la méthode Nearest Level Control (NLC), peut être utilisé. La modulation NLC utilise la fonction arrondie [28] pour transformer les rapports cycliques de référence à une forme d'onde en escalier correspondant au  $n_{u,\ell j}$ .

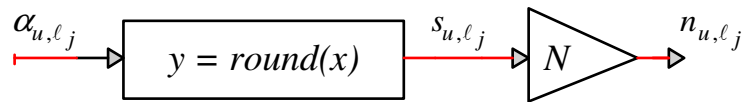


Figure 4-30: Modulation NLC



## 4.2.2 Équilibrage des condensateurs des SMs (BCA)

Les tensions des condensateurs des SMs doivent être équilibrées et maintenues dans une plage de variation acceptable lors du fonctionnement normal. Deux approches fondamentales existent pour équilibrer les tensions des condensateurs: la régulation de chaque tension de condensateur SM à travers un régulateur PI [35] ou à l'aide d'un algorithme qui traite tous les condensateurs de SM de chaque demi-bras. Ce dernier est plus approprié pour un nombre élevé de niveaux de MMC (>51 niveaux). Pour ce faire, les tensions des condensateurs doivent être mesurées et les commandes ON/OFF des SMs sont basées sur un algorithme d'équilibrage appelé BCA (Balancing Control Algorithm). Cette approche algorithmique peut être basée ou sur une fonction de tri ou sur les fonctions max-min des tensions des condensateurs afin de sélectionner le SM optimal. Ces deux approches sont traitées dans les sections suivantes.

### 4.2.2.1 Algorithme #1 basé sur la fonction de tri des tensions des condensateurs

#### 4.2.2.1.1 Algorithme #1-standard

La première approche, la plus simple, est basée sur le tri des tensions des condensateurs de chaque SM [26]. L'algorithme utilisé est illustré dans la Figure 4-31. À partir de la modulation, le nombre de SMs qui doit être à l'état ON pour chaque demi-bras (c.à.d.  $n_{u,\ell_j}$ ) est déduit. Le choix des SMs qui seront à l'état ON est basé sur deux critères : les valeurs des tensions des condensateurs de chaque SM ( $v_{C_i}$ ) et le sens du courant de chaque demi-bras ( $i_{u,\ell_j}$ ). Une fois que le tri de  $\mathbf{V}_{C_{u,\ell_j}}$  est effectué, si  $i_{u,\ell_j}$  est positif, les  $v_{C_i}$  ayant les tensions les plus basses sont sélectionnées afin de les charger. Réciproquement, si  $i_{u,\ell_j}$  est négatif, les  $v_{C_i}$  ayant les tensions les plus élevées sont choisies afin de les décharger. Pour améliorer l'efficacité de l'algorithme, le modèle inclut une gâchette qui active l'algorithme seulement quand les niveaux du demi-bras ( $n_{u,\ell_j}$ ) doivent changer. Cela permet d'éviter la commutation des SMs à chaque pas de temps et de réduire les temps de calcul.

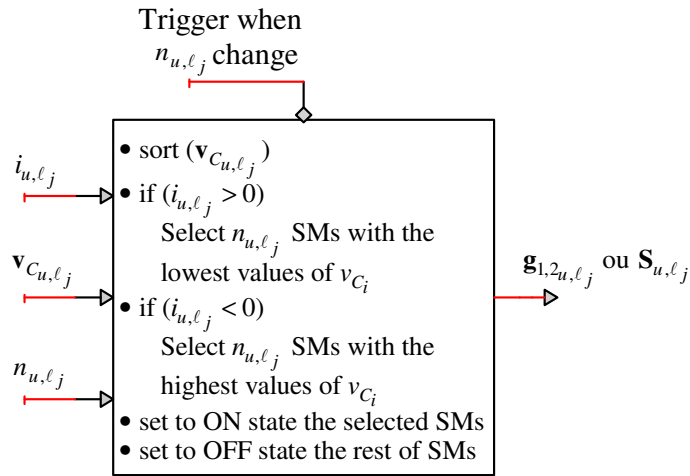


Figure 4-31: Équilibrages des condensateurs (BCA), Algorithme #1

Comme on le verra lors des simulations, cet algorithme possède deux inconvénients majeurs quand le nombre de niveaux du MMC augmente:

- Le nombre de commutations par cycle de chaque SM devient très élevé ce qui entraîne une augmentation des pertes globales du MMC.
- La fonction de tri nécessite  $N \log(N)$  itérations ce qui augmente le temps de calcul et requiert plus d'espace et de mémoire sur une carte FPGA.

Si le deuxième inconvénient est inhérent à la fonction de tri, le premier peut être amélioré. Le nombre de commutations peut être réduit si on améliore l'algorithme.

#### 4.2.2.1.2 Algorithme #1-amélioré

Pour éviter des commutations inutiles, une marge d'écart sur les tensions  $v_{C_i}$  des SMs est prédéfinie ( $\Delta v_{C_{\max}}^{ref}$ ). Si la différence entre les tensions  $v_{C_i}$  maximale et minimale instantanées des SMs dépasse  $\Delta v_{C_{\max}}^{ref}$  alors l'Algorithme #1-standard précédent est activé.

$$\Delta v_{C_{\max}} = v_{C_{\max}} - v_{C_{\min}} > \Delta v_{C_{\max}}^{ref} \quad (4.38)$$

où  $v_{C_{\max}}$  et  $v_{C_{\min}}$  représente les tensions instantanées maximales et minimales des condensateurs des SMs d'un demi-bras respectivement.

Dans le cas où la condition (4.38) est respectée, le principe de commutation suivant est appliqué [27]:

- Lorsque  $n_{u,\ell_j}$  est croissant (ce qui implique l'insertion de SMs supplémentaires), les SMs déjà à l'état ON sont maintenus et l'Algorithme #1-standard est appliqué uniquement sur les SMs à l'état OFF pour en choisir les SMs appropriés.
- Lorsque  $n_{u,\ell_j}$  est décroissant (ce qui implique la déconnection de SMs), les SMs déjà à l'état OFF sont maintenus et l'Algorithme #1-standard est appliqué uniquement sur les SMs à l'état ON pour en choisir les SMs appropriés.

#### 4.2.2.2 Algorithme #2 basé sur les fonctions max-min des tensions des condensateurs

Pour équilibrer les tensions des condensateurs des SMs, un algorithme basé uniquement sur les valeurs maximales et minimales de  $\mathbf{V}_{C_{u,\ell_j}}$  est présentée. Contrairement à la fonction de tri qui nécessite au moins  $N \log(N)$  itérations, la fonction max-min n'utilise que  $N$  itérations ce qui réduit considérablement le temps de calcul. Le BCA proposé nécessite la commutation de seulement un ou deux SMs à chaque pas de temps et garantit un nombre très faible de commutations par cycle comparé aux algorithmes basés sur la fonction de tri.

Afin de garantir le passage à travers chaque niveau de MMC [47], il est essentiel qu'à chaque pas dans le temps, pas plus qu'un SM dans chaque demi-bras soit inséré ou court-circuité. Par conséquent, la période d'échantillonnage du dispositif de commande doit être inférieure au plus petit intervalle de temps entre deux commutations. Le critère qui sera développé dans le Chapitre 5 se présente ainsi :

$$\Delta t \leq \frac{1}{1.2(2\pi f)} \arcsin\left(\frac{2}{1.4N}\right) \quad (4.39)$$

où  $f$  est la fréquence du réseau et  $\Delta t$  le pas d'échantillonnage. Quand  $N$  augmente le temps d'échantillonnage doit diminuer.

Cet algorithme est basée sur (4.39) et dispose de deux modes de fonctionnement. Quand  $n_{u,\ell_j}$  augmente ou diminue d'un niveau par pas d'échantillonnage, alors un seul SM doit être inséré ou court-circuité, respectivement. La procédure de sélection standard est appliquée : lorsque le

courant  $i_{u,\ell_j}$  est positif (ou négatif), les condensateurs sont en mode chargement (ou déchargement), le SM qui n'est pas déjà inséré (ou court-circuité) et ayant le minimum (ou maximum) de tension du condensateur est inséré (ou court-circuité).

Si  $n_{u,\ell_j}$  est maintenu constant pour le prochain pas de temps, alors une permutation entre un SM à l'état ON et un SM à l'état OFF est appliquée si deux critères suivants sont valident:

- Le courant  $i_{u,\ell_j}$  est positif et les deux SMs ayant le maximum et minimum  $v_{C_i}$  sont à l'état ON et OFF, respectivement. Ou, inversement, le courant  $i_{u,\ell_j}$  est négatif et les deux SMs ayant le maximum et minimum  $v_{C_i}$  sont à l'état OFF et ON, respectivement.
- La différence entre le maximum et le minimum  $v_{C_i}$  est supérieure à une tolérance prédéfinie de 5%. Cette tolérance peut être modifiée en fonction de l'ondulation de la tension de condensateur maximale désirée.

Dans certains cas particuliers, par exemple à l'initialisation de la simulation ou lors de grandes transitoires, le nombre de SMs insérées ou court-circuités pour le prochain pas de temps peut-être plus d'un, ce qui peut violer la condition (4.39). Par conséquent, un algorithme supplémentaire est ajouté entre la modulation NLC et le BCA pour corriger ce comportement indésirable de  $n_{u,\ell_j}$  pendant quelques ms. Cet algorithme supplémentaire va assurer la transition à travers chaque niveau du MMC et les niveaux manquants sont rajoutés pour les prochains pas de temps pour corriger le nombre de SMs insérés ou court-circuités manquants.

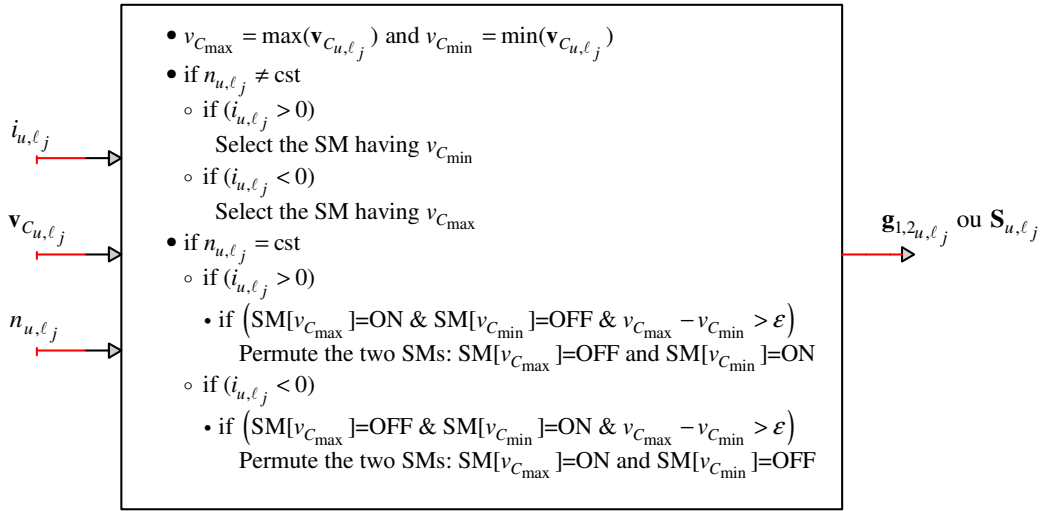


Figure 4-32: Équilibrages des condensateurs BCA - Algorithme #2

### 4.2.3 Validation du SM-control

Le contrôle des SMs est indépendant du choix du contrôleur global. De ce fait, ça validation peut se faire séparément. Le circuit de configuration utilisé est présenté à la Figure 4-20. Le pas de temps utilisé est de  $9\mu\text{s}$  et un MMC de 401 niveaux est utilisé.

Tout d'abord la modulation NLC est validée dans la Figure 4-33.

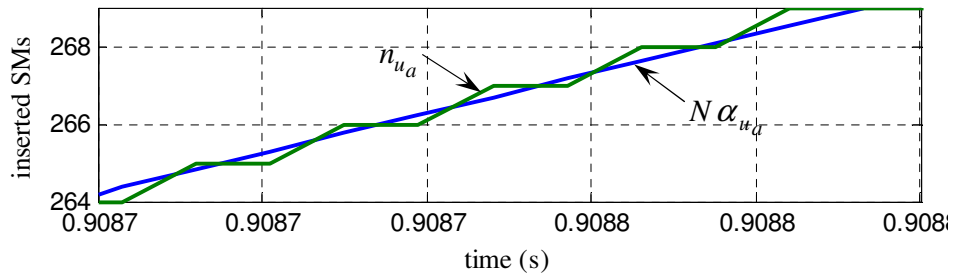
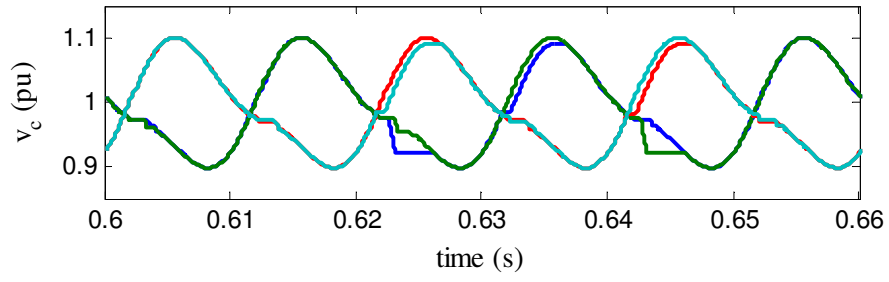


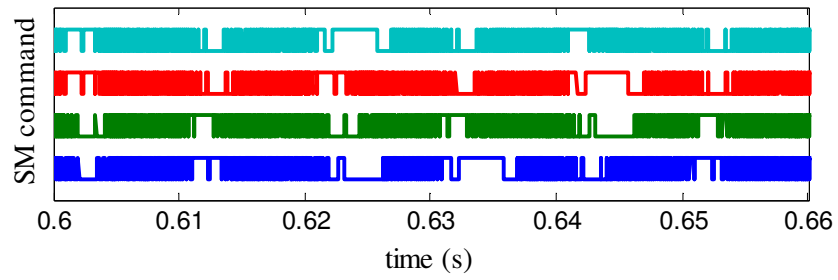
Figure 4-33: Validation de la modulation NLC

On remarque que le nombre de SMs insérés ( $n_{u,\ell_j}$ ) suit bien le rapport cyclique désiré. De plus le passage par chaque niveau est assuré.

Les trois BCA (Algorithme #1-standard, Algorithme #1-amélioré et Algorithme #2) développés précédemment sont maintenant étudiés. La tension des condensateurs et les commandes du SM<sub>1</sub> et SM<sub>400</sub> du demi-bras supérieur et inférieur de la phase A sont présentés pour chaque BCA dans les Figure 4-34, Figure 4-35 et Figure 4-36,

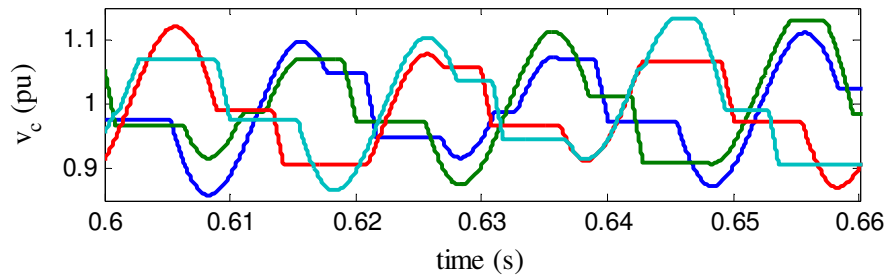


a)  $v_C$  des  $SM_{1,400u,\ell_a}$

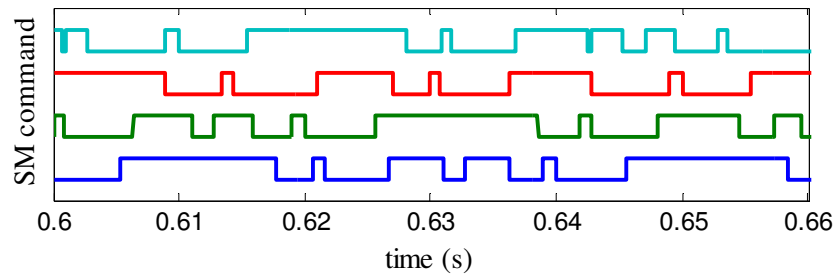


b) Commandes de  $SM_{1,400u,\ell_a}$

Figure 4-34: Résultats de l'Algorithme #1 standard

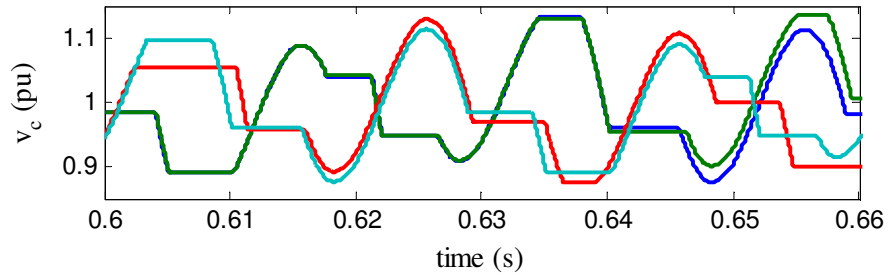


a)  $v_C$  des  $SM_{1,400u,\ell_a}$

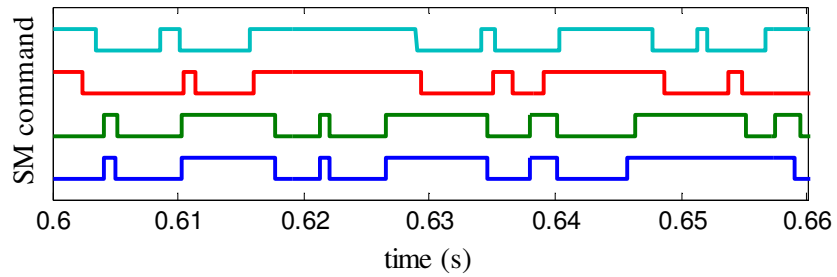


b) Commandes de  $SM_{1,400u,\ell_a}$

Figure 4-35: Résultats de l'Algorithme #1 amélioré



a)  $v_C$  des  $SM_{1,400u,\ell_a}$

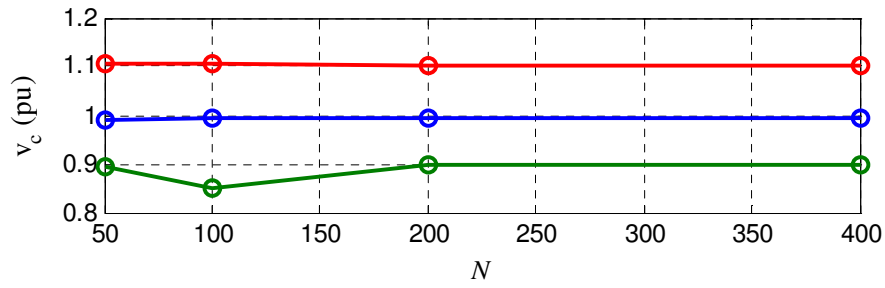


b) Commandes de  $SM_{1,400u,\ell_a}$

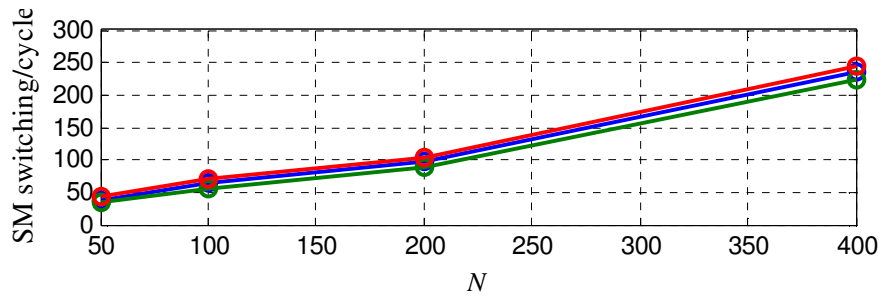
Figure 4-36: Résultats de l'Algorithme #2

Tout d'abord, on remarque que les trois algorithmes parviennent à équilibrer les tensions des condensateurs autour de la tension moyenne de 1 pu avec une fluctuation autour de  $\pm 11\%$ . Cependant, concernant les commandes de ces SMs, l'Algorithme #1 – standard oblige un nombre de commutation très élevé (soit de 235 commutations/période/SM) contrairement à l'Algorithme #1-amélioré et l'Algorithme #2 qui requièrent que peu de commutation des SMs (soit une moyenne de 4.5 commutations/période/SM). Les résultats de synthèse de ces algorithmes, pour différents niveaux de MMC, sont résumés dans le paragraphe qui suit.

Afin d'étudier l'influence du nombre de niveaux du MMC en fonction de ces différents algorithmes, dans les Figure 4-37, Figure 4-38 et Figure 4-39, les valeurs moyennes (courbes en bleues), minimales (courbes en verts) et maximales (courbes en rouges) sont présentées pour les tensions des condensateurs et le nombre de commutation de chaque SM par période.

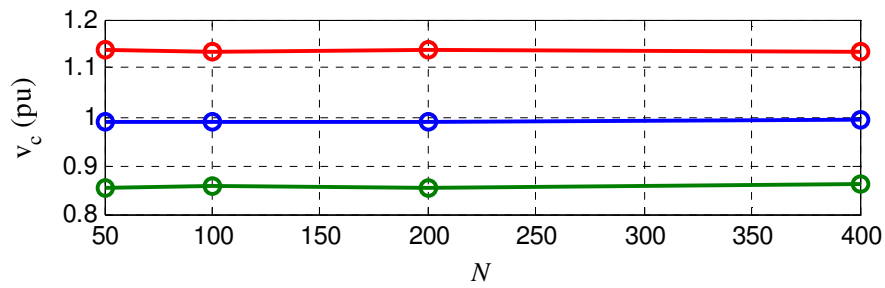


a)  $v_C$  des  $SM_{1,400u,\ell_a}$  en fonction de  $N$

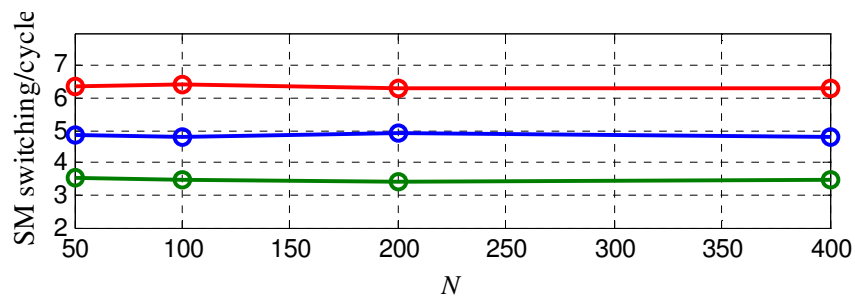


b) Commandes de  $SM_{1,400u,\ell_a}$  en fonction de  $N$

Figure 4-37: Algorithme #1-standard, valeurs moyennes, maximales et minimales



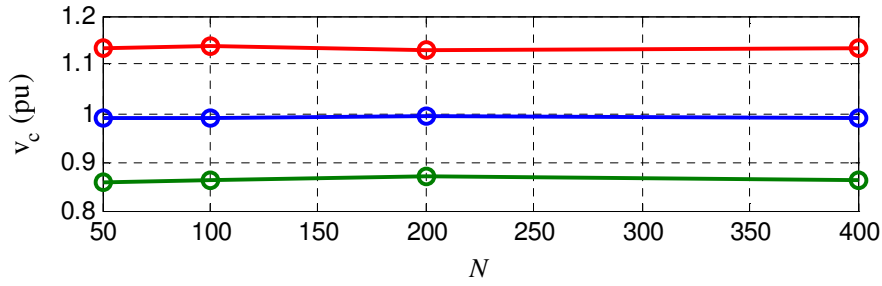
a)  $v_C$  des  $SM_{1,400u,\ell_a}$  en fonction de  $N$



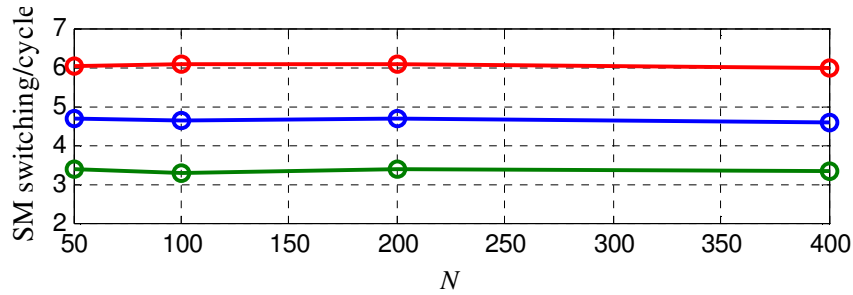
b) Commandes de  $SM_{1,400u,\ell_a}$  en fonction de  $N$

Figure 4-38: Algorithmes #1-amélioré, valeurs moyennes, maximales et minimales





a)  $v_C$  des  $SM_{1,400u,\ell_a}$  en fonction de  $N$



b) Commandes de  $SM_{1,400u,\ell_a}$  en fonction de  $N$

Figure 4-39: Algorithmes #2, valeurs moyennes, maximales et minimales

Concernant les tensions des condensateurs ( $v_{C_i}$ ), les trois algorithmes donnent des résultats satisfaisants, puisque pour les différents  $N$  les tensions moyennes sont proches de 1 pu avec des amplitudes de fluctuation autour de 11%. Cependant, concernant le nombre de commutation par cycle, une différence est remarquée; l'algorithme #1-standard requiert un nombre de commutation très élevé pour tous les niveaux MMC, en effet pour un MMC de 51 niveaux le nombre de commutations est autour de 39 et ce nombre augmente drastiquement avec les niveaux de MMC pour atteindre 235 commutations/cycle pour un MMC de 401 niveaux. L'algorithme #1-amélioré et l'algorithme #2 représentent des résultats proches avec un nombre de commutations moyen autour de 4 à 5 par cycle pour les différents nombre de niveau. Ces deux derniers algorithmes répondent bien aux spécifications.

Dans le Chapitre 5, la comparaison des performances en temps réel de ces différents algorithmes sera présentée. Il sera montré que l'avantage de l'algorithme #2 comparé aux algorithmes #1 est son temps d'exécution. En effet, le temps d'exécution de la fonction max-min dans l'Algorithme #2 est plus rapide que la fonction de tri utilisée dans les deux Algorithmes #1.

On peut donc conclure les points suivants :

- Les trois algorithmes parviennent à équilibrer les tensions des condensateurs autour de 1 pu avec une fluctuation acceptable
- L'algorithme #1-standard représente l'algorithme le plus facile à implémenter, cependant le nombre de commutations engendré n'est pas acceptable puisqu'il entraînerait une augmentation de pertes de commutation.
- L'algorithme #1-amélioré pourrait être utilisé pour des MMCs avec plusieurs centaines de niveaux car le nombre de commutations est suffisamment bas. Cependant, son temps d'exécution pour la simulation en temps réel est lent et son implémentation sur une carte FPGA requiert beaucoup d'espace et de mémoire sur la carte à cause de la fonction de tri (résultats montrés au Chapitre 5, section 5.3.4).
- L'algorithme #2 représente la meilleure solution car il maintient le nombre de commutations très bas pour les différents niveaux de MMC. De plus, son temps d'exécution est beaucoup plus rapide que les l'algorithme #1 (résultats montrés au Chapitre 5, section 5.3.4).

### **4.3 Structure du système de contrôle en fonction des modèles de MMC**

Tous les contrôleurs ci-dessus sont inclus lorsque Modèle #1 et #2 sont utilisés. Toutefois, si le Modèle #3 est employé, l'équilibrage des condensateurs (section 4.2.2) est exclu de la commande de bas niveau (voir Figure 4-1) et si le Modèle #4 est utilisé, tout le système de contrôle de bas niveau est exclu et uniquement le contrôle haut niveau peut être pris en compte (Figure 4-1).

### **4.4 Conclusion**

Ce chapitre a présenté le système de contrôle complet pour un MMC. La structure du contrôle peut être séparée en deux parties : le contrôle des SMs et le contrôle global.

Concernant les contrôles globaux, deux approches ont été développées. D'une part, le Contrôle-global #1 ne prenant pas en compte la régulation des énergies des demi-bras et, d'autre part, le Contrôle-global #2 qui permet de gérer les énergies internes des demi-bras. Cette dernière

approche permet ainsi le découplage entre  $V_{dc}$  et les  $v_{Ctot}$  (Figure 4-3). Cet avantage a été montré sur un cas pratique où un MMC comprenait des SMs redondants. Dans ce cas test, on a remarqué que la gestion des énergies lors des pertes des SMs redondants s'opère de façon stable et robuste.

Par ailleurs, trois différentes approches des contrôles des SMs ont été développées. La comparaison entre ces trois approches a montré qu'il est possible avec l'Approche #1-améliorée et l'Approche #2, d'obtenir un nombre de commutations substantiellement réduit, tout en maintenant une fluctuation autour de  $\pm 10\%$  des tensions des condensateurs des SMs. Le chapitre suivant présente les évaluations de performance dans l'implémentation en temps réel, de ces trois approches de contrôle.

## CHAPITRE 5 SIMULATION EN TEMPS RÉEL

La simulation en temps réel des circuits d'électronique de puissance peut être implémentée principalement sur des CPU ou sur des cartes FPGA. Les temps d'exécution des CPU pour chaque point dans le temps est de l'ordre de dizaines de  $\mu\text{s}$  ce qui constitue un facteur limitatif pour la précision des simulations. La technologie FPGA offre une meilleure alternative en permettant de réduire les temps de calcul à des centaines de ns. Toutefois, des préoccupations importantes demeurent pour une large adoption de cette technologie en raison des efforts considérables nécessaires à la mise en œuvre de solveurs complexes.

Dans les simulations en temps réel, la modélisation détaillée du MMC (c.à.d. Modèle #1 section 3.2) est actuellement hors de portée en raison des temps de calcul excessifs décrits dans le Chapitre 3 (Tableau 3-3). Compte tenu des technologies actuelles de simulation en temps réel, le modèle le plus complet (voir le plus finement détaillé) que l'on peut représenter est le Modèle #2. Dans le Tableau 3-3, on a montré que le temps de calcul du Modèle #2 augmente avec le nombre de niveaux de MMC. Pour la simulation en temps réel, le temps de calcul du simulateur doit toujours être strictement inférieur au temps réel, afin d'éviter les dépassements et les mauvais fonctionnements des boucles du système. Cette exigence constitue la limite principale pour laquelle un modèle peut être simulé sur un simulateur en temps réel.

### 5.1 Méthodologie

Deux étapes sont nécessaires pour le passage du modèle de la liaison HVDC-MMC réalisé sous EMTP-RV au simulateur en temps réel d'Opal-RT :

- Étape #1 : Passage d'EMTP-RV à Matlab/Simulink en utilisant les outils SimPowerSystem (SPS) et ARTEMiS. Le problème de la portabilité du modèle se pose.
- Étape #2 : Passage de la simulation en temps différé à la simulation en temps réel d'Opal-RT (en rajoutant les outils RT-Lab). Les problèmes de la limite et de la précision des modèles en temps réel seront adressés.

Cette procédure est présentée à la Figure 5-1. L'étape #2 doit être réalisée seulement après la validation de l'étape #1.

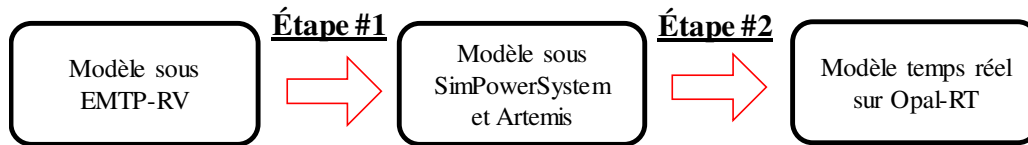


Figure 5-1: Procédure pour la transcription d'un modèle EMTP-RV au simulateur en temps réel Opal-RT

## 5.2 Étape #1 : Passage d'EMTP-RV à Matlab/Simulink

La première étape consiste donc à transférer le modèle HVDC de type VSC-MMC réalisé sous EMTP-RV vers le logiciel Matlab/Simulink en utilisant les outils SPS et ARTEMiS.

Certaines différences sont inhérentes aux logiciels:

- Méthode d'intégration: EMTP-RV utilise l'intégration trapézoïdale et Backward-Euler avec la moitié du pas de temps lors des discontinuités. En outre, un processus itératif est utilisé pour les composantes non-linéaires. Dans SPS/ARTEMiS plusieurs solveurs existent. Le « Art5 » d'ARTEMiS (5<sup>ème</sup> ordre) avec une interface nodale Backward-Euler est choisi afin de préserver le même solveur en temps différé et en temps réel.
- Formulation: EMTP-RV utilise la matrice nodale modifiée augmentée (MANA), alors que SPS/ARTEMiS utilise les équations d'états.
- Dans le modèle SPS/ARTEMiS, des petites résistances doivent être insérées entre certaines connexions (exemple connexion entre le câble et le convertisseur). L'interrupteur idéal n'existe pas, de ce fait, une petite résistance est ajoutée pour les défauts.

Le système de contrôle-commande peut être transcrit bloc par bloc d'un logiciel à l'autre. Toutefois, cette tâche prend beaucoup de temps et un effort considérable est nécessaire pour s'assurer que les blocs utilisés dans les deux logiciels sont exactement identiques et qu'aucune erreur est commise, surtout pour des systèmes de commande complexes. L'interface Dynamic-Link Library (DLL) dans EMTP-RV permet de combiner différents langages de programmation. En utilisant cette dernière, le système de contrôle générique développé dans Simulink est directement interfacé avec EMTP-RV [78]. Cette approche facilite l'interopérabilité des logiciels et garantit la concordance des schémas de contrôle [79].

La transcription des composants de puissances, comme les sources de tension, transformateurs, disjoncteurs et câbles, est effectuée manuellement (bloc par bloc) à l'aide des composantes similaires. Concernant le modèle de câble utilisé, due à la limitation des performances en temps réel du modèle Wideband, il a été décidé d'utiliser un câble à paramètres constantes (CP) dans le logiciel EMTP-RV et un modèle similaire (et non équivalent) dans SPS/ARTEMiS appelé ligne à paramètres distribués (DPL). Ces deux modèles n'étant pas identiques, des résistances ( $0.1\Omega$  en séries et  $2k\Omega$  en parallèle) ont dû être insérées au point de raccordement dans le modèle EMTP-RV afin de s'approcher le plus possible de celui SPS/ARTEMiS. Les résultats de comparaison entre EMTP-RV et SPS/ARTEMiS du modèle de câble avec et sans ces modifications sont présentés à l'Annexe E.

Le modèle détaillé (Modèle #1) du MMC réalisé sous EMTP-RV est impossible à implémenter dans l'environnement SPS/ARTEMiS étant donné le nombre élevé de nœuds électriques et d'éléments non-linéaires. Ce modèle de référence est donc maintenu seulement dans EMTP-RV. Uniquement les modèles simplifiés peuvent être transcrits dans SPS/ARTEMiS. Pour les Modèle #3 et #4 la transcription peut se faire aisément et directement bloc par bloc, mais le Modèle #2 nécessite un codage en dur (programmation en C) (à cause de son algorithme, voir Tableau 3-1) qui le rend dépendant du logiciel EMT utilisé. La transcription du Modèle #2 dans SPS/ARTEMiS soulève principalement les deux problèmes suivants : la représentation en équivalent Norton des demi-bras et le processus itératif lié à l'état bloqué des SMs. Les prochaines sections détaillent les solutions apportées pour ces deux points sensibles.

### 5.2.1 Solveur SSN appliquée pour le cas MMC

Dans le Modèle #2, le demi-bras est modélisé sous EMTP-RV par un équivalent de Norton. Dans SPS, l'équivalent de Norton (avec une résistance variable) n'existe pas. De ce fait, le modèle d'un demi-bras peut être représenté seulement par une source de tension contrôlée. Cette approche engendre des limitations sur la précision du modèle et des problèmes d'oscillations numériques sont à prévoir car des pas de délai artificiel dans la mise à jour des sources sont inévitables. Une façon pour atténuer ces oscillations numériques consiste à rajouter en parallèle avec les composants semi-conducteurs, un circuit RC (appelé « snubber numérique »). Le choix des valeurs optimales du snubber dépend de l'environnement externe, du pas de temps de

simulation et un réglage par essai-erreur doit être réalisé afin de bien limiter ces oscillations numériques. Cette solution quoique fonctionnelle est donc ni robuste ni systématique.

Le solveur SSN (State-Space Nodal) [73], permet le découpage d'un circuit de puissance générique à des endroits arbitraires. Avant le développement de cette approche il était nécessaire d'utiliser seulement des lignes de transport qui causent un délai physique entre les sous-réseaux ou insérer des délais artificiels. Les délais artificiels causent des oscillations numériques et des instabilités de solution. Le découpage permet de paralléliser la solution des sous-réseaux pour la simulation en temps réel.

En considérant les équations d'état d'un circuit générique :

$$\begin{cases} \dot{\mathbf{x}} = \mathbf{A}_K \mathbf{x} + \mathbf{B}_K \mathbf{u} \\ \mathbf{y} = \mathbf{C}_K \mathbf{x} + \mathbf{D}_K \mathbf{u} \end{cases} \quad (5.1)$$

où  $\mathbf{x}$  et  $\mathbf{u}$  sont les variables d'états et les vecteurs d'entrée respectivement (ces variables peuvent représenter des courants ou des tensions). La discrétisation de l'équation (5.1) donne [12] :

$$\begin{cases} \mathbf{x}_{t+\Delta t} = \hat{\mathbf{A}}_K \mathbf{x}_t + \hat{\mathbf{B}}_K \mathbf{u}_t + \hat{\mathbf{B}}_K \mathbf{u}_{t+\Delta t} \\ \mathbf{y}_{t+\Delta t} = \mathbf{C}_K \mathbf{x}_{t+\Delta t} + \mathbf{D}_K \mathbf{u}_{t+\Delta t} \end{cases} \quad (5.2)$$

où  $\Delta t$  est le pas de temps d'intégration numérique et les matrices avec l'accent circonflexe résultent du processus de discrétisation.

En combinant et en réorganisant l'équation (5.2), on obtient :

$$\mathbf{y}_{t+\Delta t} = \mathbf{C}_K [\hat{\mathbf{A}}_K \mathbf{x}_t + \hat{\mathbf{B}}_K \mathbf{u}_t] + [\mathbf{C}_K \hat{\mathbf{B}}_K + \mathbf{D}_K] \mathbf{u}_{t+\Delta t} \quad (5.3)$$

On remarque que l'équation ci-dessus est composée d'un terme historique (point de temps précédent). Cette équation peut être reformulée comme suit:

$$\mathbf{y}_{t+\Delta t} = \mathbf{y}_{hist} + \mathbf{W}_K \mathbf{u}_{t+\Delta t} \quad (5.4)$$

où  $\mathbf{y}_{hist} = \mathbf{C}_K [\hat{\mathbf{A}}_K \mathbf{x}_t + \hat{\mathbf{B}}_K \mathbf{u}_t]$  et  $\mathbf{W}_K = [\mathbf{C}_K \hat{\mathbf{B}}_K + \mathbf{D}_K]$

Si l'entrée  $\mathbf{u}_{t+\Delta t}$  est une variable de tension, donc  $\mathbf{W}_K$  est une admittance,  $\mathbf{y}_{hist}$  et  $\mathbf{y}_{t+\Delta t}$  sont des variables de courant. Il résulte que l'équation (5.4) est l'équivalent de Norton. Réciproquement, si l'entrée  $\mathbf{u}_{t+\Delta t}$  est une variable de courant, l'équation (5.4) est l'équivalent de Thevenin.

Le solveur SSN peut déduire automatiquement les équivalents de Norton (ou Thevenin) des modèles SPS en les séparant en groupes ayant la forme de l'équation (5.4) et les résout en utilisant la méthode nodale classique. Le solveur SSN peut également s'interfacer avec des groupes «manuellement codés», ce qui est le cas du demi-bras du Modèle #2. Il devient donc possible d'implémenter le code illustré dans le Tableau 3-1 dans l'environnement SPS/ARTEMiS.

### 5.2.2 Approche d'élimination du processus itératif

D'après le Tableau 3-1.b, les états ON/OFF peuvent être calculés directement (sans itérations voir Figure 3-5) en fonction des commandes des gâchettes. Cependant, l'état bloqué est défini en fonction de variables d'état du système. Ainsi, le passage par zéro du courant du demi-bras engendre des oscillations numériques (Figure 3-6). Pour éviter ce problème, un processus itératif a été mis en œuvre pour la simulation en temps différé (section 3.3). Cependant, cette approche induit une augmentation du temps de calcul ce qui est problématique au niveau des performances du modèle en temps réel. Afin de surmonter ce problème numérique et d'éviter des itérations, une gâchette est rajoutée (au niveau du code) pour détecter et maintenir le mode "haute impédance" (voir le Tableau 3-1.b) pour un pas de temps supplémentaire. Cette approche est moins précise que l'approche itérative, mais suffisamment précise pour les simulations en temps réel comme le montrent les résultats de comparaison dans la prochaine section.

### 5.2.3 Comparaison entre le modèle sous EMTP-RV et sous SPS/ARTEMiS

La comparaison entre les modèles de la liaison HVDC-MMC sous EMTP-RV et SPS/ARTEMiS est présentée dans cette section. Dans le Chapitre 3, la vérification de la précision du Modèle #2 a été réalisée en le comparant avec le Modèle #1. Dans ce chapitre, l'objectif est de vérifier l'exactitude du Modèle #2 modifié pour l'implémentation dans SPS/ARTEMiS en temps réel. De ce fait, le modèle de référence dans ce chapitre devient le Modèle #2 sous EMTP-RV.

Pour toutes les figures dans cette section, une ligne bleue est utilisée pour le modèle de référence EMTP-RV et une ligne verte (pointillée) pour le modèle SPS/ARTEMiS.



### 5.2.3.1 Séquence de démarrage

Ce test compare la séquence de démarrage du convertisseur: toutes les tensions des condensateurs sont déchargées initialement et tous les SMs sont à l'état bloqué. Les disjoncteurs principaux «Main AC Breaker» (Figure 5-2) sont fermés et les disjoncteurs de contournement «Bypass Breaker» sont maintenus ouverts pour ce cas test. Une résistance d'insertion est connectée entre le convertisseur et le secondaire du transformateur afin de limiter le courant d'appel lors de la mise sous tension des stations de conversion.

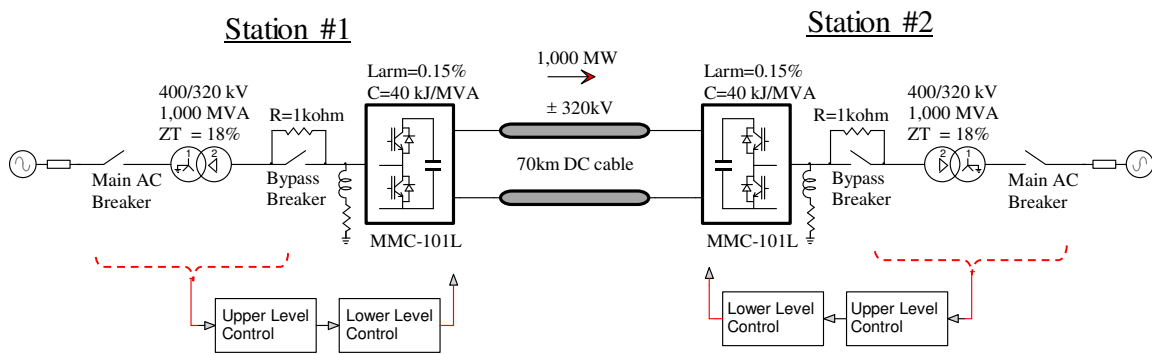
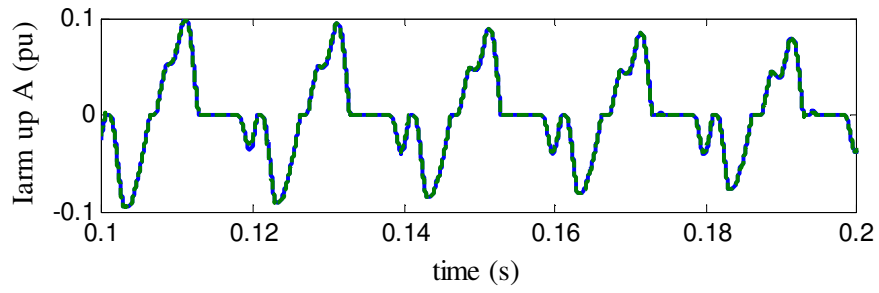


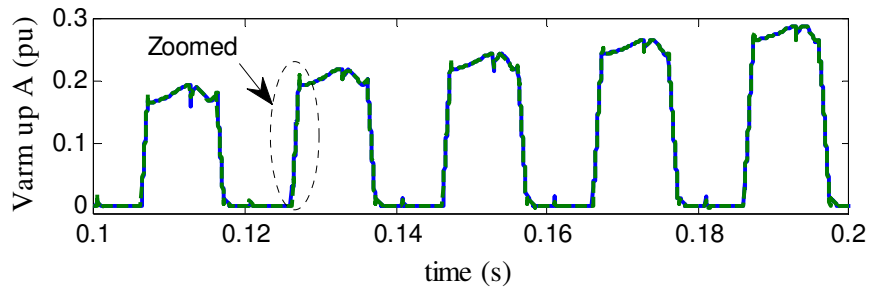
Figure 5-2: Liaison HVDC-MMC - Cas test pour la validation du modèle SPS/ARTEMiS

Les résultats sont comparés à la Figure 5-3.

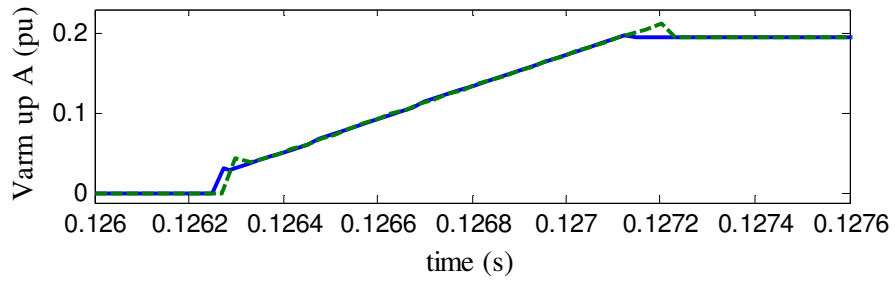
À partir de la forme d'onde agrandie Figure 5-3.c, un retard d'un pas de temps et une légère impulsion apparaissent quand les changements d'état de conduction des diodes se produisent. Ceci est lié à l'implémentation de l'état bloqué dans le modèle SPS/ARTEMiS et ne peut pas être évité sans un processus itératif comme indiqué dans la section précédente. Cependant, le reste des résultats de la Figure 5-3 montrent une bonne concordance entre les deux modèles pour une séquence de démarrage.



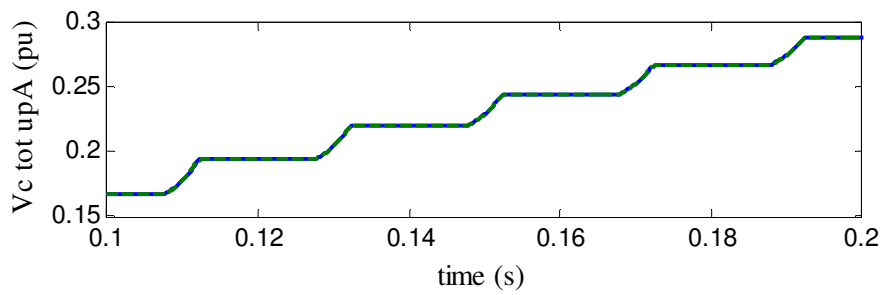
a) Courant du demi-bras supérieur de la phase A de la Station #1:  $i_{u_a}$



b) Tension du demi-bras supérieur de la phase A de la Station #1 :  $v_{u_a}$



c) Vue agrandie de  $v_{u_a}$  Station #1



d) Tensions  $v_{Ctotu_a}$  Station #1

Figure 5-3: Séquence de démarrage de la Station #1 - Comparaison entre EMTP-RV et SPS/ARTEMiS

### 5.2.3.2 Désactivation du contrôleur CCC

Les variables internes du MMC sont évaluées dans cette section. Les déséquilibres entre les phases de demi-bras introduisent un courant circulaire (de deuxièmes harmonique) qui augmente les pertes. Le CCC (section 4.1.2.1.2) est implémenté dans le système de commande pour atténuer ce courant indésirable. Afin de vérifier la validité des modèles, le CCC de la phase A Station #1 est désactivé intentionnellement à  $t = 1$  s pendant 200 ms. Les variables internes sont présentées à la Figure 5-4.

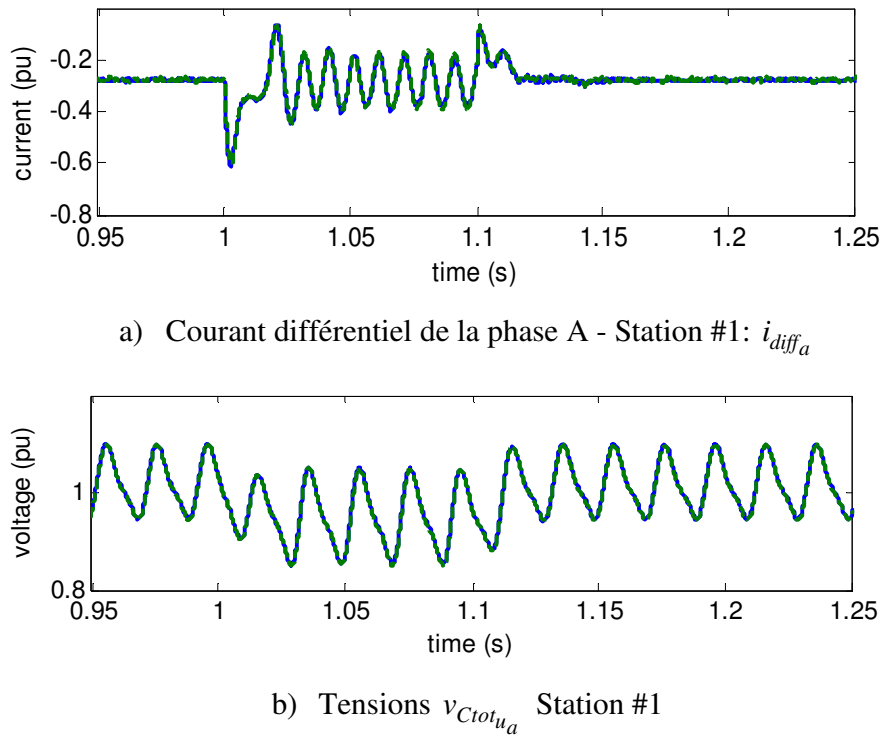


Figure 5-4: Désactivation du contrôleur CCC phase A Station #1 - Comparaison entre EMTP-RV et SPS/ARTEMiS

On peut conclure que les modèles SPS/ARTEMiS donnent également des résultats similaires et précis pour l'analyse des variables des demi-bras. Les erreurs relatives de ces variables sont dans la gamme de 0.5 à 4%.

### 5.2.3.3 Blocage d'un demi-bras de MMC

Les tensions des condensateurs et le mode bloqué sont étudiés dans cette section. Tous les SMs de la phase A du demi-bras supérieur de la Station #1 sont mis à l'état bloqué à  $t = 1.5$  s pendant

100 ms. Il faut noter qu'aucun système de protection spécifique n'a été rajouté pour remédier à ce dysfonctionnement. Les comparaisons sont présentées à la Figure 5-5.

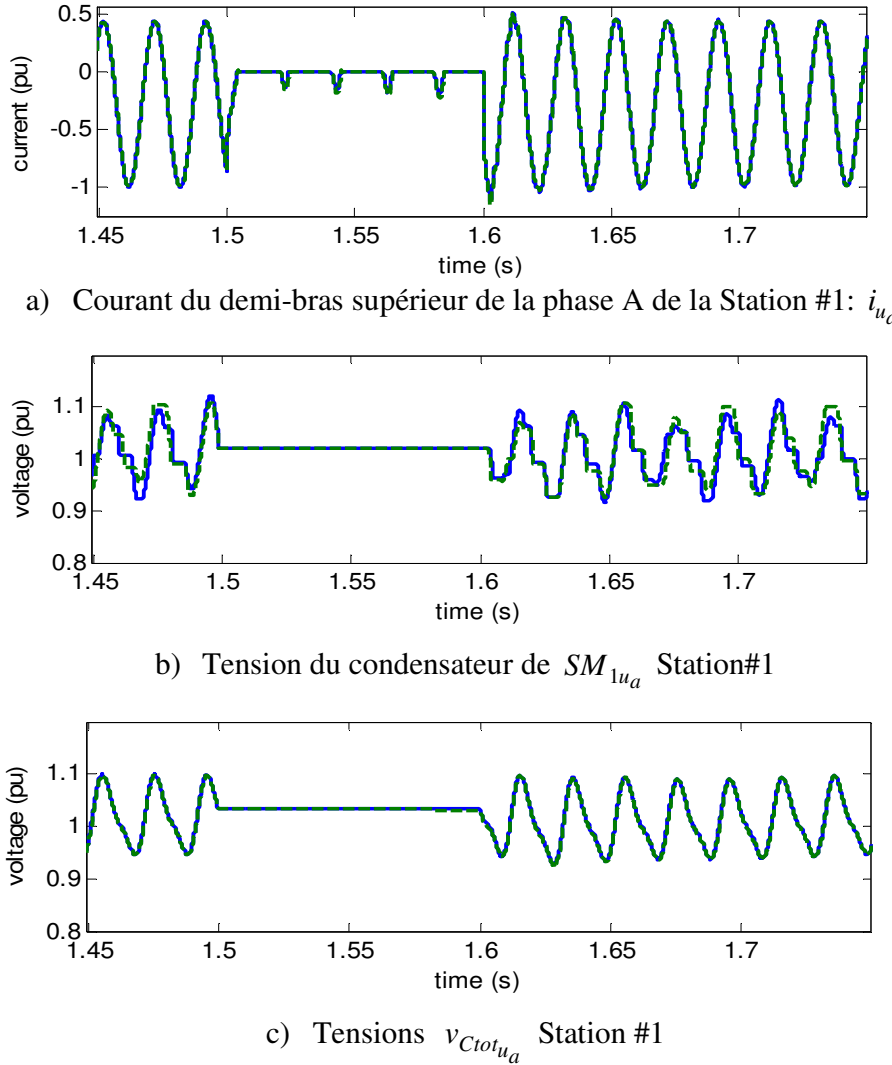


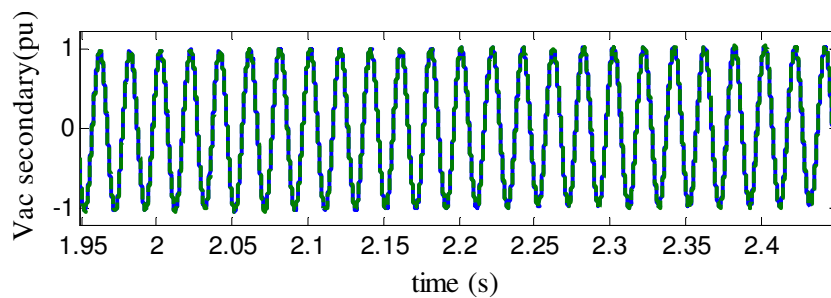
Figure 5-5: Blocage d'un demi-bras de MMC Station #1, comparaison entre EMTP-RV et SPS/ARTEMiS

Les différences notées entre les tensions du  $SM_{1u_a}$  (Figure 5-5.b) ne sont pas liées à l'implémentation des modèles MMC mais uniquement à la stratégie de commande du BCA. En effet, le BCA sélectionne les SMs optimaux qui doivent être mis à l'état ON/OFF. Ces sélections ne sont pas nécessairement identiques entre les deux simulations, ce qui rend le choix de chaque SM différent entre les simulations. Cependant, les  $v_{C_{tot}}$  doivent être identiques pour les deux modèles, ce qui est bien le cas comme le montre la Figure 5-5.c. Les erreurs relatives sont en

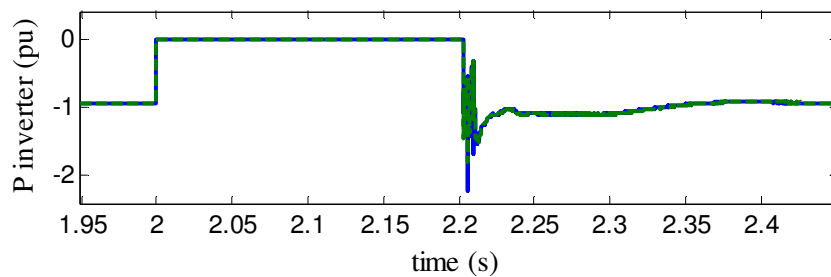
moyenne autour de 0.5%. Pour conclure, ce cas test montre également que le modèle SPS/ARTEMiS donne des résultats précis pour des perturbations sur les variables internes.

#### 5.2.3.4 Défaut triphasé

Un défaut triphasé 3LT est appliqué sur le côté alternatif au point de raccordement de la Station#2 à 2 s pour une durée de 200 ms. La Figure 5-6 compare les réponses dynamiques de différentes variables. Comme on peut le voir, une bonne concordance entre les deux modèles peut être réalisée pour des événements transitoires côté alternatif.

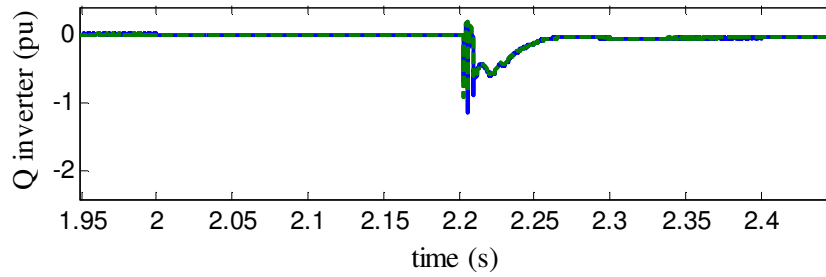


a) Tensions de la phase A au secondaire du transformateur de la Station #1



b) Puissance active de la Station #2

Figure 5-6: Défaut triphasé à SStation #2, comparaison entre EMTP-RV et SPS/ARTEMiS



c) Puissance réactive de la Station #2

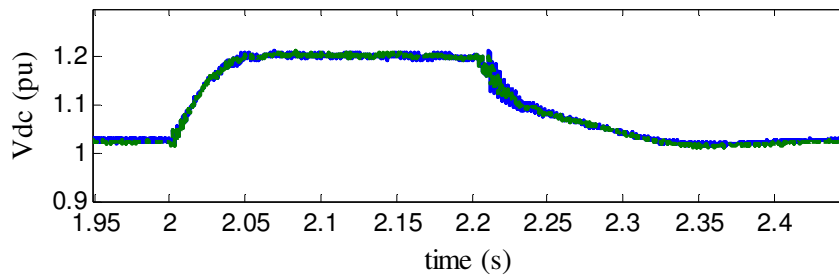
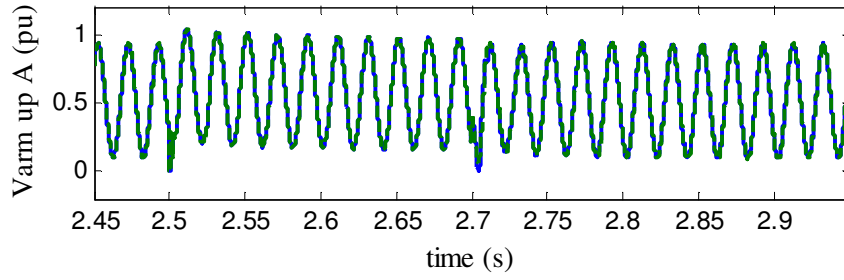
d) Tension continue :  $V_{dc}$ 

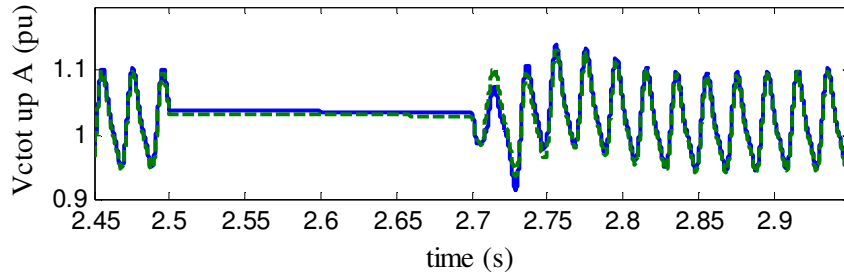
Figure 5-6: Défaut triphasé à SStation #2, comparaison entre EMTP-RV et SPS/ARTEMiS  
(suite)

#### 5.2.3.5 Blocage de tous les SMs des deux stations

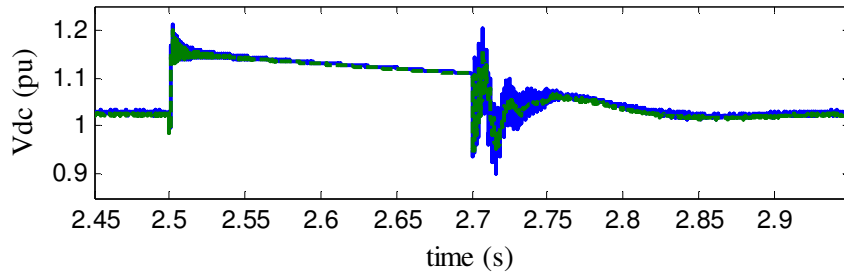
Dans ce test, le blocage simultané de tous les SMs des deux stations est réalisé à  $t=2.5$  s durant 200 ms. Ce test, qui est en pratique non réaliste, génère des transitoires assez contraignants et permet de valider les passages de l'état ON/OFF à l'état bloqué et vice-versa, du système HVDC au complet. Les résultats sont présentés à la Figure 5-7.



a) Tension du demi-bras supérieur de la phase A de la Station #1 :  $v_{u_a}$



b) Tension  $v_{Ctot_{u_a}}$  Station #1



c) Tension continue :  $V_{dc}$

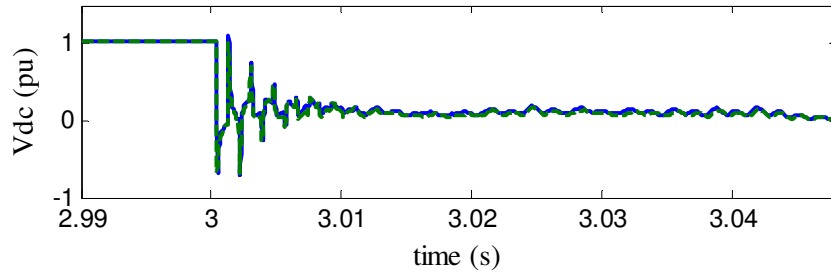
Figure 5-7: Blocage de tous les SMs des deux stations

La Figure 5-7.c montre de légères différences entre les deux modèles au niveau de la tension continue. En effet, le modèle SPS/ARTEMiS semble avoir une oscillation plus amortie à  $t=2.7\text{ s}$ . Cette différence est principalement liée aux modèles de câbles utilisés dans les deux logiciels. Pour s'en convaincre, il suffit de regarder la comparaison avec et sans modification du câble dans l'Annexe E. Toutefois, les comportements globaux des deux modèles sont proches.

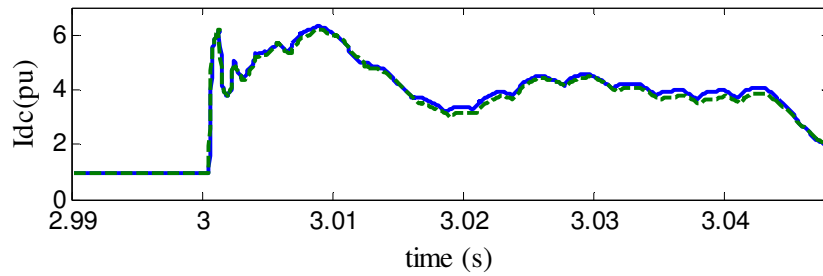
### 5.2.3.6 Défaut DC Pôle-Pôle

Les modèles sont testées pour un défaut coté continu permanent entre les pôles positif et négatif à la sortie de la Station #2. Le défaut est appliqué à 3 s. La séquence d'élimination de défaut

suivante est utilisée [66]: Quand le courant continue dépasse le seuil de 3 pu, tous les thyristors (K2) sont activés et tous les IGBTs sont bloqués avec un délai de 40  $\mu$ s et les «Main AC Breakers" (Figure 5-2) des deux stations sont ouverts après deux cycles. Le courant continu de la Station # 1 est comparé à la Figure 5-8



a) Tension continue :  $V_{dc}$



b) Courant continu :  $I_{dc}$

Figure 5-8: Défaut DC, comparaison entre EMTP-RV et SPS/ARTEMiS

On remarque une bonne concordance entre les modèles EMTP-RV et SPS/ARTEMiS même si un léger offset existe entre ces deux modèles au niveau du courant continu : l'amplitude maximale atteinte par le modèle EMTP-RV est de 6.3 pu par contre SPS/ARTEMiS donne un courant maximal de 6.2 pu. Comme pour le test précédent, le modèle de câble est la cause principale pour cette différence (voir Annexe E).

### 5.3 Étape #2 : Passage de la simulation en temps différé à la simulation en temps réel

Après avoir validé la portabilité du modèle d'EMTP-RV à SPS/ARTEMiS, la étape suivante consiste à passer en temps réel.



Dans cette section, tout d'abord, la mise en œuvre et la vérification de la liaison HVDC-MMC en temps réel sont présentées. Ensuite, l'implémentation et l'étude de faisabilité sur CPU et FPGA de la modélisation du MMC variant de 51 à 401 niveaux sont présentées. Il convient de souligner que les Modèles #3 et #4 ne sont pas étudiés dans cette section puisque leurs temps de calcul (voir Tableau 3-3) sont suffisamment rapides et ce qui n'induit donc aucune contrainte pour effectuer des simulations en temps réel.

### 5.3.1 Modifications apportées

Pour permettre le passage au temps réel sur le simulateur Opal-RT, le modèle SPS/ARTEMiS en temps différé doit être légèrement modifié. La Figure 5-9 montre la séparation de la liaison HVDC-MMC pour le temps réel en 6 processeurs : CPU1-CPU2 pour chaque réseau équivalent, CPU3-CPU4 pour chaque station de conversion et CPU5-CPU6 pour chaque système de contrôle-commande.

Les simulations ont été réalisées sur le simulateur temps réel OP5600 de Opal-RT. Ce simulateur dispose de 3 processeurs quad-core (pour un total de 12 processeurs Intel Xeon) qui communiquent à travers une mémoire partagée de 8 Go et qui sont en mesure de communiquer avec la carte FPGA via un lien PCIe de 2ème génération.

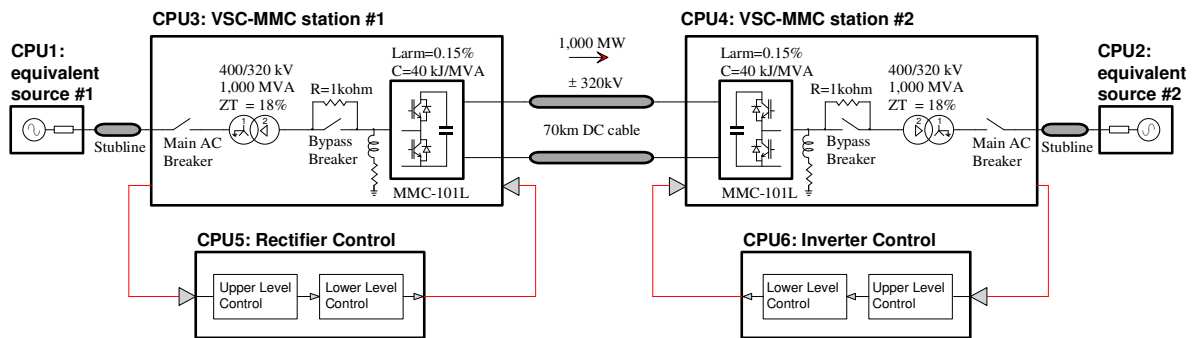


Figure 5-9: Configuration de la liaison HVDC-MMC sur SPS/ARTEMiS en temps réel

Les différents blocs qui ont été rajoutés au modèle SPS/ARTEMiS en temps différé afin de réaliser des simulations en temps réel sont :

- Ajout des blocs OpComm. Les blocs appelés « OpComm » proviennent de l'outil RT-Lab. Ces blocs doivent être insérés à l'entrée de chaque sous-système. Ces blocs de

communication fournissent différentes informations sur les données provenant des autres sous-systèmes.

- Ajout des blocs Stubline. Dans la section 2.6.2.1, la nécessité du découpage du réseau électrique a été expliquée. Naturellement, ce découpage se fait via les lignes de transmission (ou câble), cependant étant donnée l'absence de ligne de transmission entre les réseaux équivalents (France et Espagne) et les stations de conversion, il est nécessaire d'insérer des blocs Stubline entre ces CPUs. Un bloc Stubline est constitué d'une ligne ayant une onde de propagation égale au pas de temps de simulation.
- Ajout d'un délai artificiel entre le circuit de puissance et système de contrôle. Afin de paralléliser les processeurs entre le système de contrôle et le circuit de puissance, il est fortement conseillé de rajouter un délai artificiel à la sortie de chaque CPU comme expliqué dans la section 2.6.2.2.

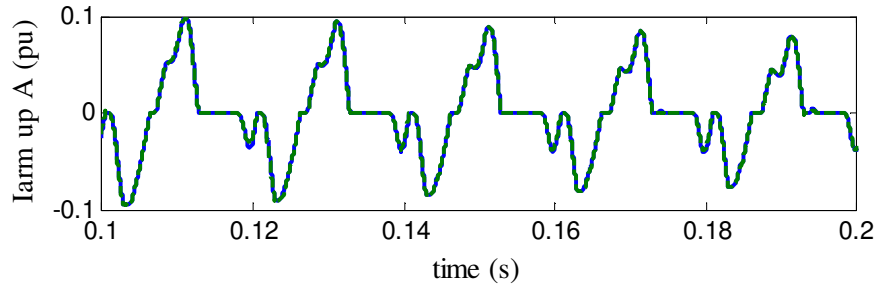
### 5.3.2 Vérification du modèle SPS/ARTEMiS en temps réel

Afin de vérifier le modèle en temps réel, une comparaison avec le modèle SPS/ARTEMiS temps différé de la section précédente, est réalisée pour mettre en valeur les différences avec ces ajouts. Les mêmes tests que dans la section 5.2.3 précédente sont réalisés et le montage en temps réel est présenté dans la Figure 5-9. Concernant les tests de désactivation du contrôleur CCC (section 5.2.3.2) et blocage d'un demi-bras de MMC (section 5.2.3.3), les simulations ne sont pas présentées car les résultats sont très proches.

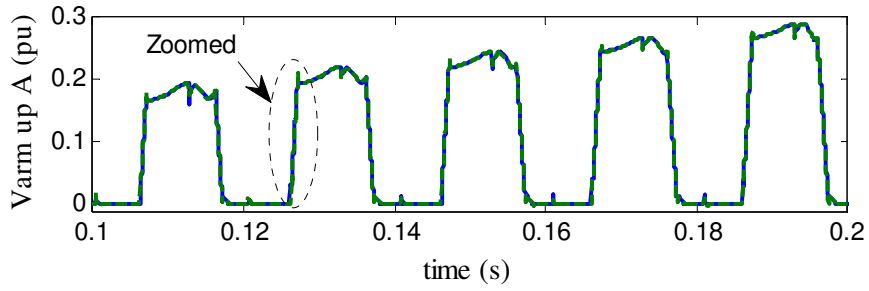
Pour toutes les figures dans cette section, une ligne en bleue est utilisée pour le modèle SPS/ARTEMiS en temps différé et une ligne verte (pointillée) pour le modèle SPS/ARTEMiS en temps réel.

#### 5.3.2.1 Séquence de démarrage

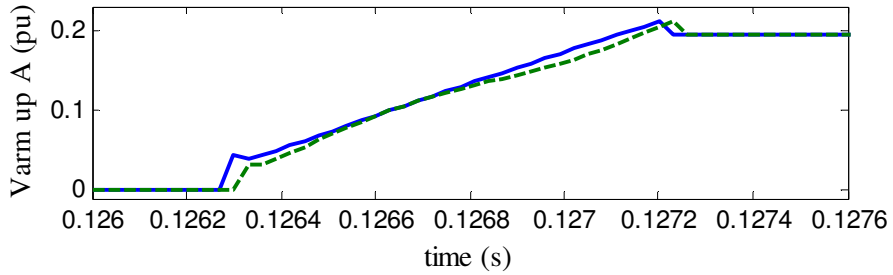
Le test de la séquence de démarrage est décrit à la section 5.2.3.1. Les résultats de comparaison entre le modèle temps différé et celui temps réel sont présentés dans la Figure 5-14.



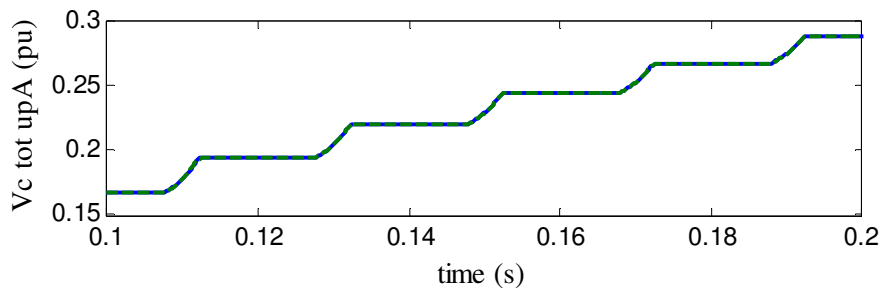
a) Courant du demi-bras supérieur de la phase A de la Station #1:  $i_{u_a}$



b) Tension du demi-bras supérieur de la phase A de la Station #1 :  $v_{u_a}$



c) Vue agrandie de  $v_{u_a}$  Station #1



d) Tensions  $v_{Ctotu_a}$  Station #1

Figure 5-10: Séquence de démarrage de la Station #1, comparaison entre les modèles SPS/ARTEMiS en temps différé et en temps réel

Dans la Figure 5-10.c, on remarque une différence au niveau de la pente de la tension, cette différence est due au rajout des Stublines qui sont indispensables pour le découpage entre les

réseaux équivalents et les stations de conversion. De plus, le décalage d'un pas de temps noté entre les deux courbes est dû à l'ajout du délai supplémentaire, entre le système de contrôle et circuit de puissance, pour le passage en temps réel.

### 5.3.2.2 Défaut triphasé

Le défaut triphasé est détaillé dans la section 5.3.2.2. Les résultats sont présentés à la Figure 5-11.

Au niveau des résultats de puissance, des oscillations de haute fréquence sont notées pour le modèle en temps réel après extinction du défaut. Ces oscillations sont dues principalement aux Stublines. Ce test montre que pour des transitoires coté AC, les Stubline peut donc avoir un impact sur la précisions des résultats.

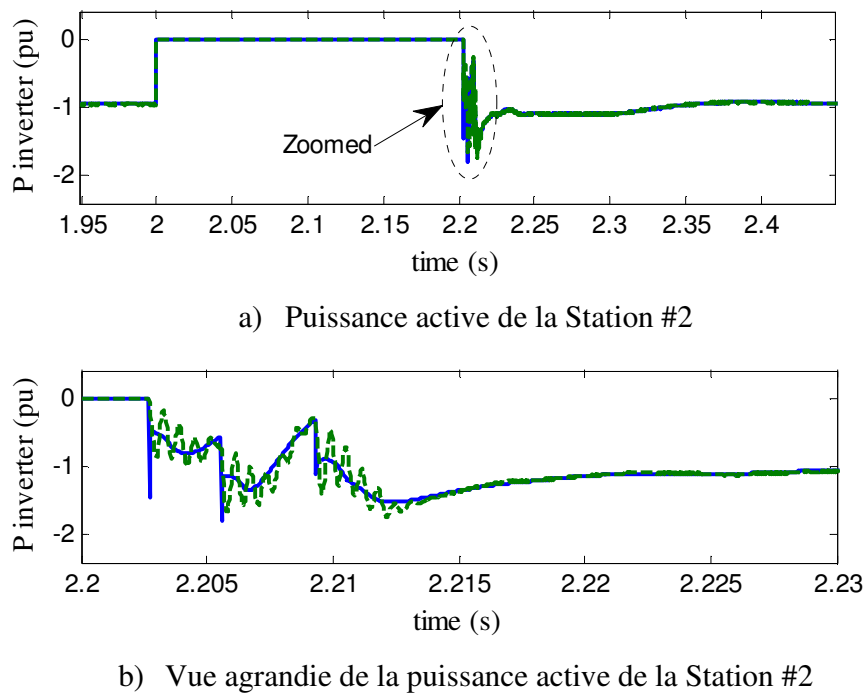
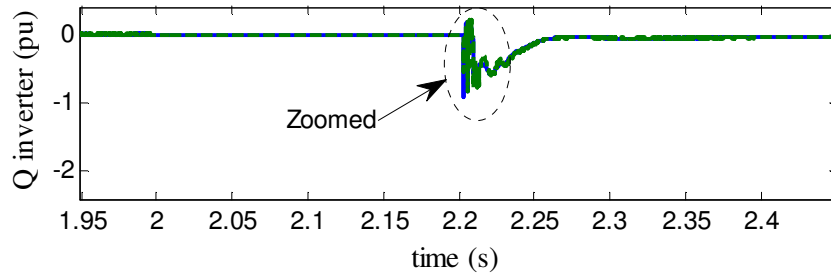
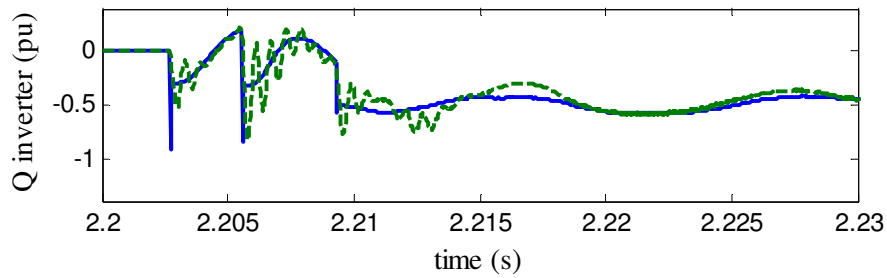


Figure 5-11: Défaut triphasé à Station #2, comparaison entre les modèles SPS/ARTEMiS en temps différé et en temps réel



c) Puissance réactive de la Station #2



d) Vue agrandie de la puissance réactive de la Station #2

Figure 5-11: Défaut triphasé à Station #2, comparaison entre les modèles SPS/ARTEMiS en temps différé et en temps réel (suite)

### 5.3.2.3 Blocage de tous les SMs des deux stations

Les détails de ce test sont décrits dans la section 5.2.3.3. Les résultats de comparaison entre les modèles SPS/ARTEMiS en temps différé et en temps réel sont présentés ci-dessous.

Les vues agrandies Figure 5-7.b et Figure 5-7.d montrent les mêmes oscillations de haute fréquence que dans le test précédent. Il est donc, clair que le passage des états ON/OFF à l'état bloqué des SMs peut aussi influencer la précision des résultats coté alternatif.

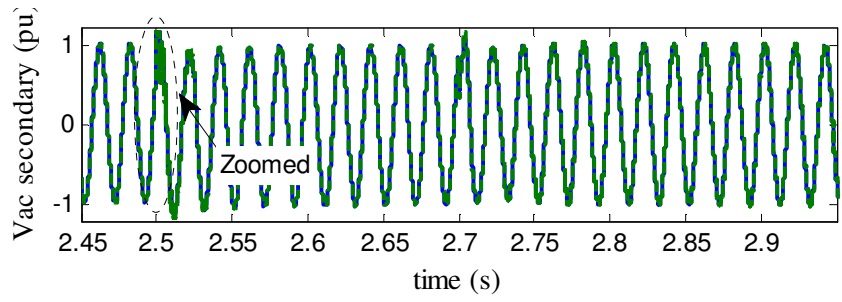
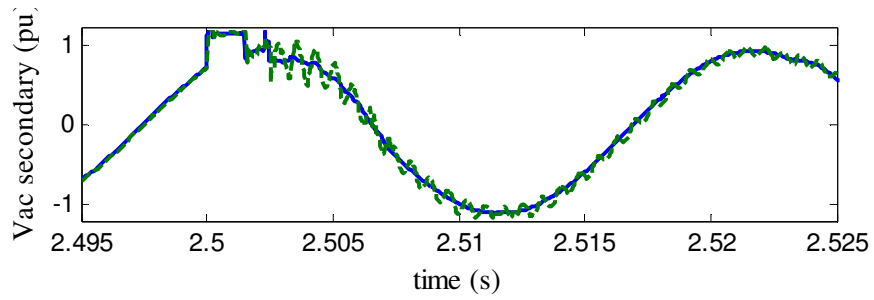
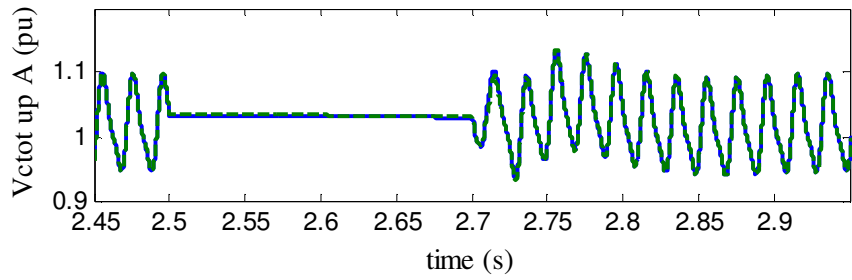
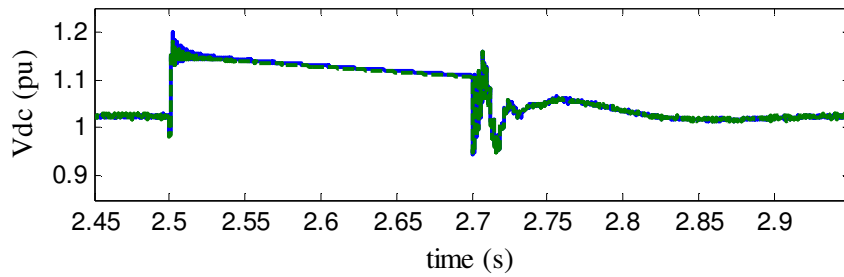
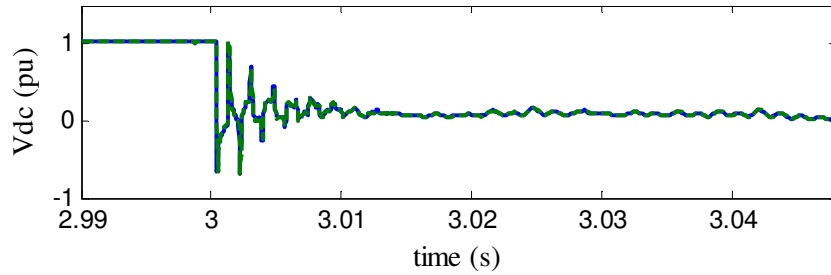
a) Tension  $v_{u_a}$  Station #1b) Vue agrandie de  $v_{u_a}$  Station #1c) Tension  $v_{C_{tot}u_a}$  Station #1d) Tension continue :  $V_{dc}$ 

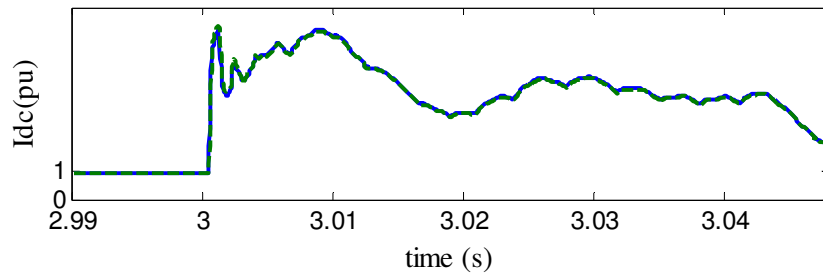
Figure 5-12: Blocage de tous les SMs des deux stations, comparaison entre les modèles SPS/ARTEMiS en temps différé et en temps réel

### 5.3.2.4 Défaut DC Pôle-Pôle

Les détails du défaut coté DC pole-pole peuvent être retrouvés dans la section 5.2.3.6. Les résultats ci-dessous des tensions/courants coté continu montrent que les deux modèles sont très proches. Ceci montre que pour des transitoires coté continu les blocs rajoutés ne semblent pas avoir un impact important.



a) Tension continue :  $V_{dc}$



b) Courant continu :  $I_{dc}$

Figure 5-13: Défaut DC, comparaison entre modèle SPS/ARTEMiS temps différé et temps réel

### 5.3.3 Relation entre pas de temps et nombre de SM/demi-bras

L'objectif principal de cette étude est d'évaluer la faisabilité et les performances du modèle MMC pour des simulations en temps réel. La période d'échantillonnage du système de contrôle joue un rôle important sur la performance dynamique du système. Cette période d'échantillonnage est déterminée principalement par la technique de la modulation utilisée. Comme mentionné à la section 4.2.1, lorsque  $N$  (c.à.d. nombre de SM/demi-bras) augmente, les modulations de types PWM deviennent moins efficaces. De ce fait, la modulation NLC présentée est utilisée dans ce chapitre. Afin de garantir le passage par chaque niveau du MMC, le temps d'échantillonnage doit respecter un critère spécifique. Une forme d'onde typique produite par la modulation du NLC

pour un MMC de 9 niveaux ( $N = 8$ ) est présentée à la Figure 5-14. L'équation de cette forme d'escalier est donnée par:

$$s_n = \frac{N}{2} \sin(2\pi f t_n) + \frac{N}{2} \quad (5.5)$$

où  $t_n = t_0, t_1, \dots, t_{N/2}$ ,  $s_n$  est le nombre de SMs à insérer dans chaque bras et  $f$  la fréquence fondamentale du réseau.

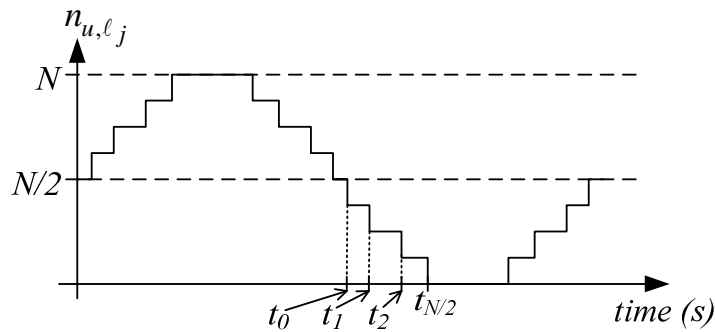


Figure 5-14: Signal de sortie typique d'une forme d'onde du NLC pour un MMC de 9 niveaux

Le plus petit intervalle de temps entre deux différents niveaux de MMC se trouve là où la pente de l'onde sinusoïdale désirée est la plus élevée, c'est-à-dire entre  $t_0$  et  $t_1$ . Par conséquent, le pas d'échantillonnage du contrôleur doit respecter l'inégalité suivante afin de garantir le passage de chaque niveau du MMC

$$\Delta t \leq \frac{1}{2\pi f} \arcsin\left(\frac{2}{N}\right) \quad (5.6)$$

où  $\Delta t$  représente le pas d'échantillonnage.

Dans l'inégalité ci-dessus, on remarque que le pas d'échantillonnage est inversement proportionnel à la fréquence et au nombre de SMs par demi-bras. Cependant, l'équation (5.6) ne tient pas compte des variations produites par le système de commande. En effet, les valeurs des paramètres  $N/2$  et  $f$  peuvent varier en raison des variations des tensions de référence, ce qui nécessite un facteur de correction sur le pas de temps minimal requis. Ces paramètres dépendent essentiellement de l'application du MMC. Pour les applications comme une liaison HVDC, ces paramètres peuvent être limités puisque la fréquence et l'amplitude des tensions d'un réseau CA ne peuvent pas dépasser des limites pratiques en régime permanent. Si nous fixons une limite



supérieure de 1.2 pu sur la fréquence et de 1.4 pu sur l'amplitude de la tension, l'équation (5.6) devient :

$$\Delta t \leq \frac{1}{1.2(2\pi f)} \arcsin\left(\frac{2}{1.4N}\right) \quad (5.7)$$

L'équation (5.7) est tracée dans la Figure 5-15. La zone colorée sous la courbe représente la zone acceptable qui garantira le passage par chaque niveau du MMC. Comme prévu, plus  $N$  augmente plus la limite diminue.

Afin d'analyser l'impact de  $\Delta t$ , une modulation NLC pour un MMC de 191 niveaux ( $N = 190$ ) est simulée avec trois valeurs différentes de  $\Delta t$  marquées par une croix rouge sur la Figure 5-15 ( $\Delta t = 10, 20$  et  $30$  ms). La Figure 5-16 montre les formes d'onde modulées et des harmoniques qui en résultent pour différentes valeurs de  $\Delta t$ . Pour les pas d'échantillonnage respectant l'inégalité (5.7) (c.à.d  $\Delta t = 10$  et  $20 \mu s$ ) le passage par chaque niveau de MMC est garanti et le contenu harmonique est suffisamment proche. Par contre, pour  $\Delta t = 30 \mu s$ , il n'est pas possible de reproduire tous les niveaux et le contenu harmonique est significativement affecté. De plus, les sauts de niveau ont également un impact sur la fréquence de commutation de chaque SM et le BCA.

Il est important de souligner, que la condition (5.7) est valable pour la modulation NLC. D'autres formules doivent être établies pour les autres techniques de modulation (comme la PWM),

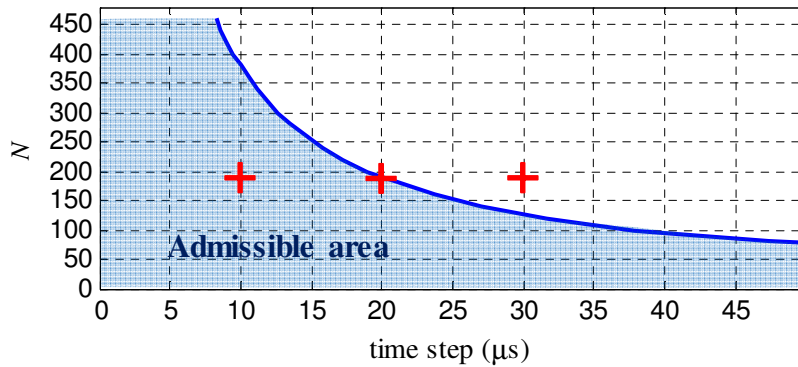
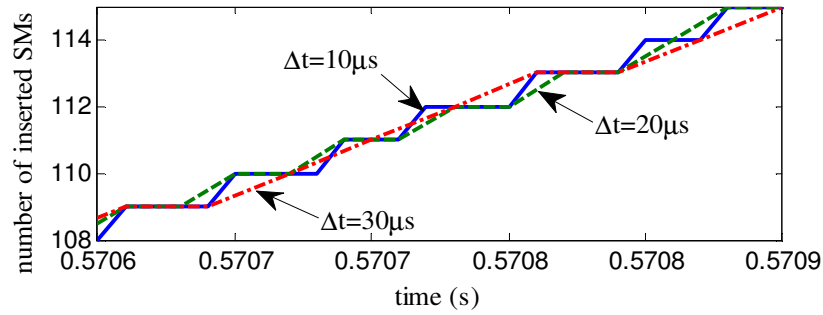
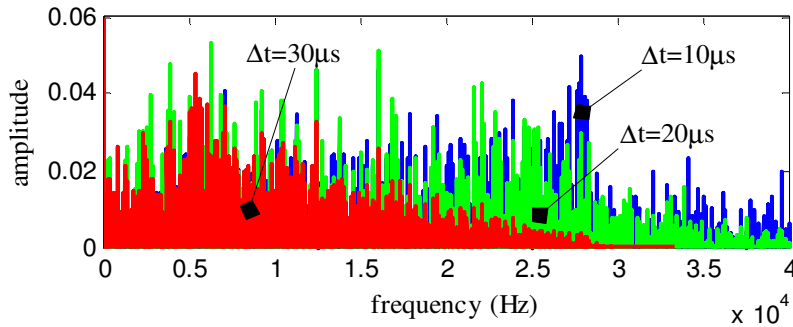


Figure 5-15:  $N$  en fonction de la limite du temps d'échantillonnage



a) Formes d'ondes de la modulation



b) FFT de la forme d'onde de la modulation

Figure 5-16: Influence de  $\Delta t$  sur la forme d'onde de la modulation

### 5.3.4 Performance du système de contrôleur

Avant d'étudier la performance du MMC en temps réel, tout d'abord le système de contrôle est évalué. Ce dernier est composé principalement d'un contrôleur de haut niveau et de bas niveau (voir section 4.1). Il est facile de montrer que le contrôleur de haut niveau requiert peu de charge de calcul compte tenu du nombre de fonctions/blocs. De plus son temps d'exécution ne change pas en fonction de la variation de nombre de SM/demi-bras, car uniquement les tensions de référence des demi-bras sont générées à la sortie du contrôleur. Cependant le temps d'exécution du contrôleur de haut niveau (en charge de l'équilibrage des tensions des SMs) va être dépendant de  $N$ . Dans la section 4.2.2, trois contrôleurs de bas niveau ont été développés. Leurs temps de performance en temps réel sont donc comparés dans cette section.

Puisque les contrôles des SMs de chaque demi-bras sont indépendants l'un de l'autre (Figure 4-1), une parallélisation de ces 6 contrôleurs est facilement réalisable. De ce fait, l'évaluation des temps d'exécution d'un seul contrôle des SMs en fonction de  $N$  est suffisante. Les performances en temps réel sont analysées en faisant varier  $N$  de 50 à 400. Les résultats sont illustrés sous-forme graphique. La courbe bleue représente la limite du temps d'échantillonnage.

La Figure 5-17 présente  $N$  en fonction des temps d'exécution des Algorithmes #1 et #2. Les temps d'exécution augmentent avec le nombre de SMs et le croisement avec la courbe (bleue) limite du pas d'échantillonnage du NLC, représente donc la limite de validité du modèle en temps réel.

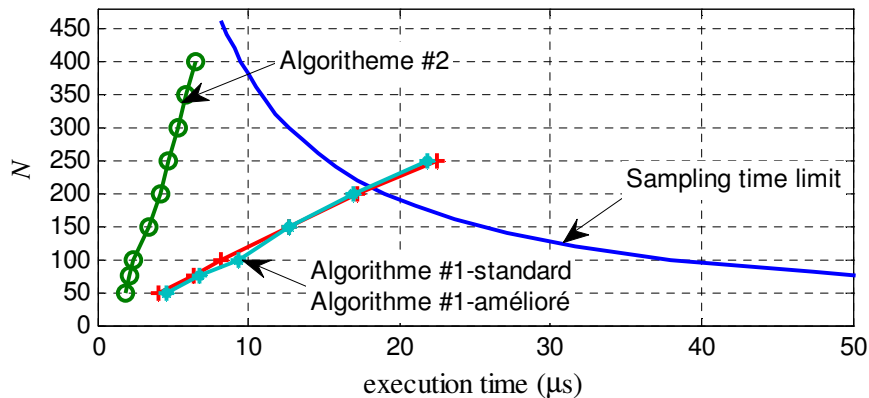


Figure 5-17:  $N$  en fonction des temps d'exécution des contrôles des SMs

Dans la Figure 5-17, les courbes en bleue claire et rouge représentent les deux variantes de l'Algorithme #1 qui est basé sur la fonction de tri, par contre la verte représente l'Algorithme #2 basé sur les fonctions max-min. Plus le nombre de SMs par demi-bras augmente, plus la différence entre les temps d'exécutions de deux algorithmes augmente. En effet, les deux variantes de l'algorithme #1 qui sont quasiment confondues, croisent la courbe bleue autour de 210 SM/demi-bras. Cette valeur représente donc la limite de l'algorithme #1 pour des simulations en temps réel. Quant à l'Algorithme #2 on remarque que les temps d'exécutions respectent les limites exigées et même au-delà de 400 SM/demi-bras. Ceci prouve que l'équilibrage des condensateurs (BCA) basé sur les fonctions max-min (qui requiert uniquement  $N$  itérations) est plus efficace, que l'algorithme basé sur la fonction de tri (qui requiert  $N \log(N)$  itérations) pour des MMCs ayant plusieurs centaines de niveaux. L'algorithme #2 peut donc être utilisé sur CPU pour des simulations en temps réel de MMCs de 401 niveaux, ce qui n'est pas le cas des deux Algorithmes #1-standard et -amélioré. L'Algorithme #2 est donc utilisé pour toutes les simulations en temps réel présentées dans ce chapitre.

### 5.3.5 Développement et performance du MMC Modèle #2 en temps réel

La performance du Modèle #2 en temps réel est étudiée dans cette section. Étant donné le nombre limité de processeurs du simulateur (12 CPU), une seule station de conversion est considérée pour cette étude. Cependant cette limitation n'a aucun impact sur l'étude de performance du modèle MMC. Le cas test est présenté dans la Figure 5-18. La stratégie de contrôle considère un P/Q-control. Le réseau AC est représenté par une source de tension équivalente avec une PCC égale à 10 GVA. La capacité de transmission du système est de 1,000 MW. Le côté DC est représenté par un câble DC modélisé à l'aide d'un modèle de câble à paramètres distribués (DPC) et une source de tension continue de 640 kV.

### 5.3.6 Modèle MMC sur CPU

Cette section analyse la faisabilité d'un modèle MMC en utilisant la technologie CPU. Tout d'abord, pour simuler un réseau électrique en temps réel, il est nécessaire de découper le réseau sur des multiprocesseurs afin de paralléliser et d'accélérer les calculs.

#### 5.3.6.1 MMC 1-CPU

Une séparation logique est présentée dans la Figure 5-18: CPU1 pour le réseau équivalent, CPU2 pour la source de tension continue, CPU3 pour le système de commande et CPU4 pour la station MMC. Cette configuration est appelée MMC 1-CPU.

Il est à noter qu'une grande quantité de données sont échangées entre CPU3 et CPU4:

- Toutes les commandes des SMs<sup>3</sup> ( $6N$  variables) sont envoyées à partir de CPU3 vers CPU4.
- Les tensions des condensateurs  $\mathbf{v}_C$  de tous les SMS ( $6N$  variables)
- Les courants de demi-bras  $\mathbf{i}_{arm}$  (6 variables)

---

<sup>3</sup> La sortie du système de contrôle peut être soit les commandes des gâchettes  $g_{1i}$  et  $g_{2i}$ , soit les signaux de commandes des SMs qui sont l'addition binaire des deux  $g_{1i}$  et  $g_{2i}$  des SMs.

- Les tensions  $v_{trs}$  et courants  $i_{trs}$  au primaire et au secondaire du transformateur ( $12$  variables) sont transmis de CPU4 vers CPU3.

Des blocs Stublines sont utilisés entre CPU1 et CPU4 afin de découper la matrice d'équations globales du circuit. D'autre part, le modèle de câble DPC permet de découper CPU4 et CPU2. De plus amples détails au sujet de ces techniques de découpage peuvent être trouvés dans [44].

Le circuit complet est donc parallélisé comme illustré dans la Figure 5-19. Les blocs **R** et **S** symbolisent les processus de réception et d'envoi des données respectivement.

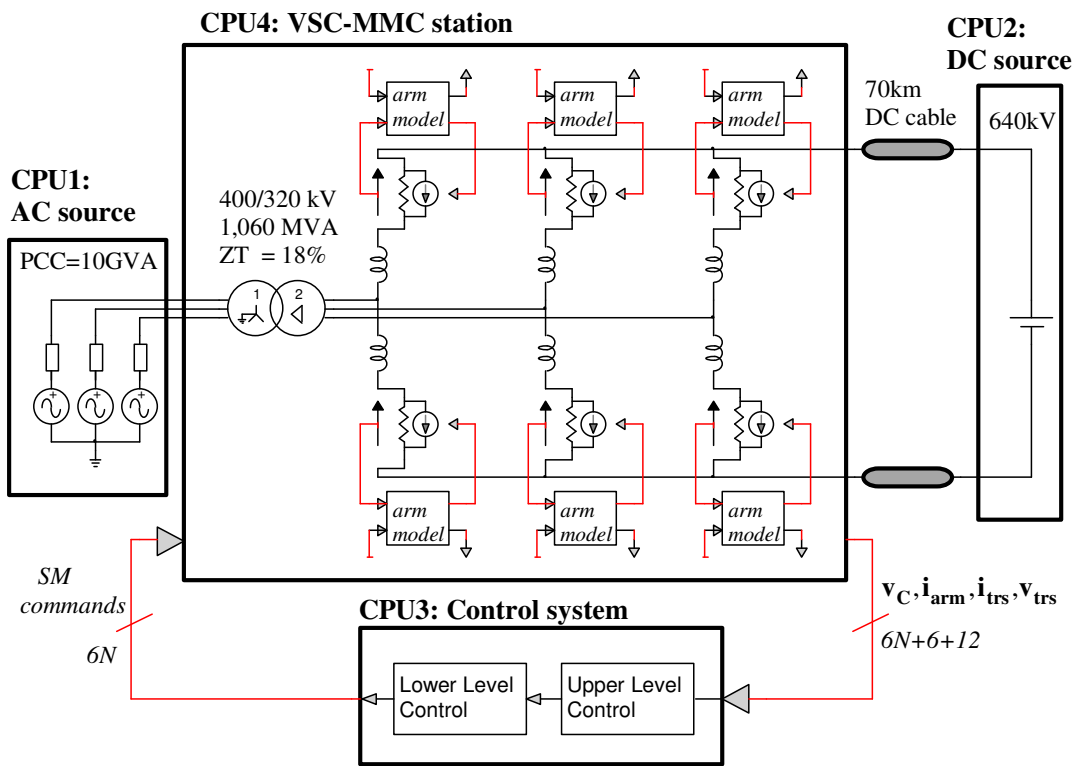


Figure 5-18: Circuit de validation du MMC et configuration du MMC 1-CPU

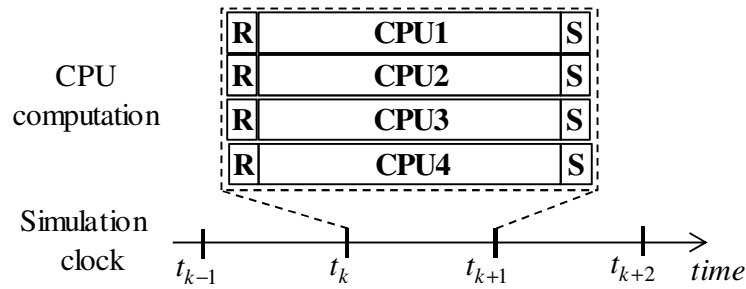


Figure 5-19: Calculs en temps réel des différents CPU avec la configuration MMC 1-CPU

### 5.3.6.2 MMC Multi-CPU

Afin d'améliorer les performances de calcul, chaque modèle de demi-bras est résout sur un CPU (Figure 5-20). Dans cette architecture, CPU4 ne contient que les circuits équivalents de Norton. La parallélisation nécessite maintenant l'introduction d'un délai d'un pas de temps artificielle. Cependant, ceci n'est pas acceptable car le circuit équivalent de Norton devrait être résout dans le même pas de temps [73]. Afin d'éviter ce retard artificiel, les CPU des demi-bras sont calculés en série avec le circuit équivalent de Norton. Néanmoins, étant donné que chaque code de demi-bras est calculé indépendamment, la parallélisation entre les demi-bras est encore possible. Ainsi, le modèle de MMC multi-CPU utilise une configuration série/parallèle de calcul comme illustré à la Figure 5-21.

### 5.3.6.3 Vérification en temps réel du modèle MMC sur CPU

L'évaluation de la précision du modèle MMC multi-CPU en temps réel est présenté dans cette section en comparant au modèle avec MMC 1-CPU (considéré comme le modèle de référence dans la présente section). Pour toutes les figures, une ligne continue bleue est utilisée pour le modèle de référence et une ligne pointillée verte pour le modèle de MMC multi-CPU. Un MMC de 101 niveaux est considéré avec un pas de temps de  $30 \mu\text{s}$ . Un défaut 3LT avec une durée de 150 ms est appliqué du côté AC (entre CPU1 et CPU4) à 10 s de temps de simulation.

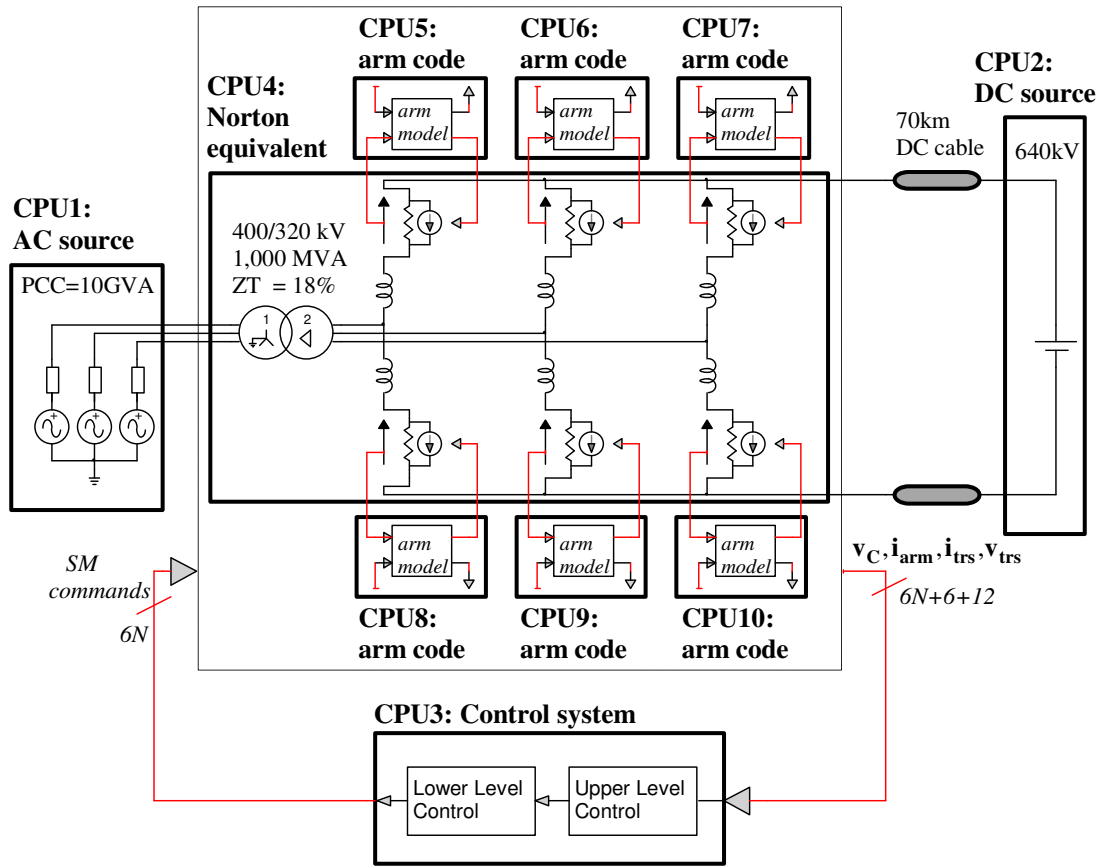


Figure 5-20: Structure du modèle MMC Multi-CPU

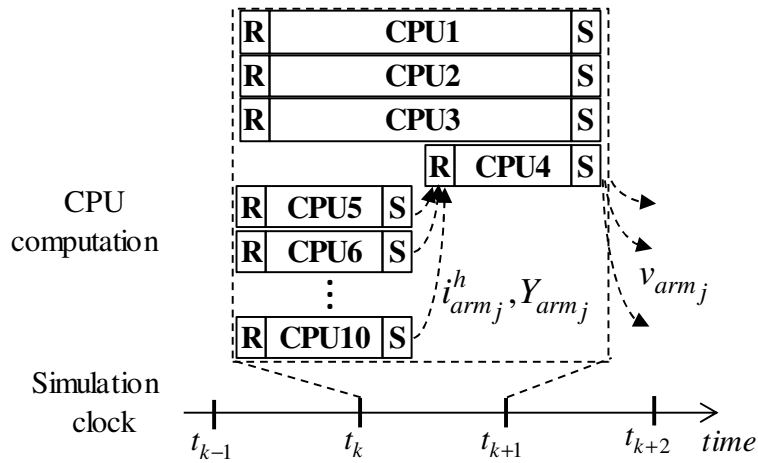


Figure 5-21: Calculs en temps réel des différents CPU avec la configuration MMC Multi-CPU

Les Figure 5-22 et Figure 5-23 comparent les réponses dynamiques de plusieurs variables du MMC. Les deux configurations (MMC 1-CPU et MMC multi-CPU) donnent des résultats

extrêmement proches. Les erreurs relatives pour les variables comparées varient entre 0.1 et 2%. Des résultats similaires sont obtenus pour tous les autres cas simulés dans la section 5.3.2.

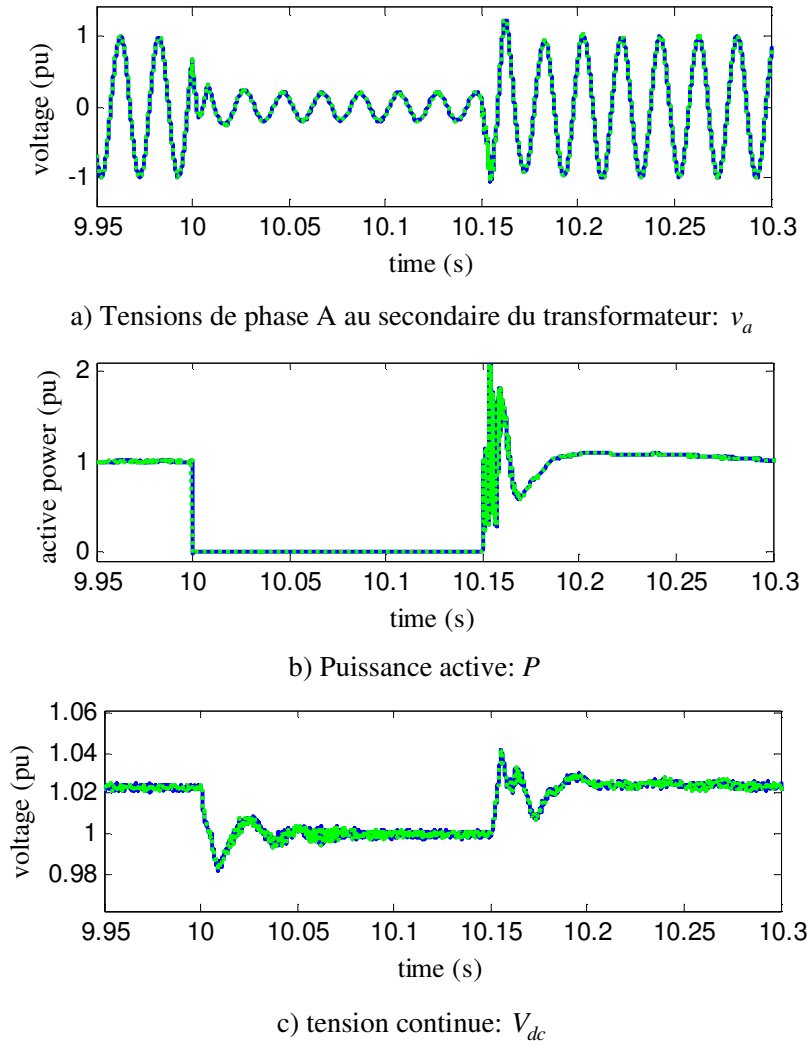


Figure 5-22: Variables externes du MMC, comparaison entre MMC 1-CPU et multi-CPU



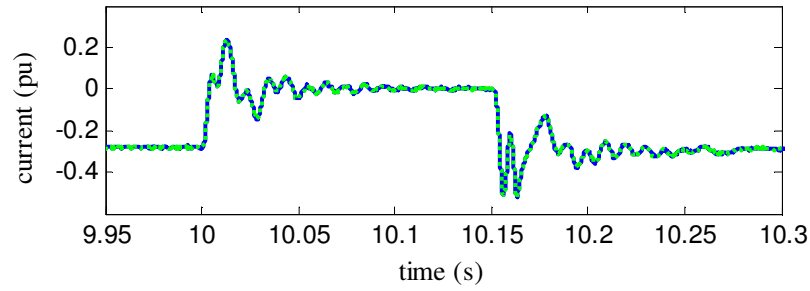
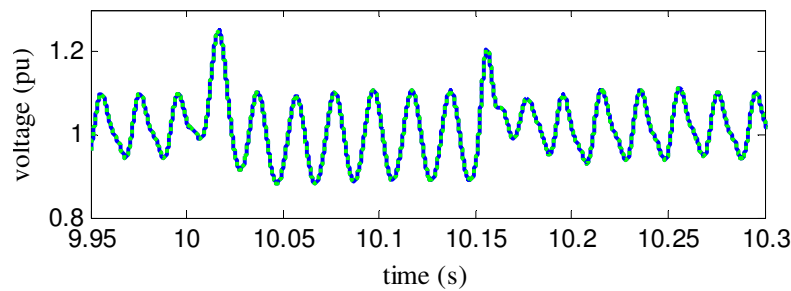
a) Courant différentiel:  $i_{diff_a}$ b) Somme de la tension des condensateurs de la phase A du demi-bras supérieur:  $v_{Ctot_{u_a}}$ 

Figure 5-23: Variables internes du MMC, comparaison entre MMC 1-CPU et multi-CPU

#### 5.3.6.4 Performance des modèles MMC sur CPU

Les performances en temps réel des configurations MMC 1-CPU et multi-CPU sont analysées en faisant varier  $N$  de 60 à 400. Pour les deux configurations, les temps d'exécution des CPU1 et CPU2 ne sont pas affectés par  $N$  et restent très faibles ( $1 \mu s$  et  $2.1 \mu s$  respectivement). D'autre part, le CPU3 qui correspond au système de commande est affecté par l'augmentation de  $N$  et ceci est principalement dû à la présence du BCA. Le ratio des temps d'exécutions entre le CPU3 et les processeurs du MMC (c.à.d. CPU5 à CPU10 de la Figure 5-20) est inférieur à 0.5, ce qui prouve que les CPUs incluant le MMC constituent le principal point faible pour la simulation en temps réel.

La Figure 5-24 présente  $N$  en fonction du temps d'exécution du MMC 1-CPU (CPU4 de la Figure 5-18). Les temps d'exécution augmentent linéairement avec le nombre de SMs et le croisement avec la courbe représentant la limite du pas d'échantillonnage du NLC a lieu à  $N = 120$ . Cette valeur représente donc la limite de validité du modèle en temps réel du MMC 1-CPU. La Figure 5-24 montre également les résultats de temps d'exécution pour la configuration MMC multi-CPU.

On remarque que la parallélisation entre les modèles de demi-bras réduit le temps d'exécution, mais le gain n'est pas de 6 fois (ce qui coïnciderait à une parallélisation parfaite), car le CPU4 de la Figure 5-20 est en série avec les CPU de 5 à 10 (voir Figure 5-21). Pour  $N$  égale 100 SMs/demi-bras, le temps d'exécution moyen pour la configuration MMC multi-CPU est autour de  $12.3 \mu\text{s}$ , tandis que la configuration MMC 1-CPU nécessite  $26.4 \mu\text{s}$ , ce qui donne un rapport de 2.15. Ce rapport augmente avec  $N$ . Le nombre maximum de SM/demi-bras qui peut être simulé en temps réel avec la configuration MMC multi-CPU est d'environ 230 SM/demi-bras.

Dans le cas où les modèles basés sur CPU doivent être utilisés dans une configuration HIL (Hardware In the Loop), où un système de commande réel est interfacé avec le simulateur numérique, la latence produite par la communication et la gestion des entrées/sorties est estimée autour de  $9 \mu\text{s}$ . Les courbes des temps d'exécution de la Figure 5-24 doivent être translatées vers la droite pour tenir compte de ce délai et le nombre maximum de SMS/demi-bras pour les simulations de MMC basé sur le CPU en temps réel est réduit désormais à 160 SM/demi-bras.

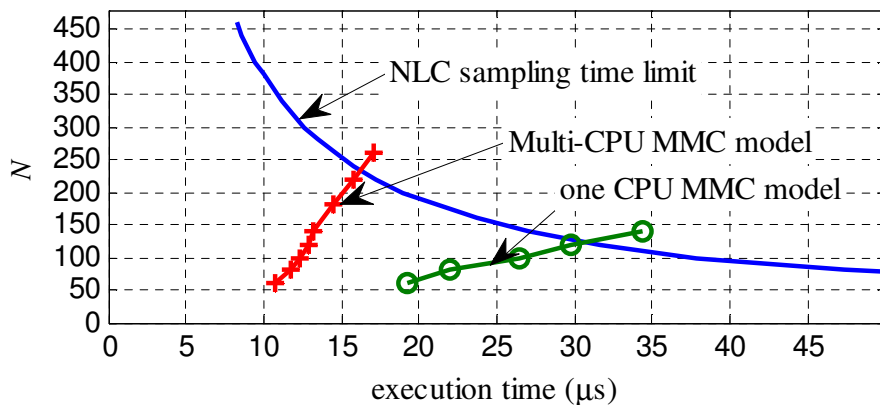


Figure 5-24:  $N$  en fonction des temps d'exécutions des MMC sur CPU

### 5.3.7 Modèle MMC sur FPGA

Au cours des dernières années, les cartes FPGA sont devenues une partie intégrante de simulateurs HIL où ils sont utilisés pour fournir un accès aux entrées/sorties numériques et analogiques ainsi que pour effectuer divers calculs [85]. La densité des cartes FPGA modernes est aujourd'hui suffisante pour gérer des dizaines à des centaines d'opérations en virgule flottante, ce qui leur permet d'offrir des dizaines de GFLOPS de puissance de calcul. Le FPGA utilisé dans

cette thèse est le Virtex 6 LX240T [86] qui vient avec la carte ML605; intégrée sur la plateforme d'OP5600.

Contrairement à d'autres technologies (CPU, DSP ou GPU), la programmation sur FPGA nécessite la conception complète d'une application spécifique appelée ASP (Application Specific Processor) pour gérer tous les calculs.

### 5.3.7.1 Implémentation du Modèle #2 sur FPGA

Le même algorithme du modèle de demi-bras implémenté sur CPU est utilisé pour le FPGA à l'exception de l'état bloqué des SMs. En effet, l'état bloqué des SMs a été omis puisque le but de cette étude se concentre sur la faisabilité d'une telle technologie. La structure du modèle MMC mise en œuvre sur le FPGA est présentée dans la Figure 5-25. CPU4 contient le circuit équivalent de Norton. À chaque pas de temps de simulation, CPU5 échange des données avec le FPGA via le protocole PCIe (Figure 5-26). Deux versions d'ASP sont développées :

- ASP1 comprend uniquement les 6 modèles de demi-bras. Il reçoit  $\mathbf{v}_{\text{arm}}$  et les commandes des SMs, et renvoie  $\mathbf{i}_{\text{arm}}^h$ ,  $\mathbf{R}_{\text{arm}}$ ,  $\mathbf{v}_C$  et  $\mathbf{i}_{\text{arm}}$  via le PCIe.
- ASP2 comprend les 6 modèles de demi-bras et le contrôleur BCA. La charge de communication (entre CPU et FPGA) est maintenant considérablement réduite puisque les  $\mathbf{v}_C$  ne sont pas envoyées à partir du FPGA pour CPU3 et les commandes des SMs ne sont pas reçues par le CPU3. Seulement  $\mathbf{i}_{\text{arm}}$  et le nombre de SMs à insérer ( $\mathbf{s}_{\text{arm}}$ ) dans chaque demi-bras sont échangées entre CPU3 et CPU5.

Les deux ASPs (ASP1 et ASP2) sont responsables du calcul de l'équivalent de Thévenin du demi-bras qui sera converti en un équivalent Norton sur CPU5. ASP2 est plus proche de l'environnement HIL (Hardware In the Loop) puisque le BCA en pratique communiquera via le FPGA avec des faibles latences des entrées/sorties.

La Figure 5-27 illustre l'architecture complète du modèle de l'ASP d'un demi-bras. Il est conçu pour traiter jusqu'à 400 SMs/demi-bras et d'être facilement configurable pour différents nombres de  $N$ . Il se compose d'un séquenceur pour contrôler l'ASP, fichiers de registres et des éléments de traitement. Les fichiers de registres sont des éléments de mémoire pour le stockage de  $\mathbf{v}_C$  et les

commandes des SMs. Chaque fichier de registre permet de lire/écrire jusqu'à 5 valeurs en même temps (traitement parallèle), conduisant à un maximum de 80 cycles d'horloge pour toutes les valeurs. Les éléments de traitement calculent les composants représentés sur la Figure 5-27 ( $R_{arm_j}$ ,  $v_{C_j}$  et  $v_{arm_j}^h$ ) et nécessitent environ 20 cycles d'horloge supplémentaires une fois la tâche de lecture est terminée. Les ASPs sont en mesure de gérer jusqu'à 6 modèles de demi-bras en traitant chaque modèle de demi-bras de manière séquentielle. Cela conduit à un pas de temps minimal de 480 cycles d'horloge (6 fois 80), donc  $2.4 \mu s$  pour un MMC (puisque la fréquence de l'horloge du système est de 200 MHz). Plus d'informations concernant l'architecture et l'implémentation de l'ASP sont fournies dans l'article [35].

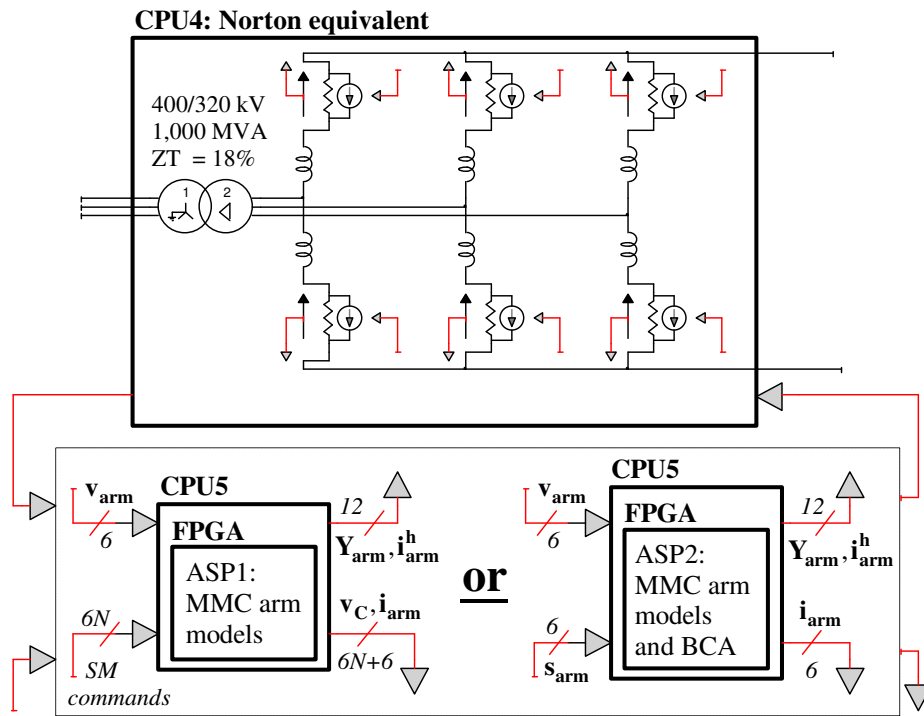


Figure 5-25: Structure du modèle MMC-FPGA avec ASP1 et ASP2

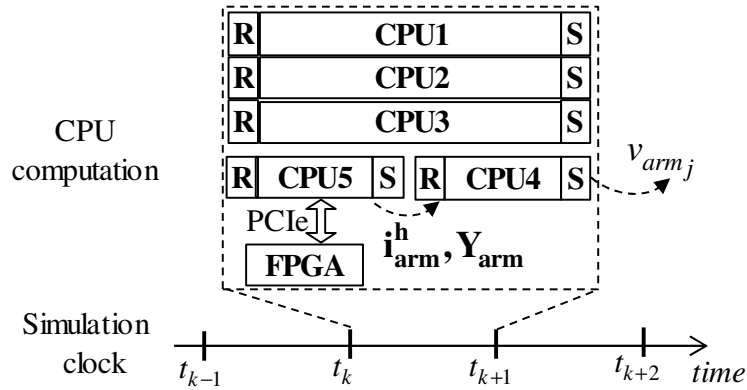


Figure 5-26: Calculs en temps réel des différents CPU avec la configuration MMC-FPGA

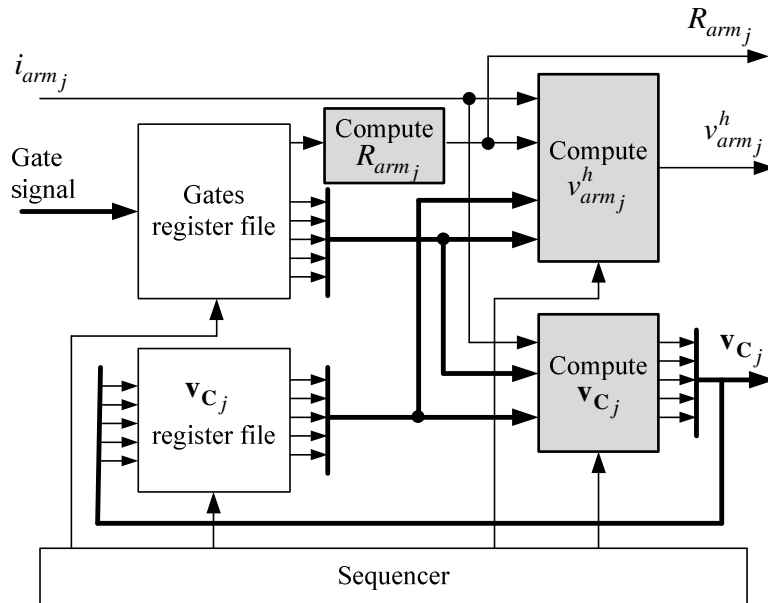


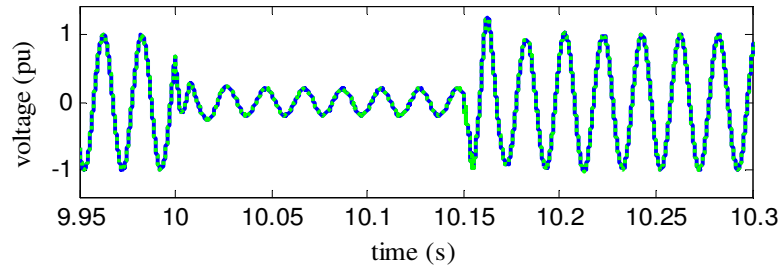
Figure 5-27: Modèle de l'ASP du demi-bras implémenté sur FPGA

### 5.3.7.2 Vérification en temps réel du modèle MMC sur FPGA

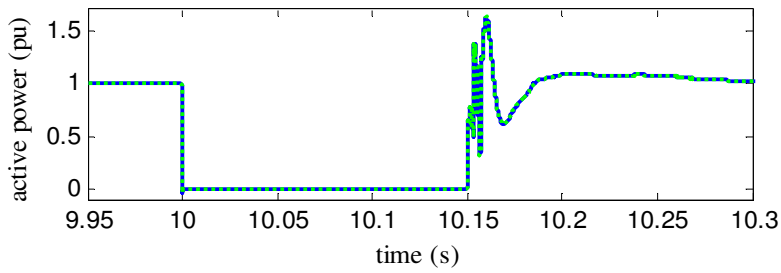
Avant d'évaluer en temps réel les performances des modèles MMC-FPGA, il est nécessaire de vérifier le modèle implémenté sur FPGA. Seuls les résultats du MMC-FPGA avec ASP2 sont présentés, car il permet de vérifier simultanément les deux modèles de MMC et le système de contrôle BCA. Le même défaut triphasé-terre de la section 5.2.3.4 est reproduit. Un MMC de 401 niveaux est simulé avec un pas de temps de  $9 \mu s$ . Les résultats du MMC-FPGA avec ASP2 (courbes pointillées vertes) représentent la simulation en temps réel, alors que le modèle de

référence (modèle MMC 1-CPU) est simulé en temps différé (ligne bleue continue), car il ne peut pas être simulé en temps réel avec autant de SMs (voir Figure 5-24).

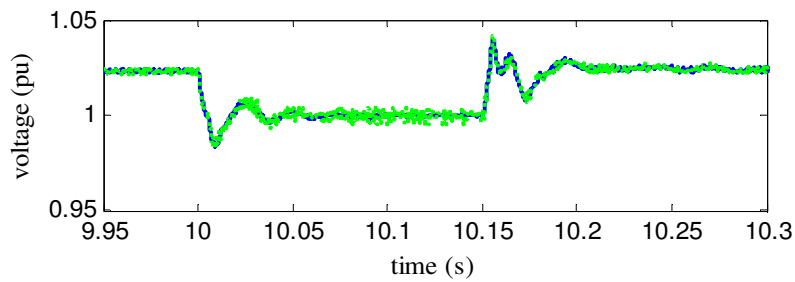
Les résultats de simulation sont montrés dans les Figure 5-28 et Figure 5-29. Les différences entre les deux modèles sont négligeables et les erreurs relatives varient entre 0.3 à 3%. Ceci est aussi confirmé par d'autres cas de simulation.



a) Tensions de phase A au secondaire du transformateur:  $v_a$



b) Puissance active:  $P$



c) Tension continue:  $V_{dc}$

Figure 5-28: Variables externes du MMC, comparaison entre MMC 1-CPU et MMC-FPGA

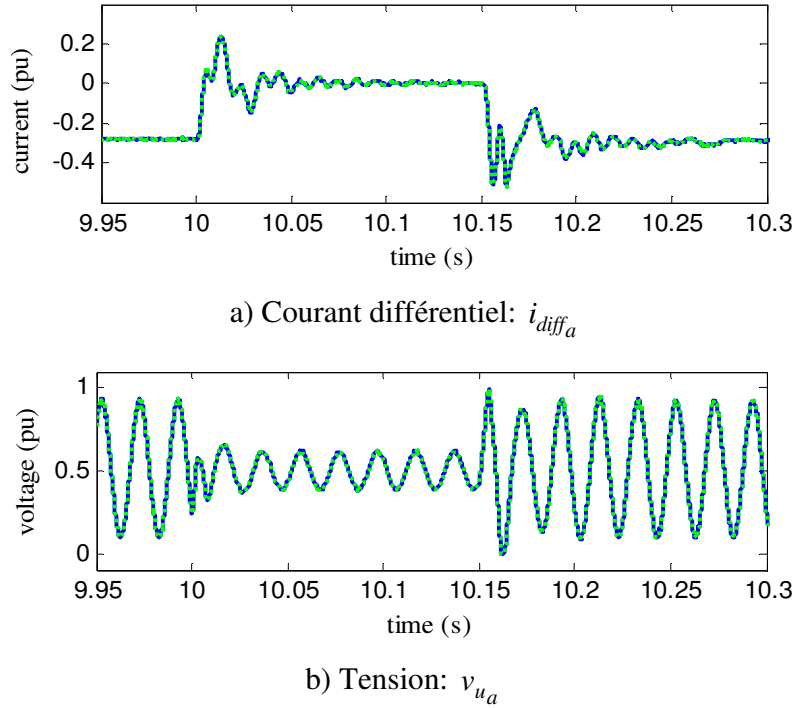


Figure 5-29: Variables internes du MMC, comparaison entre MMC 1-CPU et MMC-FPGA

### 5.3.7.3 Vérification du système de contrôle BCA

Afin de vérifier l'implémentation du BCA sur FPGA, les tensions des condensateurs de SMs:  $SM_{1u_a}$ ,  $SM_{440\ell_a}$ ,  $SM_{1\ell_a}$  et  $SM_{440\ell_a}$  sont présentés dans la Figure 5-30 en fonctionnement normal. Le Tableau 5-1 compare les valeurs maximales, moyennes et minimales des tensions de condensateur et le nombre de commutation-par-cycle pour les même quatre SMs. Le modèle de FPGA-ASP2 donne des résultats très proches du modèle CPU. Les erreurs relatives pour les tensions de condensateur est inférieure à 0.1%. Le nombre moyen de commutation-par-cycle est moins de 0.5%, ce qui prouve la bonne précision de l'implémentation du BCA sur FPGA.

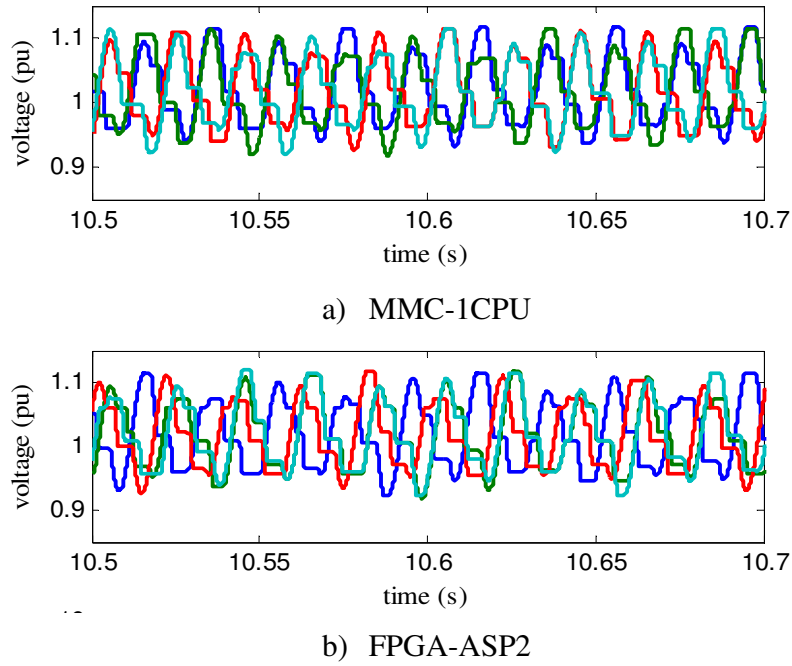


Figure 5-30: Tensions des condensateurs des  $SM_{1u_a}$ ,  $SM_{1l_a}$ ,  $SM_{440u_a}$  et  $SM_{440l_a}$ .

Tableau 5-1 : Vérification du contrôleur BCA sur FPGA

		MMC-1CPU	MMC-FPGA avec ASP2	Erreur relative (%)
Tensions des condensateurs (pu)	Max	1.1188	1.1187	0.0064
	Moyenne	1.0167	1.0176	0.0847
	Min	0.9138	0.9139	0.0215
Nombre de commutation des SMs/période	Max	8	8	0
	Moyenne	4.9935	4.9685	0.4998
	Min	1.25	1.25	0

#### 5.3.7.4 Performance en temps réel des modèles implémentés sur FPGA

Les performances en temps réel sont évaluées dans la Figure 5-31. Pour les deux ASPs, le FPGA fonctionne à  $2.4 \mu s$ , cependant les temps d'exécution représentés à la Figure 5-31 comprennent le CPU4 et CPU5 car ils sont en série (Figure 5-26). Les résultats indiquent que le modèle de MMC-FPGA avec ASP1 a une mauvaise performance en comparaison avec les modèles sur CPU. Ceci s'explique par la quantité importante de données qui doit être échangée entre la carte FPGA et le CPU5 de la Figure 5-25 qui sont connectés via le lien PCIe ( $2 \times 6N + 6$  valeurs). Ce



lien a un temps de latence plus élevé que celui d'une communication sur la base de la mémoire partagée. Toutefois, en pratique, dans le cadre de la simulation HIL, cette situation n'est pas réaliste car le contrôleur est relié physiquement au simulateur via la carte FPGA.

La performance en temps réel du modèle de MMC-FPGA avec ASP2 est la meilleure parmi celles rapportées jusqu'à présent. Il est capable d'atteindre un temps d'exécution de  $9\ \mu\text{s}$ . En outre, le temps d'exécution ne dépend pas du nombre de SMs car le nombre des données échangées entre CPU et FPGA est constant (voir configuration Figure 5-25). De plus, la configuration MMC-FPGA avec ASP2 est plus réaliste, dans le cadre d'une simulation HIL, car les signaux des gâchettes sont fournis par un système de commande physique à travers la carte FPGA.

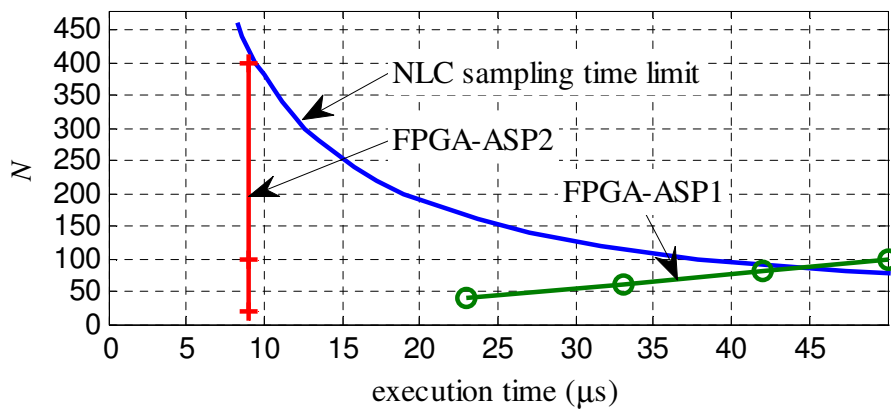


Figure 5-31 :  $N$  en fonction des temps d'exécutions des MMC sur FPGA

## 5.4 Conclusion

Ce chapitre a présente une étude de faisabilité de la simulation en temps réel d'un modèle de MMC variant de 51 à 401 niveaux. Il a été montré que le modèle de MMC sur CPU est limité à 231 niveaux. Cette limite est réduite à 161 niveaux pour les simulations HIL à cause des latences dans les communications et les entrées/sorties.

Ce chapitre a également présenté deux configurations de modèle de MMC à base de FPGA. Dans la première configuration (ASP1) le nombre élevé des données échangées entre les modèles de demi-bras et le système de contrôle ne permet pas d'obtenir des performances acceptables. Dans la deuxième configuration (ASP2) le BCA est implémenté sur le FPGA et le meilleur temps d'exécution de  $9\ \mu\text{s}$  est obtenu. En outre, le modèle MMC implémenté sur FPGA fonctionne à  $2.4\ \mu\text{s}$ . Ces temps d'exécution ne dépendent pas du nombre de niveaux de MMC. Aucune

latence supplémentaire n'est prévue pour la simulation HIL, puisque les modèles de demi-bras sont codés sur le FPGA.

## CHAPITRE 6 ÉTUDE D'INTERACTION DES LIAISONS HVDCS INTEGRÉES DANS UN RÉSEAU AC

### 6.1 Introduction

L'interaction entre des liaisons HVDC-VSC intégrées dans un réseau AC constitue le sujet d'étude de ce chapitre. Il existe différents outils de simulation pour l'évaluation de la stabilité des réseaux électriques. En général, les simulations de type EMT sont utilisées pour évaluer la réponse du système soumis à des grandes perturbations. Les modèles requis pour ce type de simulation doivent être précis afin de représenter les non-linéarités du système. Les programmes de type EMT sont utilisés pour représenter avec précision les transitoires électromagnétiques, ils sont également bien adaptés pour simuler des dispositifs d'électronique de puissance. Pour des études liées aux liaisons HVDC, les modèles de type EMT sont considérées comme des modèles de référence pour valider des modèles simplifiés. Même si les modèles de type EMT peuvent servir à étudier les transitoires électromécaniques, ils sont en général moins performants au niveau des temps de calcul et il est possible d'appliquer des méthodes et modèles plus simplifiés pour ce type de phénomène ou pour des comportements dynamiques plus lents de façon générale.

Une autre approche est basée sur l'analyse de type petit signal [89]. Cette approche se base sur la linéarisation du modèle autour d'un point de fonctionnement. De ce fait, le principal avantage est la possibilité d'utiliser les théories de contrôles développés pour les systèmes linéaires. Des petites perturbations autour du point de fonctionnement peuvent donc être appliquées afin d'étudier la stabilité du système. Une fois que ces équations d'états linéaires sont déduites, il devient possible d'extraire les valeurs propres du système et ainsi analyser le système avec les outils standards comme les lieux des racines, les facteurs de participation, etc. Cependant, puisque ces modèles linéarisés sont basés sur des simplifications et des réductions non négligeables, il est important de valider les résultats avec l'approche EMT. Par exemple, il a été démontré dans [90] que les conclusions tirées de l'analyse quasi-statique de type phaseur ne sont pas toujours en accord avec les résultats obtenus par des simulations avec des programmes de type EMT.

Dans ce chapitre, seules les interactions entre les stations de liaisons HVDC-VSC sont prises en compte. Les interactions entre les machines tournantes et les liaisons HVDC ne sont pas étudiées. De ce fait, les machines sont simplement modélisées par une source équivalente de Thévenin.

Ce chapitre présente d'abord une étude statique sur la transmission de puissance entre le réseau et une station VSC. La linéarisation d'une liaison HVDC de type VSC-MMC et des études de type petit signal sont élaborées par la suite. Enfin, des études paramétriques de type EMT sont présentées afin d'évaluer l'influence des lignes de transmissions AC en parallèle et en série sur le risque d'interactions entre des liaisons HVDC.

## 6.2 Étude statique d'une liaison HVDC-VSC

Dans cette section une étude de stabilité est présentée. Le but de cette section est d'élaborer une approche simple afin de déterminer les points de fonctionnement stables d'une liaison à courant continu. Le principe de fonctionnement d'un VCSC en statique a été élaboré dans la section 2.4. Suivant la configuration du réseau, la puissance de court-circuit de ce dernier peut varier. Pour une puissance active transmissible au réseau égale à 1 pu, la courbe P-V présentée à la Figure 2-10 permet de déterminer les puissances réactives qui garantissent la stabilité du réseau. En considérant le circuit présenté à Figure 2-8; si  $V_S$  est fixée à 1 pu, sachant que  $X_{station} = X_{trf} + X_{arm} / 2 = 0.18 + 0.05 = 0.23$  pu (Figure 2-5 et Figure 2-7) et que  $X = X_{station} + X_{grid}$  on retrouve les résultats suivants :

Pour un SCR = 1

$$\begin{aligned} X_{grid} &= 1/1 \\ |P| X / V^2 &= 1(0.23 + X_{grid}) = 1.23 \end{aligned} \quad (6.1)$$

La valeur 1.23 se trouve en dehors de la courbe P-V (Figure 2-10). En se basant sur la Figure 2-10, une puissance réactive supérieure à 0.5 pu doit être transmise vers le réseau afin de garantir la stabilité du système. Pour fournir une telle puissance réactive cela dépendra de la topologie VSC utilisée, puisque cela va requérir une tension  $V_{conv}$  supérieure à la tension du réseau  $V_S$  (Figure 2-8). Or la tension du convertisseur est liée à la tension DC. Ainsi, pour les topologies de VSC ayant des diodes antiparallèles comme le MMC à demi pont (Figure 2-5) l'amplitude de la tension  $V_{conv}$  doit rester inférieure à la tension  $V_{dc} / 2$  afin d'éviter la conduction des diodes

antiparallèles du  $SI$  involontairement [92]. Ceci représente la limite du convertisseur MMC à demi pont, limitant, ainsi, la puissance réactive autour de 0.3 et 0.4 pu [93].

Pour un SCR = 2.5

$$\begin{aligned} X_{grid} &= 1 / 2.5 \\ |P|X / V^2 &= 1(0.23 + X_{grid}) = 0.63 \end{aligned} \quad (6.2)$$

Afin de garantir une bonne stabilité du système, pour un réseau faible, une puissance réactive égale à  $Q_R = -0.3$  est conseillée (voir Figure 2-10).

Pour un SCR = 10

$$\begin{aligned} X_{grid} &= 1 / 10 \\ |P|X / V^2 &= 1(0.23 + X_{grid}) = 0.33 \end{aligned} \quad (6.3)$$

Pour un réseau fort, on remarque que la puissance réactive n'est plus requise ( $Q=0$ , voir Figure 2-10) pour garantir une bonne stabilité de la tension.

## 6.3 Linéarisation d'une liaison HVDC-VSC

Dans cette partie, la linéarisation des différentes composantes d'une liaison HVDC est présentée.

### 6.3.1 Linéarisation du modèle VSC-MMC

Dans le Chapitre 3, plusieurs modélisations du convertisseur MMC ont été présentées. Afin d'effectuer une étude dynamique en petits signaux, une modélisation en valeur moyenne (AVM) d'une station VSC-MMC est requise. Dans cette étude le Modèle #4 - Étape #3 (présenté à la section 3.5.3) a été choisi. Par ailleurs, on considère un système de contrôle sans régulation des énergies des demi-bras c.à.d. le Contrôle-global #1 (présenté à la section 4.1.2). Ces choix nous permettent ainsi, de limiter le nombre de variables d'états du système. Le modèle linéaire est déduit à partir de la Figure 3-14 et Figure 2-7.

Les équations (4.4) dans le référentiel  $dq$  représentent le côté AC. En réorganisant ces équations on a :

$$\begin{cases} \frac{di_d}{dt} = -\frac{R_{ac}}{L_{ac}} i_d + \frac{1}{L_{ac}} v_{PCCd} - \frac{1}{L_{ac}} v_{convac_d} + \omega i_q \\ \frac{di_q}{dt} = -\frac{R_{ac}}{L_{ac}} i_q + \frac{1}{L_{ac}} v_{PCCq} - \frac{1}{L_{ac}} v_{convac_q} - \omega i_d \end{cases} \quad (6.4)$$

où  $L_{ac} = L_{trf} + L_{arm}/2$  et  $R_{ac} = R_{trf} + R_{arm}/2$

Pour le côté DC, les équations peuvent être déduites à partir de la Figure 3-14:

$$\frac{dI_{dc}}{dt} = \frac{(V_{Ceq} - V_{dc})}{L_{dc}} - \frac{R_{dc}}{L_{dc}} I_{dc} \quad (6.5)$$

$$\frac{dV_{Ceq}}{dt} = \frac{(I_{conv} - I_{dc})}{C_{dc}} \quad (6.6)$$

où  $L_{dc} = 2L_{arm}/3$ ,  $R_{dc} = 2R_{arm}/3$ ,  $C_{dc} = 6C_{arm}$  et  $V_{Ceq} = \bar{v}_{Ctot3}$

Le circuit résultant des équations(6.4), (6.5) et (6.6) se présente de la façon suivante:

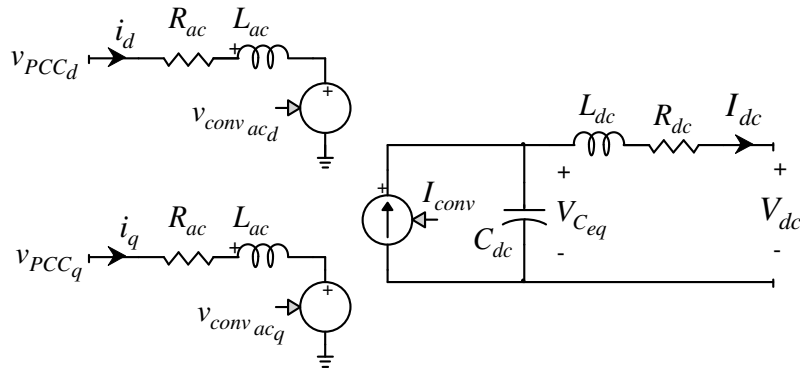


Figure 6-1: Modèle linéarisé d'une station MMC

À partir de la conservation d'énergie:

$$P_{dc} = P_{ac} \Leftrightarrow I_{conv} V_{Ceq} = \sum_{j=a,b,c} v_{convac_j} i_j \quad (6.7)$$

Dans le référentiel  $dq$ :

$$I_{conv} = \frac{v_{convac_d} i_d + v_{convac_q} i_q}{V_{Ceq}} \quad (6.8)$$

En insérant l'équation (6.8) dans (6.6), on obtient :

$$\frac{dV_{Ceq}}{dt} = \frac{1}{C_{dc}} \left( \frac{v_{convac_d} i_d + v_{convac_q} i_q}{V_{Ceq}} \right) - \frac{I_{dc}}{C_{dc}} \quad (6.9)$$

Cette équation différentielle (6.9) n'est pas linéaire, une linéarisation autour d'un point de fonctionnement est donc nécessaire. La série de Taylor de 1<sup>er</sup> ordre est donc utilisée :

$$\frac{dz}{dt} = f(x, y) \Rightarrow \frac{d\Delta z}{dt} = \frac{dz}{dx} \Delta x + \frac{dz}{dy} \Delta y \quad (6.10)$$

$$\begin{aligned} \frac{d\Delta V_{Ceq}}{dt} = & \frac{i_d}{C_{dc} V_{Ceq0}} \Delta v_{convac_d} + \frac{i_q}{C_{dc} V_{Ceq0}} \Delta v_{convac_q} + \frac{v_{PCCd}}{C_{dc} V_{Ceq0}} \Delta i_d + \dots \\ & + \frac{v_{PCCq}}{C_{dc} V_{Ceq0}} \Delta i_q - \left( \frac{v_{convac_d0} i_{d0} + v_{convac_q0} i_{q0}}{C_{dc} V_{Ceq0}^2} \right) \Delta V_{Ceq} - \frac{1}{C_{dc}} \Delta I_{dc} \end{aligned} \quad (6.11)$$

où l'indice 0 implique la valeur initiale de la variable.

En procédant de la même façon, les équations différentielles (6.4) et (6.5) sont converties en petits-sinaux. Le système d'équation linéaire d'une station VSC-MMC est déduit:

$$\left\{ \begin{aligned} \frac{d\Delta i_d}{dt} &= -\frac{R_{ac}}{L_{ac}} \Delta i_d + \frac{1}{L_{ac}} \Delta v_{PCCd} - \frac{1}{L_{ac}} \Delta v_{convac_d} + \omega \Delta i_q \\ \frac{d\Delta i_q}{dt} &= -\frac{R_{ac}}{L_{ac}} \Delta i_q + \frac{1}{L_{ac}} \Delta v_{PCCq} - \frac{1}{L_{ac}} \Delta v_{convac_q} - \omega \Delta i_d \\ \frac{d\Delta V_{Ceq}}{dt} &= \frac{i_d}{C_{dc} V_{Ceq0}} \Delta v_{convac_d} + \frac{i_q}{C_{dc} V_{Ceq0}} \Delta v_{convac_q} + \frac{v_{PCCd}}{C_{dc} V_{Ceq0}} \Delta i_d + \dots \\ &+ \frac{v_{PCCq}}{C_{dc} V_{Ceq0}} \Delta i_q - \left( \frac{v_{convac_d0} i_{d0} + v_{convac_q0} i_{q0}}{C_{dc} V_{Ceq0}^2} \right) \Delta V_{Ceq} - \frac{1}{C_{dc}} \Delta I_{dc} \\ \frac{d\Delta I_{dc}}{dt} &= \frac{1}{L_{dc}} \Delta V_{Ceq} - \frac{1}{L_{dc}} \Delta V_{dc} - \frac{R_{dc}}{L_{dc}} \Delta I_{dc} \end{aligned} \right. \quad (6.12)$$

Sous forme matricielle :

$$\begin{cases} \dot{x} = Ax + B_{ac}u_{ac} + B_{dc}u_{dc} + B_{ctrl}u_{ctrl} \\ y_{ac} = C_{ac}x \\ y_{dc} = C_{dc}x \\ y_{ctrl} = C_{ctrl}x + D_{ctrl}u_{ac} \end{cases} \quad (6.13)$$

avec :

$$\begin{aligned} x &= [\Delta i_d \quad \Delta i_q \quad \Delta V_{Ceq} \quad \Delta I_{dc}]^T \\ u_{ac} &= [\Delta v_{PCCd} \quad \Delta v_{PCCq}]^T; u_{dc} = [\Delta V_{dc}]; u_{ctrl} = [\Delta v_{convac_d} \quad \Delta v_{convac_q}]^T \\ y_{ac} &= [\Delta i_d \quad \Delta i_q]^T; y_{dc} = [\Delta I_{dc}]; y_{ctrl} = [\Delta P \quad \Delta V_{dc} \quad \Delta Q \quad \Delta i_d \quad \Delta i_q]^T \end{aligned} \quad (6.14)$$

Les détails des matrices du système sont donnés dans l'Annexe H.

La représentation schématique du modèle en petits signaux d'une station VSC-MMC est donnée à la Figure 6-2.

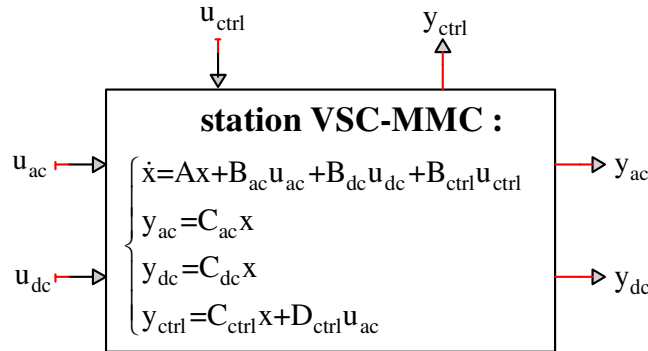


Figure 6-2 : Modèle petit signal d'une station VSC-MMC

Notons qu'une représentation graphique du modèle à l'aide de Simulink peut être réalisée afin de permettre une meilleure visualisation du système, voir [94].

### 6.3.2 Changement de référence

Le référentiel  $dq$  de la station de conversion est synchronisée avec le référentiel  $RI$  (Réal-Imaginaire) du réseau AC à l'aide d'un PLL (Phase-Locked Loop). Afin de prendre en compte la dynamique de la PLL, la variable  $\delta_{PLL}$  qui représente l'angle de déphasage entre les deux repères doit être mise en évidence. Il a été décidé d'aligner l'axe  $q$  avec l'axe imaginaire  $I$ . De



ce fait, le changement de référence entre le réseau AC et celui de la station peut être représenté comme suit [38]:

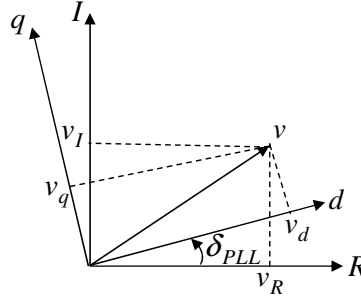


Figure 6-3 : Changement de référence de  $RI$  à  $dq$

La conversion de  $dq$  à  $RI$  :

$$v_d + jv_q = (\cos \delta_{PLL} - j \sin \delta_{PLL})(v_R + jv_I) \quad (6.15)$$

En linéarisant l'équation (6.15), on obtient le changement de référence de  $RI$  à  $dq$  des tensions:

$$\begin{bmatrix} \Delta v_d \\ \Delta v_q \end{bmatrix} = \begin{bmatrix} \cos \delta_{PLL0} & \sin \delta_{PLL0} \\ -\sin \delta_{PLL0} & \cos \delta_{PLL0} \end{bmatrix} \begin{bmatrix} \Delta v_R \\ \Delta v_I \end{bmatrix} + \begin{bmatrix} -v_{R0} \sin \delta_{PLL0} & v_{I0} \cos \delta_{PLL0} \\ -v_{R0} \cos \delta_{PLL0} & -v_{I0} \sin \delta_{PLL0} \end{bmatrix} \Delta \delta_{PLL} \quad (6.16)$$

De la même façon, le changement de référence pour le courant peut être déduit :

$$\begin{bmatrix} \Delta i_R \\ \Delta i_I \end{bmatrix} = \begin{bmatrix} \cos \delta_{PLL0} & -\sin \delta_{PLL0} \\ \sin \delta_{PLL0} & \cos \delta_{PLL0} \end{bmatrix} \begin{bmatrix} \Delta i_d \\ \Delta i_q \end{bmatrix} + \begin{bmatrix} -i_{d0} \sin \delta_{PLL0} & -i_{q0} \cos \delta_{PLL0} \\ i_{d0} \cos \delta_{PLL0} & -i_{q0} \sin \delta_{PLL0} \end{bmatrix} \Delta \delta_{PLL} \quad (6.17)$$

### 6.3.3 Simplification du contrôleur VSC-MMC

Pour cette étude d'interaction, le Contrôle-global #1 (section 4.1.2) est considéré. La modélisation en valeur moyenne (AVM) du MMC permet de négliger les variables internes du convertisseur. De ce fait, le système de commande lié au courant différentiel et ainsi qu'à l'équilibrage des tensions des condensateurs des SMs sont négligés. Seules les boucles de courant interne (Inner control) et externe (Outer control) sont modélisées. De plus, la linéarisation du modèle autour d'un point de fonctionnement, nous permet de simplifier le système de commande afin de prendre en compte uniquement la partie linéaire du contrôleur. Voici les simplifications apportées :

- Suppression des fonctions anti-windup au niveau des boucles PI [31] (voir section 4.1.1)

- Suppression des saturations et des limiteurs du courant de référence (Figure 4-8)
- Linéarisation et simplification de la boucle à verrouillage de phase PLL
- Suppression des transformations  $abc-dq$
- La division par la tension  $V_{ac}$ , afin de convertir les puissances en courants, est linéarisée (Figure 4-7).

Dans les Figure 6-4, la structure du système de contrôle utilisé pour les études en petits-signaux est présentée. Pour une liaison point-à-point, une station contrôle la puissance active ( $P$ -control) et l'autre contrôle la tension continue ( $V_{dc}$ -control). Par ailleurs, les deux stations peuvent réguler indépendamment la puissance réactive ( $Q$ -control) ou la tension AC ( $V_{ac}$ -control).

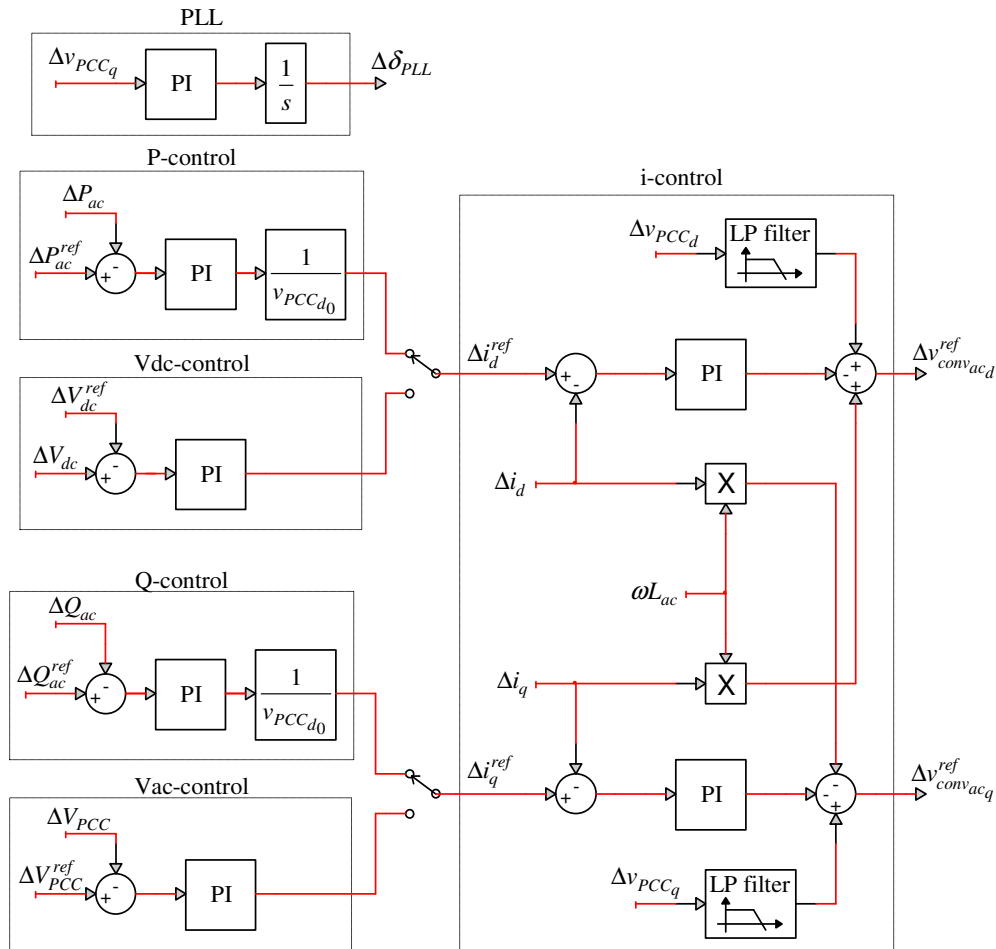


Figure 6-4 : Structure du contrôleur en petits-signaux

Afin de linéariser le PLL, quelques boucles et composantes du modèle non-linéaire ont dû être négligées : la conversion  $abc-dq$ , l'estimation de la fréquence moyenne et les saturations. Le modèle linéarisé de la PLL est présenté à la Figure 6-4. Ces simplifications engendrent une légère erreur de modélisation qui sera évaluée dans la section suivante.

Ci-dessous, les détails des gains des contrôleurs et des filtres:

Tableau 6-1 : Valeurs des contrôleurs PI

Type de contrôleur :	Nome des variables d'état	Constante de temps	Taux d'amortissement ( $\zeta$ )
Inner control : $i$ -control	$i_{dCtrl}$ et $i_{qCtrl}$	10 ms	0.7
Outer control : $P$ -control, $V_{dc}$ -control, $Q$ -control et $V_{ac}$ -control	$P_{Ctrl}$ , $V_{dcCtrl}$ , $Q_{Ctrl}$ et $V_{acCtrl}$	100 ms	0.7
PLL	$PLL$	100 ms	1

Tableau 6-2 : Valeurs des filtres passe-bas

Filtre :	Nome des variables d'état	Fréquence de coupure	Taux d'amortissement ( $\zeta$ )
Filtre passe-bas du $i$ -control	$LP_{i_{dCtrl}}$ et $LP_{i_{qCtrl}}$	10 Hz	0.7
Filtre passe-bas du PLL	$LP_{PLL}$	4.77 Hz	0.7

### 6.3.4 Structure générale d'une station VSC-MMC

À partir des différents composants élaborés dans les parties précédentes, on peut obtenir le modèle linéarisé d'une station VSC-MMC. Les variables d'entrées/sorties de la station, côtés AC et DC sont donc :

$$\begin{aligned} u_{acRI} &= [\Delta e_R \quad \Delta e_I]^T ; u_{dc} = [\Delta V_{dc}] ; \\ y_{acRI} &= [\Delta i_R \quad \Delta i_I]^T ; y_{dc} = [\Delta I_{dc}] ; \end{aligned} \quad (6.18)$$

Ci-dessous la structure générale d'une station VSC-MMC linéarisée :

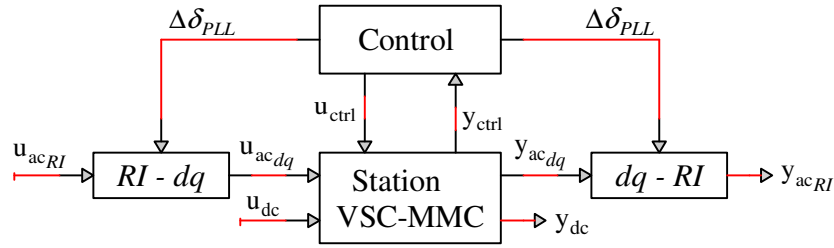


Figure 6-5 : Structure générale d'une station VSC-MMC linéarisé

On remarque que le modèle complet d'une station VSC-MMC reçoit uniquement les tensions AC et DC et envoie les courants AC et DC.

### 6.3.5 Modélisation en petits signaux d'un câble en PI

La modélisation en petits-sigaux du câble peut être réalisée à partir d'un modèle de câble en PI. L'utilisation d'une seule section en PI entraîne une imprécision non négligeable à partir de 10Hz [49] et [91]. Afin de s'affranchir de ce problème et obtenir une bonne approximation, plusieurs sections en PI connectés en série [49] doivent être utilisées. Cependant, cette solution engendrera un plus grand nombre de variables d'états à analyser. Afin de contourner ce problème, dans [91], un modèle de câble avec une seule section en PI, incluant le couplage entre l'âme et l'écran, a été développé. Ce modèle permet ainsi de limiter le modèle le nombre de variables d'états à quatre, tout en maintenant une bonne approximation du câble jusqu'à 100Hz.

Le modèle de câble en PI incluant le couplage entre l'âme et l'écran a donc été choisi pour représenter le câble DC :

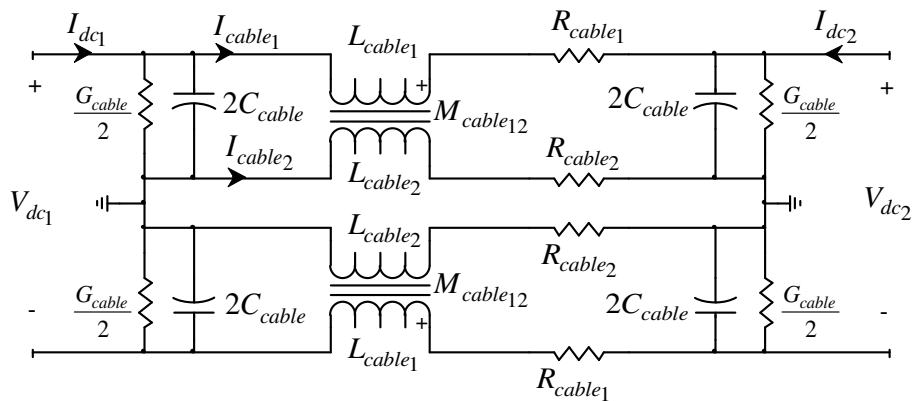


Figure 6-6 : Modèle de câble en PI incluant le couplage entre l'âme et l'écran

Les équations d'états du modèle sont données ci-dessous

$$\left\{ \begin{array}{l} \frac{dV_{dc1}}{dt} = \frac{1}{C_{cable}} (I_{dc1} - I_{dc_{cable}}) - \frac{G_{cable}}{C_{cable}} V_{dc1} \\ \frac{dV_{dc2}}{dt} = \frac{1}{C_{cable}} (I_{dc2} + I_{dc_{cable}}) - \frac{G_{cable}}{C_{cable}} V_{dc2} \\ \frac{dI_{cable1}}{dt} = \frac{L_{cable2}}{L_{cable1}L_{cable2} - M_{cable12}^2} (V_{dc1} - V_{dc2}) - \\ \quad \dots \frac{R_{cable1}L_{cable2}}{L_{cable1}L_{cable2} - M_{cable12}^2} I_{cable1} + \frac{R_{cable2}M_{cable12}}{L_{cable1}L_{cable2} - M_{cable12}^2} I_{cable2} \\ \frac{dI_{cable2}}{dt} = \frac{M_{cable12}}{L_{cable1}L_{cable2} - M_{cable12}^2} (V_{dc2} - V_{dc1}) + \\ \quad \dots \frac{R_{cable1}M_{cable12}}{L_{cable1}L_{cable2} - M_{cable12}^2} I_{cable1} - \frac{R_{cable2}L_{cable1}}{L_{cable1}L_{cable2} - M_{cable12}^2} I_{cable2} \end{array} \right. \quad (6.19)$$

Le modèle petit signal peut donc être représenté de la manière suivante :

$$\begin{cases} \dot{x}_{cable} = A_{cable} x_{cable} + B_{cable} u_{cable} \\ y_{cable} = C_{cable} x_{cable} \end{cases} \quad (6.20)$$

avec :

$$\begin{aligned} x_{cable} &= [\Delta V_{dc1} \quad \Delta V_{dc2} \quad \Delta I_{cable1} \quad \Delta I_{cable2}]^T \\ u_{cable} &= [\Delta I_{dc1} \quad \Delta I_{dc2}]^T \\ y_{cable} &= [\Delta V_{dc1} \quad \Delta V_{dc2}]^T \end{aligned} \quad (6.21)$$

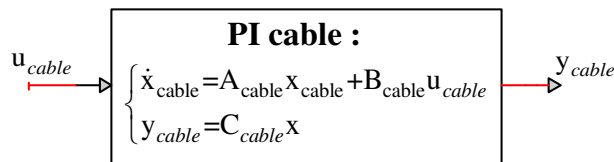


Figure 6-7 : Représentation en bloc du modèle du câble en PI

On peut remarquer que les variables d'entrées du câble correspondent aux variables de sortie DC des stations VSC et de même les entrées de ces dernières sont identiques aux sorties du câble.

### 6.3.6 Modélisation en petits signaux d'un réseau AC

Le réseau AC est modélisé à l'aide des impédances de lignes [89] puisque la linéarisation du système prend en compte uniquement les basses fréquences environ de 1 à 100Hz. L'idée générale est présentée comme suit :

$$[V]=[Z][I] \quad (6.22)$$

En nombre complexe cela donne:

$$V_R + jV_I = (R + jX)(I_R + jI_I) \quad (6.23)$$

La matrice d'impédance en petits signaux d'un réseau AC est :

$$\begin{bmatrix} \Delta v_{R1} \\ \Delta v_{I1} \\ \dots \\ \Delta v_{Ri} \\ \Delta v_{Ii} \end{bmatrix} = \begin{bmatrix} R_{11} & -X_{11} & \dots & R_{1i} & -X_{1i} \\ X_{11} & R_{11} & \dots & X_{1i} & R_{1i} \\ \dots & \dots & \dots & \dots & \dots \\ R_{i1} & -X_{i1} & \dots & R_{ii} & -X_{ii} \\ X_{i1} & R_{i1} & \dots & -X_{ii} & R_{ii} \end{bmatrix} \begin{bmatrix} \Delta i_{R1} \\ \Delta i_{I1} \\ \dots \\ \Delta i_{Ri} \\ \Delta i_{Ii} \end{bmatrix} \quad (6.24)$$

On remarque que les entrées du réseau AC correspondent aux sorties du modèle VSC-MMC et vice-versa.

La représentation en petits signaux du système complet de deux liaisons HVDC interconnectés par un réseau AC (schématisés aux Figure 6-21 et Figure 6-28) est présentée comme suit :

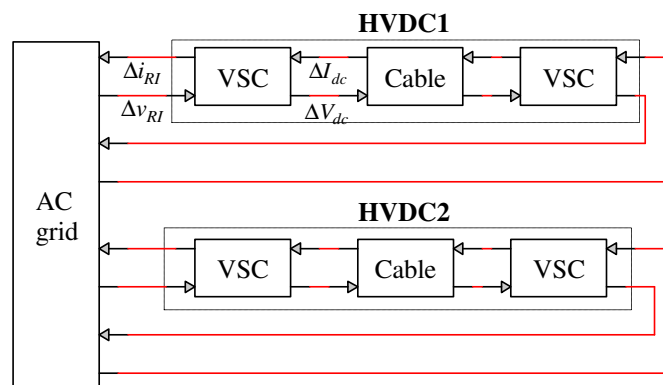


Figure 6-8 : Représentation en bloc de liaisons HVDC intégrées dans un réseau AC

Chaque station VSC contient 14 variables d'état et le câble en contient 4 variables. Ce qui fait un total de 30 variables d'états pour une liaison HVDC-VSC point-à-point.

### 6.3.7 Vérification du modèle linéarisé

Une liaison HVDC est utilisée ci-dessous (Figure 6-9), afin de valider le modèle petit signal. Le Modèle #4 (AVM) incluant le système de Contrôle-global #1 (voir Chapitre 4, section 4.1.2) est utilisé comme modèle de référence. Ce modèle AVM a lui-même été validé par rapport à un modèle détaillé (voir Chapitre 3, section 3.6).

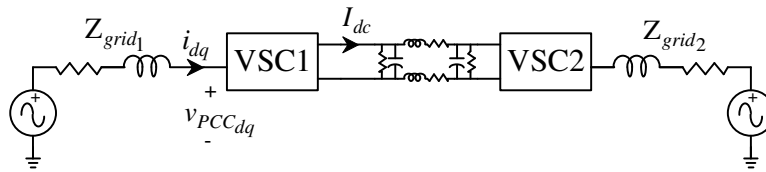


Figure 6-9 : Vérification du modèle petit signal : liaison HVDC

Dans la Figure 6-9, la station VSC1 est en  $P$ -control et la station VSC2 est en  $V_{dc}$ -control. Afin de créer une perturbation dans le système, un échelon de  $-0.1\text{pu}$  est appliqué à  $t = 2\text{s}$  sur la consigne de la puissance active  $P_{ref}$ .

Pour toutes les figures dans cette section, une ligne continue bleue est utilisée pour le modèle de référence AVM et une ligne pointillée verte pour le modèle linéarisé petit signal.

#### 6.3.7.1 Vérification avec un $\text{SCR} = 10$

Dans ce premier test, un fort SCR est considérée pour les réseaux équivalents ( $\text{SCR} = 10$ ). Les différentes variables de la station en  $P$ -control sont comparées ci-dessous :

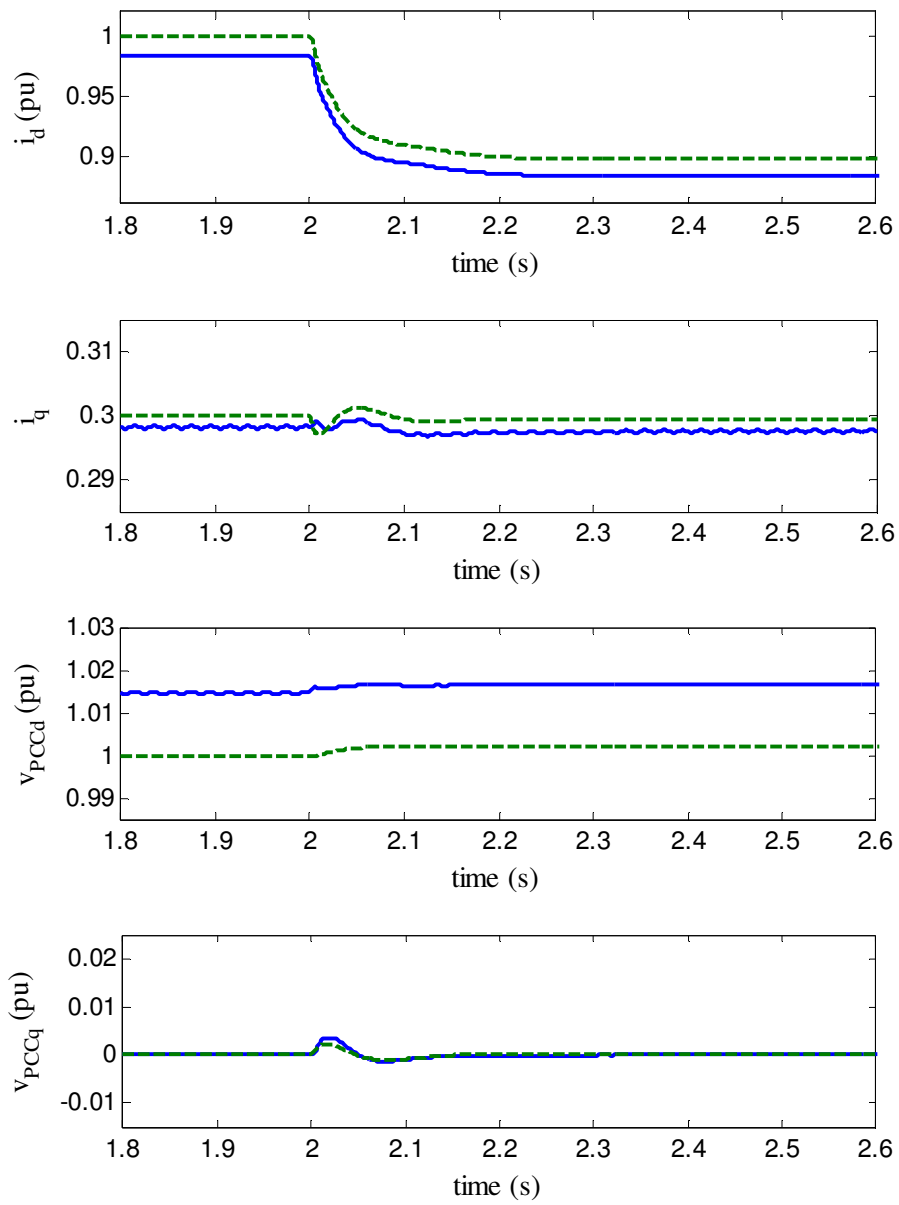


Figure 6-10 : SCR = 10, résultats des variables côtés AC de la station VSC1



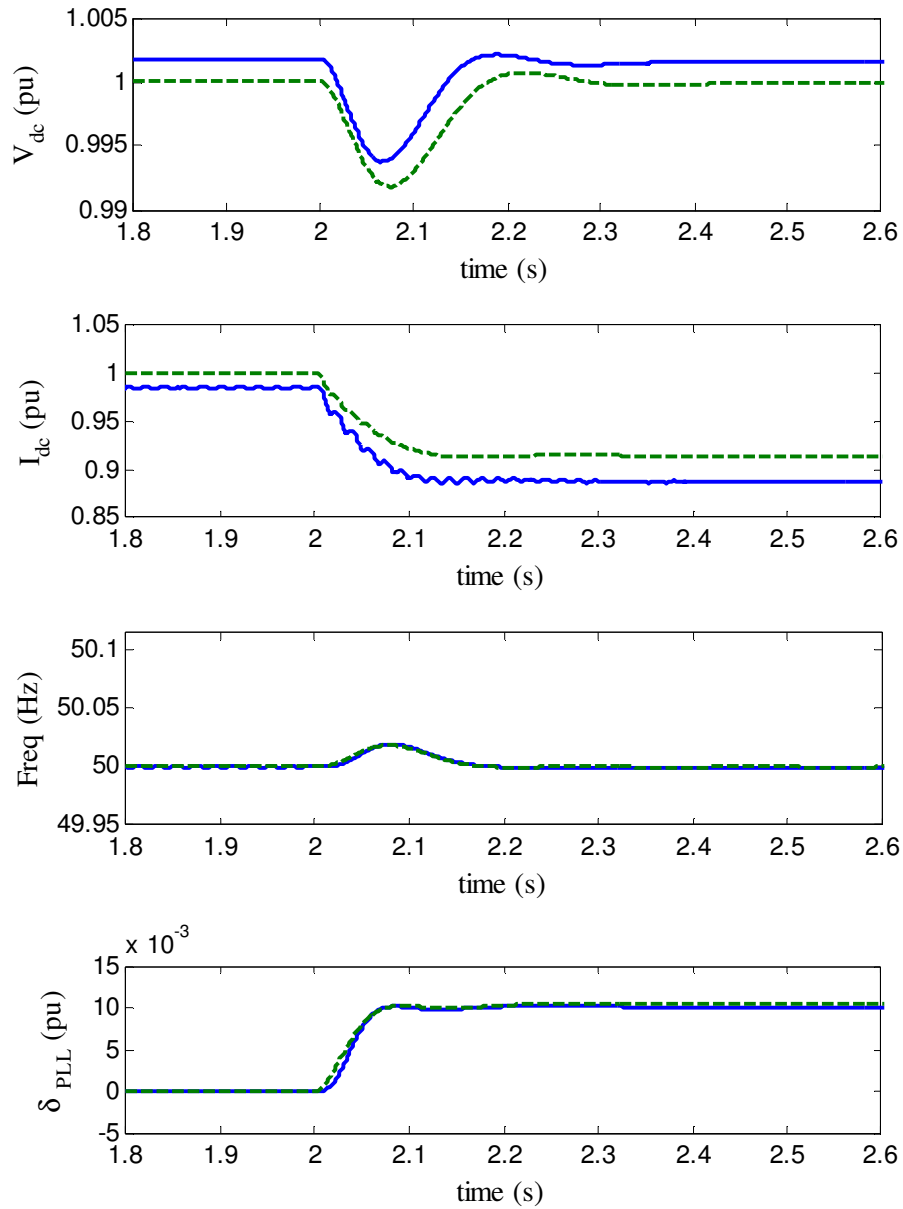


Figure 6-11 : SCR = 10, résultats des variables côtés DC et PLL de la station VSC1

Tout d'abord, on remarque une différence en régime permanent de la majorité des variables entre le modèle linéarisé et le modèle de référence AVM. Les réponses sont légèrement biaisées car le point de fonctionnement du modèle linéaire ne concorde pas exactement avec le point de fonctionnement du modèle non linéaire AVM. Néanmoins, cette différence influe très peu sur l'étude en petits signaux du système puisque l'objectif réside dans la recherche des modes oscillatoires du système.

Une légère différence de taux d'amortissement est visualisée au niveau de  $i_q$ , mais la fréquence d'oscillation semble néanmoins très proche. Ces différences sont essentiellement dues à la représentation en  $dq$  pour le modèle linéaire et en triphasé  $abc$  pour le modèle AVM.

#### **6.3.7.2 Vérification avec un SCR = 2.5**

Pour un fort SCR, la boucle de contrôle de la fréquence (Figure 6-4) est peu perturbée puisque la source équivalente du réseau impose la fréquence du système. Un faible SCR (SCR = 2.5) contribue à une plus grande perturbation au niveau de la fréquence, ainsi la boucle de contrôle de la fréquence et le PLL seront plus sollicités. Pour les deux stations VSCs, une puissance réactive de 0.3 est fournie au réseau afin de maintenir la stabilité du système (voir section 2.4). Ci-dessous les résultats au niveau de la station en  $P$ -control :

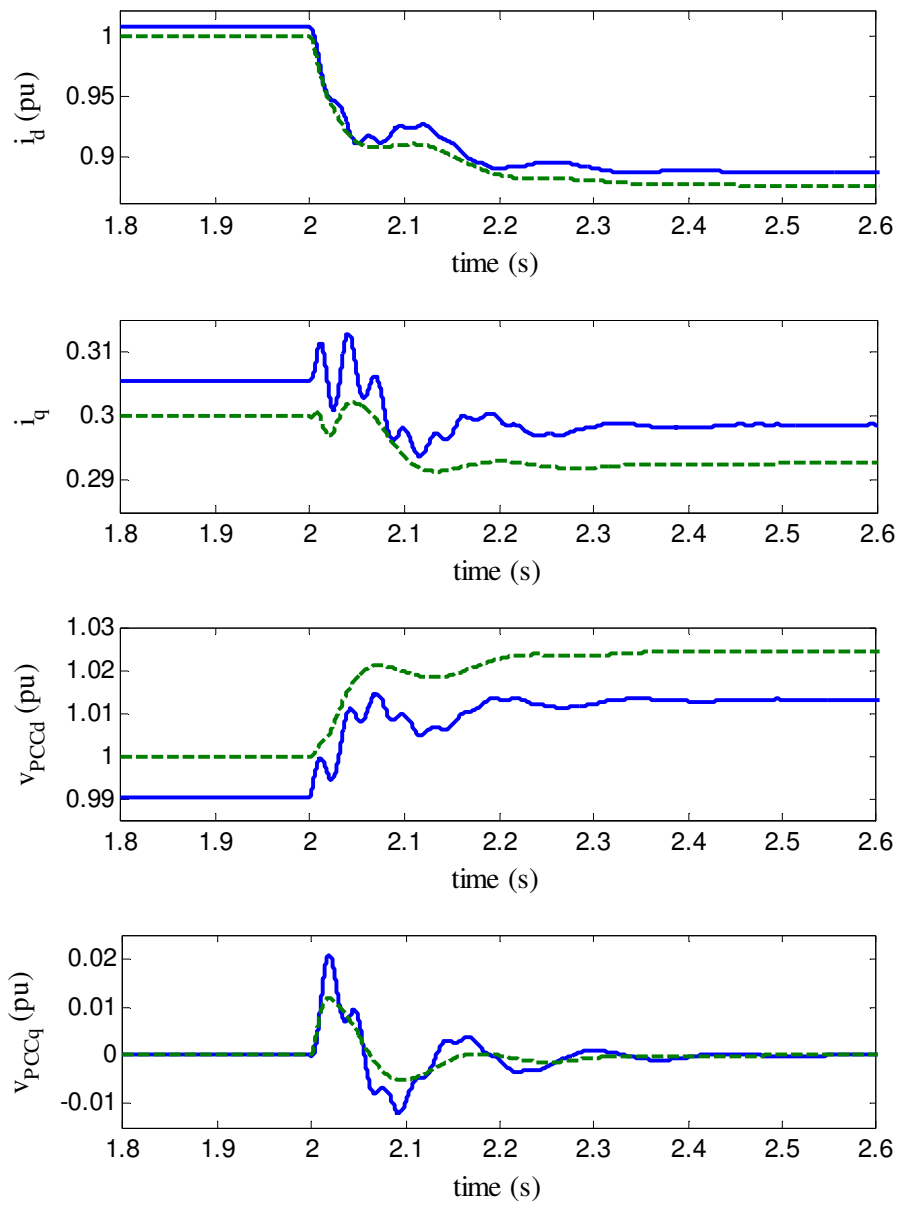


Figure 6-12 : SCR = 2.5, résultats des variables du côté AC de la station VSC1

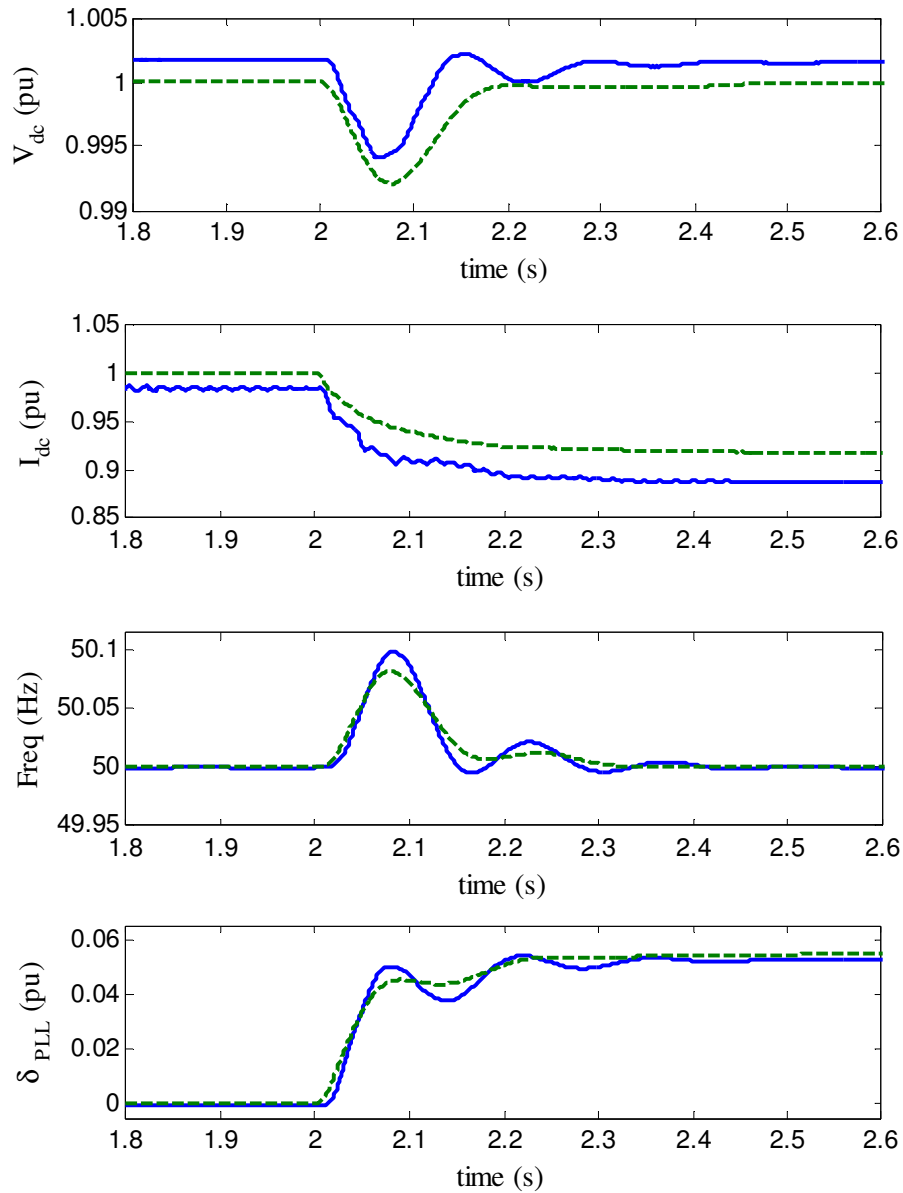


Figure 6-13 : SCR = 2.5, résultats des variables du côté DC et PLL de la station VSC1

On remarque une plus grande variation au niveau de toutes les variables du système. Cette variation engendre une plus grande différence entre les deux modèles. Dans la Figure 6-13, les variables du PLL du modèle linéaire sont plus amorties que celles du modèle AVM. Ces différences sont dues aux simplifications apportées lors de la linéarisation de la station VSC. Il a été identifié que la linéarisation apportée au niveau du PLL (notamment l'élimination de la mesure de la fréquence moyenne) a une influence non négligeable sur les résultats du côté AC. De ce fait, en modifiant le taux d'amortissement du contrôleur PI du modèle linéaire, des

oscillations plus importantes peuvent être ainsi obtenues, ce qui nous permet de se rapprocher des résultats du modèle de référence.

En procédant par essais-erreurs un taux d'amortissement de 0.68 a été choisi pour le modèle linéarisé. Ci-dessous les résultats pour le même SCR (c.à.d.  $SCR = 2.5$ )

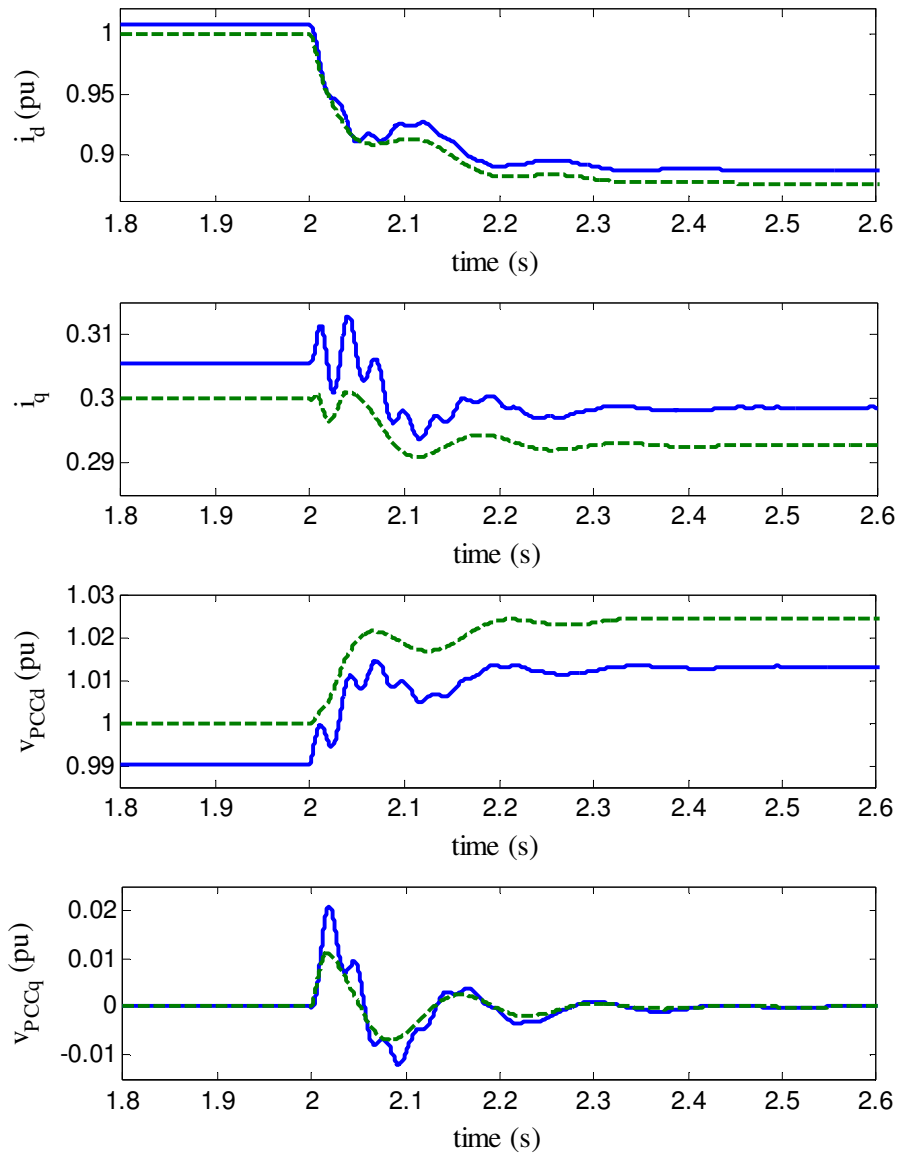


Figure 6-14 :  $SCR = 2.5$ , résultats des variables côtés AC de la station VSC1 avec  $\xi_{PLL} = 0.68$

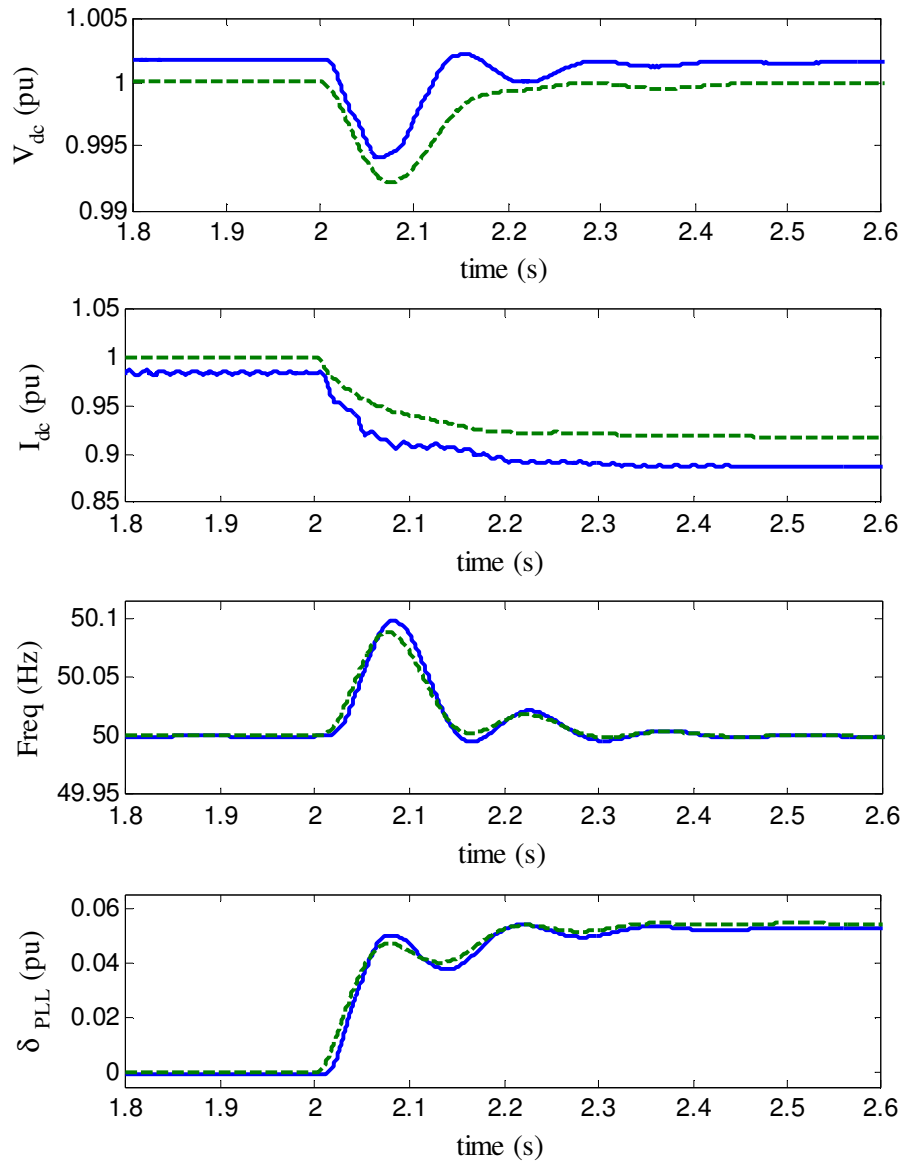


Figure 6-15 : SCR = 2.5, résultats des variables côtés DC et PLL de la station VSC1 avec

$$\xi_{PLL} = 0.68$$

À l'aide de cette modification, on remarque des oscillations moins amorties pour le modèle linéarisé, ce qui donne des résultats plus proches du modèle AVM de référence. Les mêmes constatations peuvent être faites pour un fort SCR = 10.

Dans tous les cas, avec ou sans la modification apportée au niveau des gains du PLL, on remarque que le modèle linéaire parvient à prendre en compte la grande majorité des modes oscillatoires du système. La principale différence entre les modèles linéaire et non-linéaire réside

sur le taux d'amortissement du système. Ce dernier semble légèrement plus élevé dans le cas du modèle linéaire, ce qui nous permet de présumer que le modèle linéaire sous-estime les oscillations. Néanmoins, ceci n'a pas d'impact considérable sur l'analyse modale du système et les conclusions qui seront apportées sur les interactions négatives entre réseau AC et liaison HVDC.

## 6.4 Études d'interaction

Dans cette section, l'analyse des valeurs propres du modèle petit signal est présentée. Le but de cette étude est d'évaluer l'impact du réseau AC sur une liaison à courant continu et les risques d'interaction entre deux liaisons HVDCs intégrées dans un même réseau AC.

Les conclusions qui en découleront à partir des études en petits-sinaux sont, par la suite, validés à l'aide de simulations de type EMT (modèle non-linéaire).

### 6.4.1 Outils d'analyse des valeurs propres

Il existe plusieurs techniques qui permettent de mesurer et d'analyser la stabilité en petit-sinaux d'un système [89]. À partir des équations d'état du système développé dans les sections précédentes, les valeurs propres du système peuvent être extraites. À partir de ces valeurs propres, plusieurs outils de mesures en découlent [89]:

- Lieux des racines. Cette méthode permet de tracer graphiquement, sur les axes réels et imaginaires, les valeurs propres d'un système linéaire. Une valeur propre réelle négative correspond à un mode non-oscillant. Quand elle est positive, ce mode est instable. Les valeurs propres complexes du système sont sous la forme de paires complexes conjuguées. La fréquence d'oscillation  $f$  et le taux d'amortissement  $\zeta$  de ces derniers peuvent être déduits. Le taux d'amortissement représente le taux de décroissance de l'amplitude de l'oscillation. Par conséquent, plus la valeur est proche de 1, plus les oscillations sont amorties.
- Facteur de participation. Cette méthode permet de quantifier la contribution des différentes variables d'état sur les modes en question. Quand la contribution de la

variable sur le mode en question est importante,  $p_{ki}$  a une valeur proche de 1 et quand la variable a un impact négligeable sur le mode,  $p_{ki}$  est proche de zéro.

- Forme modale ou « mode-shape » [91]. Cette technique permet d'évaluer l'angle entre deux variables contribuant pour le même mode. Les deux variables comparées doivent avoir une signification physique identique afin de déduire des conclusions. Plus l'angle de déphasage entre les vecteurs de ces deux variables est grand, plus le risque d'oscillation est élevé.

Ces concepts fondamentaux pour l'étude de stabilité d'un système d'équation d'état sont détaillés dans [89]-[91] et résumés dans l'Annexe G.

### 6.4.2 Influence du SCR sur une liaison HVDC

Tout d'abord, l'influence du SCR sur une liaison point-à-point est étudiée. La matrice d'impédance du réseau équivalent AC (Figure 6-9) peut être déduite :

$$Z = \begin{bmatrix} Z_{grid1} & 0 \\ 0 & Z_{grid2} \end{bmatrix} \quad (6.25)$$

Dans le Tableau 6-3, des SCRs ( $SCR_1$  et  $SCR_2$ ) fortes (égales à 10) et faibles (égale à 2.5) sont comparés.

#### 6.4.2.1 Étude des facteurs de participation

Les résultats modaux sont présentés sous forme de tableau de la manière suivante :

- Pour chaque mode oscillatoire, le nombre complexe de la valeur propre, la fréquence  $f$  et le taux d'amortissement  $\xi$  sont présentés respectivement.
- Ensuite, pour chaque mode oscillatoire, les facteurs de participation des différentes variables du système sont présentés. Notons que les facteurs de participation inférieurs à 0.2 sont négligés pour des raisons de simplification.
- Les variables du système ayant un facteur de participation supérieur à 0.9 représentent les variables dominantes du mode en question. Elles sont mises en valeur par la couleur rouge.



- Les valeurs des facteurs de participation qui ont considérablement changé en fonction des différentes configurations (par exemple entre  $SCR_1 = 2.5$  et  $SCR_1 = 10$ ) sont mises en relief par la couleur verte.
- Les nouvelles variables qui apparaissent lors du changement de configurations sont mises en relief par la couleur bleue.

Tableau 6-3 : Facteurs de participation : influence du SCR sur la liaison HVDC point-à-point

Mode	<u><math>SCR_1 = SCR_2 = 10</math></u>	<u><math>SCR_1 = SCR_2 = 2.5</math></u>
1	$> -39.02 + j2751 ; f = 440 \text{ Hz} ; \zeta = 0.01418$	$> -39.02 + j2751 ; f = 440 \text{ Hz} ; \zeta = 0.01418$
	$cable/V_{dc1} \ 0.65$ $cable/V_{dc2} \ 0.65$ $cable/I_{dc1} \ 1.00$	$cable/V_{dc1} \ 0.65$ $cable/V_{dc2} \ 0.65$ $cable/I_{dc1} \ 1.00$
2	$> -1.68 + j1380 ; f = 220 \text{ Hz} ; \zeta = 0.001217$	$> -1.68 + j1380 ; f = 220 \text{ Hz} ; \zeta = 0.001217$
	$VSC1/I_{dc} \ 1.00$ $VSC2/I_{dc} \ 1.00$ $cable/V_{dc1} \ 0.92$ $cable/V_{dc2} \ 0.92$	$VSC1/I_{dc} \ 1.00$ $VSC2/I_{dc} \ 1.00$ $cable/V_{dc1} \ 0.92$ $cable/V_{dc2} \ 0.92$
3	$> -26.11 + j \ 345.3 ; f = 56 \text{ Hz} ; \zeta = 0.07539$	$> -26.11 + j \ 345.3 ; f = 56 \text{ Hz} ; \zeta = 0.07539$
	$VSC1/V_{c,eq} \ 0.86$ $VSC1/I_{dc} \ 0.86$ $VSC2/I_{dc} \ 0.86$ $VSC2/V_{c,eq} \ 1$ $cable/I_{dc\_1} \ 0.44$	$VSC1/V_{c,eq} \ 0.86$ $VSC1/I_{dc} \ 0.86$ $VSC2/I_{dc} \ 0.86$ $VSC2/V_{c,eq} \ 1$ $cable/I_{dc\_1} \ 0.44$
4	$> -380.7 + j \ 397.7 ; f = 63.3 \text{ Hz} ; \zeta = 0.6915$	$> -567.5 + j \ 744.2 ; f = 118.4 \text{ Hz} ; \zeta = 0.6063$
	$VSC1/i_d \ 1.00$ $VSC1/i_q \ 0.99$ $VSC1/i_{dCtrl} \ 0.57$ $VSC1/i_{qCtrl} \ 0.59$	$VSC1/i_d \ 1.00$ $VSC1/i_q \ 0.98$ $VSC1/i_{dCtrl} \ 0.20$ $VSC1/i_{qCtrl} \ 0.21$
5	$> -379.1 + j \ 395.6 ; f = 62.96 \text{ Hz} ; \zeta = 0.6918$	$> -571.1 + j \ 734.9 ; f = 117 \text{ Hz} ; \zeta = 0.6136$
	$VSC2/i_d \ 0.99$ $VSC2/i_q \ 1.00$ $VSC2/i_{dCtrl} \ 0.59$ $VSC2/i_{qCtrl} \ 0.59$	$VSC2/i_d \ 0.99$ $VSC2/i_q \ 1.00$ $VSC2/i_{dCtrl} \ 0.21$ $VSC2/i_{qCtrl} \ 0.21$
6	$> -205.5 + j \ 268.4 ; f = 42.71 \text{ Hz} ; \zeta = 0.6079$	$> -73.41 + j \ 218.4 ; f = 34.76 \text{ Hz} ; \zeta = 0.3186$
	$VSC1/i_{qCtrl} \ 1.00$ $VSC1/i_{dCtrl} \ 0.96$ $VSC1/i_d \ 0.63$ $VSC1/i_q \ 0.65$	$VSC1/i_{qCtrl} \ 1.00$ $VSC1/i_{dCtrl} \ 0.80$ $VSC1/i_d \ 0.25$ $VSC1/i_q \ 0.28$ $VSC1/LP\_i_{qCtrl} \ 0.22$
7	$> -206.2 + j \ 265.8 ; f = 42.31 \text{ Hz} ; \zeta = 0.6129$	$> -67.32 + j \ 207.2 ; f = 32.97 \text{ Hz} ; \zeta = 0.3091$
	$VSC2/i_d \ 0.62$ $VSC2/i_q \ 0.62$ $VSC2/i_{dCtrl} \ 1.00$ $VSC2/i_{qCtrl} \ 0.95$	$VSC2/i_d \ 0.23$ $VSC2/i_q \ 0.24$ $VSC2/LP\_i_{dCtrl} \ 0.24$ $VSC2/i_{dCtrl} \ 1.00$ $VSC2/i_{qCtrl} \ 0.84$
8	$> -20.88 + j \ 37.64 ; f = 5.991 \text{ Hz} ; \zeta = 0.485$	$> -11.49 + j \ 43.16 ; f = 6.87 \text{ Hz} ; \zeta = 0.2572$
	$VSC1/\delta_{PLL} \ 1.00$ $VSC1/LP\_PLL \ 0.39$ $VSC1/LP\_PLL \ 0.39$ $VSC1/P_{Ctrl} \ 0.24$ $VSC1/PLL \ 0.77$	$VSC1/\delta_{PLL} \ 1.00$ $VSC1/LP\_PLL \ 0.65$ $VSC1/LP\_PLL \ 0.77$ $VSC1/P_{Ctrl} \ 0.52$ $VSC1/PLL \ 0.66$

Tableau 6-3 : Facteurs de participation : influence du SCR sur la liaison HVDC point-à-point (suite)

Mode	<u>SCR<sub>1</sub> = SCR<sub>2</sub> = 10</u>	<u>SCR<sub>1</sub> = SCR<sub>2</sub> = 2.5</u>
9	$> -25.27 + j \ 34.23f = 5.448 \text{ Hz}; \zeta = 0.5939$	$> -24.55 + j \ 28.56f = 4.546 \text{ Hz}; \zeta = 0.6518$
	VSC2/ $\delta_{PLL}$ 1.00 VSC2/PLL 1.00	VSC2/PLL 1.00 VSC2/ $\delta_{PLL}$ 0.85 VSC2/ $V_{dcCtrl}$ 0.33 VSC2/ $Q_{Ctrl}$ 0.26
10	$> -12.85 + j \ 25.07; f = 3.99 \text{ Hz}; \zeta = 0.4562$	$> -9.562 + j \ 26.18; f = 4.166 \text{ Hz}; \zeta = 0.3431$
	VSC2/ $V_{dcCtrl}$ 1.00 VSC1/ $V_{c\_eq}$ 0.49 VSC2/ $V_{c\_eq}$ 0.49	VSC2/ $V_{dcCtrl}$ 1.00 VSC1/ $V_{c\_eq}$ 0.54 VSC2/ $V_{c\_eq}$ 0.53 VSC2/ $\delta_{PLL}$ 0.38 VSC2/ $Q_{Ctrl}$ 0.22 VSC2/PLL 0.36
11	$> -62.05 + j8.64; f = 1.375 \text{ Hz}; \zeta = 0.9904$	$> -54.43 + j \ 26.07; f = 4.149 \text{ Hz}; \zeta = 0.9019$
	VSC1/LP $i_{qCtrl}$ 0.94 VSC1/LP $i_{dCtrl}$ 1.00	VSC1/ $\delta_{PLL}$ 0.21 VSC1/LP_PLL 0.23 VSC1/ $P_{Ctrl}$ 0.39 VSC1/ $i_{aCtrl}$ 0.23 VSC1/ $Q_{Ctrl}$ 0.31 VSC1/LP $i_{qCtrl}$ 0.45 VSC1/LP $i_{dCtrl}$ 1.00 VSC1/ $i_{dCtrl}$ 0.52 VSC1/PLL 0.25
12	$> -62.26 + j \ 6.786; f = 1.08 \text{ Hz}; \zeta = 0.9941$	$> -54.39 + j21.2; f = 3.374 \text{ Hz}; \zeta = 0.9318$
	VSC2/LP $i_{dCtrl}$ 0.99 VSC2/LP $i_{qCtrl}$ 1.00	VSC2/ $\delta_{PLL}$ 0.21 VSC2/ $Q_{Ctrl}$ 0.38 VSC2/LP $i_{dCtrl}$ 0.81 VSC2/ $i_{dCtrl}$ 0.35 VSC2/ $i_{qCtrl}$ 0.43 VSC2/LP $i_{qCtrl}$ 1.00 VSC2/PLL 0.27
13	$> -28.55 + j \ 16.48; f = 2.623 \text{ Hz}; \zeta = 0.866$	$> -32.85 + j \ 10.92; f = 1.738 \text{ Hz}; \zeta = 0.9489$
	VSC1/ $\delta_{PLL}$ 0.30 VSC1/LP_PLL 1.00 VSC1/LP_PLL 0.65 VSC1/ $P_{Ctrl}$ 0.57 VSC1/PLL 0.70	VSC1/LP_PLL 0.59 VSC1/ $P_{Ctrl}$ 0.34 VSC1/ $Q_{Ctrl}$ 0.47 VSC1/LP_PLL 1.00
14	$> -21.21 + j \ 21.21; f = 3.376 \text{ Hz}; \zeta = 0.7071$	$> -21.21 + j \ 21.21; f = 3.376 \text{ Hz}; \zeta = 0.7071$
	VSC2/LP_PLL 1.00 VSC2/LP_PLL 1.00	VSC2/LP_PLL 1.00 VSC2/LP_PLL 1.00

Côté DC :

- Pour les modes 1, 2 et 3, les valeurs propres et facteurs de participation du coté DC sont présentés dans le Tableau 6-3. Ces modes sont liés aux composants du câble et du VSC du coté DC (c.à.d.  $L_{dc}$  et  $C_{dc}$  voir Figure 3-14). Tout d'abord, on remarque que ces valeurs propres et ces facteurs de participations ne changent pas en fonction des différentes valeurs des SCR. À l'aide des facteurs de participation des différentes variables, on peut conclure que : le mode 1 est lié au circuit LC formé par le modèle du câble. Le mode 2 est

formé par l'interaction entre les inductances du VSC ( $L_{dc}$ ) avec les condensateurs du câble  $C_{cable}$ . Enfin, le mode 3 est dominé par les composants du VSC :  $L_{dc}$  et  $C_{dc}$ .

- Les deux modes liés au câble (modes 1 et 2) ont des fréquences assez élevées (soit  $f = 440$  Hz et 220 Hz respectivement) et des taux d'amortissements assez faibles (soit  $\xi = 0.01418$  et  $0.001217$  respectivement). Ceci est principalement lié à la modélisation du câble en une seule section en PI ce qui est mal représenté pour des fréquences supérieures à 100 Hz.
- Le mode 3 lié à l'interaction entre les deux variables propres aux VSCs a une fréquence d'environ 60.3 Hz avec un taux d'amortissement assez faible 0.04.
- On remarque qu'aucune variable provenant du côté AC ne participent aux trois modes oscillatoires du côté DC. Cependant, le contraire n'est pas forcément vrai, c.à.d. les perturbations provenant du côté DC peuvent quand même interagir avec le côté AC. Ceci peut être visualisé dans le mode 10, lié avec la variable  $V_{dcCtrl}$  (c.à.d. la boucle externe du  $V_{dc}$ -control). Cependant, les variables  $V_{c\_eq}$  des deux stations VSCs ont un facteur de participation d'environ 0.5 et ceci indépendamment de la valeur du SCR.
- Pour la station en  $V_{dc}$ -control, ces trois fréquences de résonances provenant du côté DC devront être filtrés ou bloqués par le contrôleur PI, afin d'éviter l'inclusion de ces oscillations dans la boucle de contrôle. Il est donc important de choisir les gains du contrôleur PI de telle sorte que la plus basse fréquence de résonance ( $f = 60.3$  Hz) soit rejetée. Ceci est déjà le cas, puisque la constante de temps est de 100 ms (voir Tableau 6-1).

Côté AC :

- Tous les autres modes (c.à.d. de 4 à 14), dans le Tableau 6-3, correspondent au côté AC.
- Les deux modes 4 et 5 sont dominés par le courant  $i_{dq}$ . Tout d'abord, on remarque une contribution des variables  $i_{dqCtrl}$  (Figure 6-4) pour les deux SCRs. Cette contribution devient moins importante quand le SCR diminue (exemple, mode 4, pour  $SCR = 10$  le facteur de participation de  $i_{qCtrl}$  est égale à 0.57 et pour  $SCR = 2.5$ ,  $i_{qCtrl} = 0.21$ ). Ceci montre que la boucle de contrôle de courant ( $i$ -control) parvient difficilement à

« imposer » (ou contribuer) la régulation quand le SCR est faible. Notons aussi, l'augmentation de la fréquence quand le SCR est faible.

- Les deux modes 6 et 7 sont dominées par les variables de l' $i$ -control :  $i_{dCtrl}$  et  $i_{qCtrl}$ . Pour un SCR=10, on remarque un bon découplage au niveau de la boucle interne, puisque seules les variables  $i_{dq}$  contribuent à ces valeurs propres. Ceci n'est pas le cas quand le SCR devient faible (SCR = 2.5). En effet, plusieurs autres variables contribuent (quoique légèrement) à ces valeurs propres, exemple  $LP_{i_{dCtrl}}$ ,  $Q_{Ctrl}$ , etc. Remarquons, que la fréquence ne change pas considérablement, puisqu'elle dépend principalement de la constante de temps du contrôleur PI.
- Les modes 8 et 9 sont dominées par l'angle de déphasage  $\delta_{PLL}$  entre les deux référentiels  $RI$  et  $dq$  et au contrôleur PI appelé  $PLL$ . On remarque que quand le SCR diminue, les facteurs de participation des variables des boucles externe ( $P_{Ctrl}$  et  $Q_{Ctrl}$ ) et les filtres  $LP_{PLL}$  apparaissent. La diminution du SCR, a effectivement des conséquences négatives sur le système de contrôle puisque un bon découplage des variables liées à la PLL et à la boucle externe n'est plus assuré.
- Concernant le mode 10, le  $V_{dc}$ -control contribue grandement à cette valeur propre. On remarque aussi l'apparition des variables du PLL quand le SCR diminue.
- Les modes 11, 12, 13 et 14 sont dominés par les filtres passe-bas de la PLL et de l' $i$ -control. Puisque ces valeurs propres ont des taux d'amortissements assez élevés, on peut les négliger.
- Par ailleurs, on remarque que les variables liées à la boucle externe des puissances  $P_{Ctrl}$  et  $Q_{Ctrl}$  interagissent souvent avec les variables du PLL quand le SCR est faible. Par contre, ces interactions n'apparaissent pas pour un SCR = 10.
- Enfin, on remarque que les variables des deux stations VSCs sont bien découplées puisque leurs variables ne contribuent pas aux mêmes valeurs propres et ceci indépendamment des valeurs du SCR.

### 6.4.2.2 Étude des lieux des racines

Dans cette partie, une étude sur la variation des lieux des racines en fonction de différents paramètres du modèle HVDC linéarisé est présentée.

#### 6.4.2.2.1 Influence du SCR

Tout d'abord, analysons l'impact de la variation du SCR sur une liaison HVDC point-à-point (Figure 6-9). La Figure 6-16 présente l'évolution des lieux des racines en fonction du SCR (variation K=10 à 1)

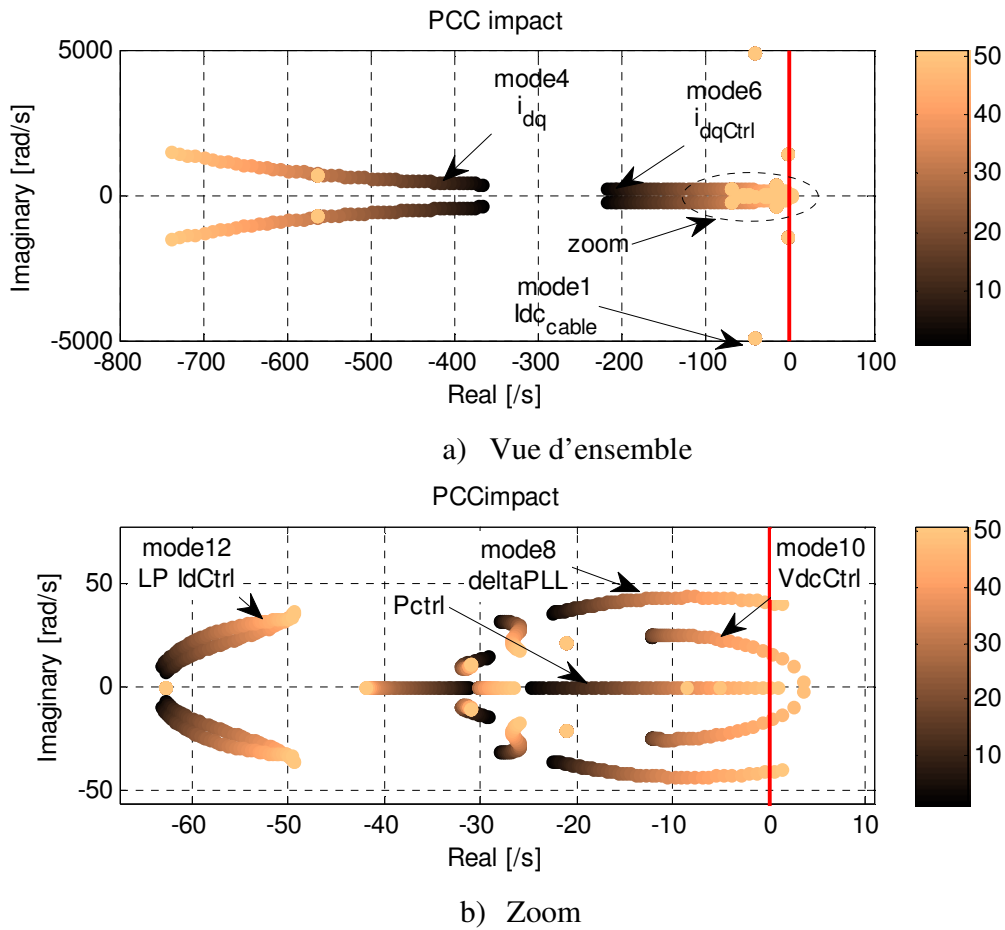


Figure 6-16 : Évolution des lieux des racines en fonction du SCR

On remarque que quand le SCR diminue, les modes liés aux variables  $i_{dq}$  et  $i_{dqCtrl}$  s'éloignent ;  $i_{dq}$  se déplacent vers la partie gauche et  $i_{dqCtrl}$  se rapprochent de l'origine de l'axe réel. Ce qui

montre la difficulté de l' $i$ -control à réguler les courants AC quand la valeur du SCR diminue. D'autre part, on remarque que pour les modes liés aux variables cotés DC, uniquement  $V_{dc}$ -control est affecté par la variation du SCR, par contre les autres modes ne sont pas influencés.

En faisant un zoom sur la partie encerclée (Figure 6-16.b), on remarque effectivement que quand le SCR diminue,  $\delta_{PLL}$  et  $V_{dcCtrl}$  passe vers la partie positive de l'axe réel quand le  $SCR < 1.2$ .

#### 6.4.2.2.2 Influence des gains de $i$ -control

La constante de temps du  $i$ -control a été variée de 50 ms à 1 ms dans cette section. L'évolution des variables du système est présentée à la Figure 6-17. Le SCR choisie est égale à 2.5.

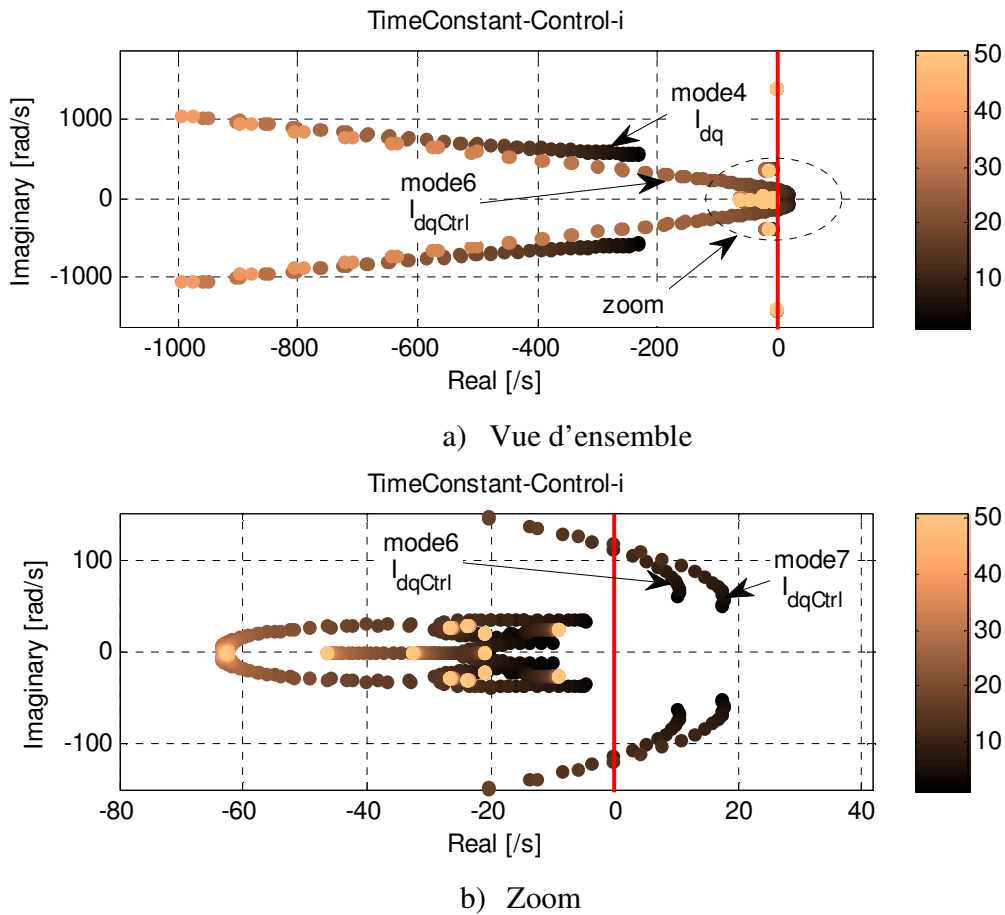


Figure 6-17 : Évolution des lieux des racines en fonction des gains du  $i$ -control

À partir de la vue d'ensemble (Figure 6-17.a), on remarque que les pôles liés à  $i_{dq}$  et  $i_{dqCtrl}$  se déplacent vers la partie gauche de l'axe réel quand la constante de temps augmente. Il est donc conseillé de choisir des constantes de temps assez petites pour la boucle de courant.

#### 6.4.2.2.3 Influence des gains de la PLL

Dans cette section, la constante de temps du PLL varie de 300 ms à 10 ms. Pour un  $SCR=2.5$ , l'évolution des variables du système est présentée à la Figure 6-18.

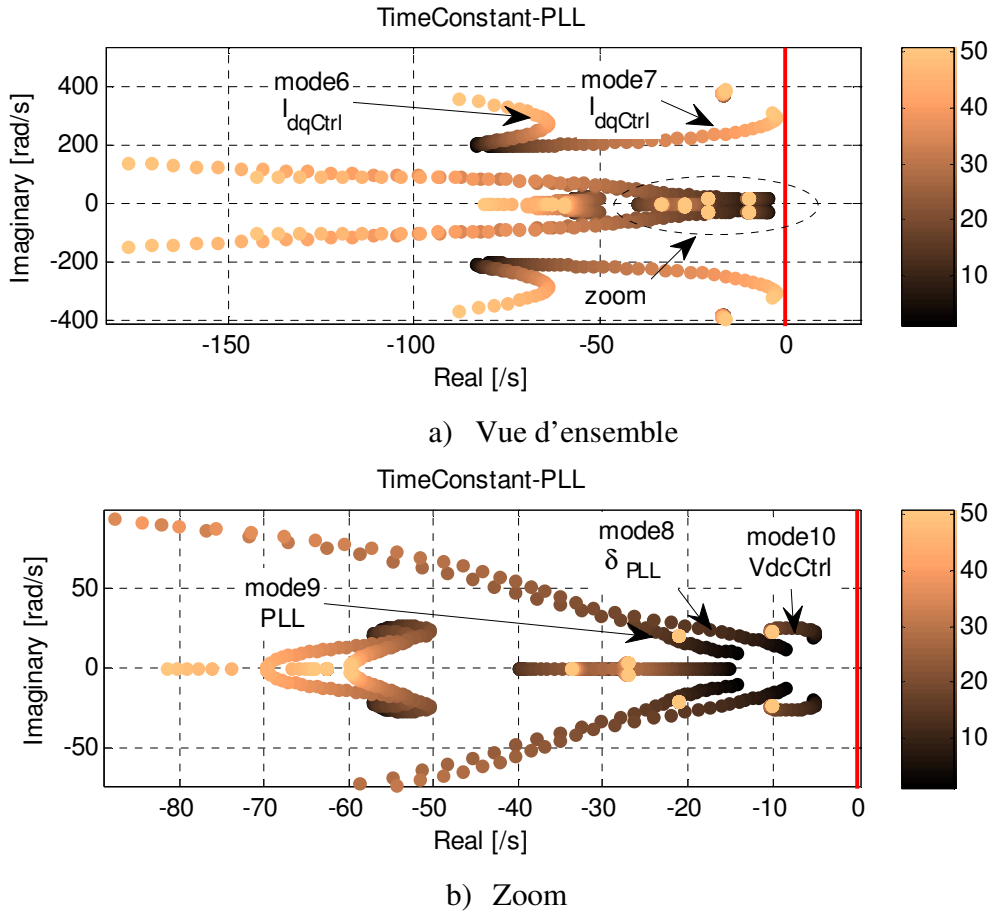


Figure 6-18 : Lieux des racines en fonction des gains du PLL avec  $SCR = 2.5$

Quand la constante de temps du PLL diminue, les valeurs propres liées au  $PLL$  et à  $\delta_{PLL}$  s'éloignent de l'origine (voir Figure 6-18.b). Cependant, pour les valeurs propres liées au  $i$ -control de la station en  $V_{dc}$ -control (voir Figure 6-18.a), elle se rapproche considérablement de l'origine de l'axe réel. Il est donc important de trouver un compromis entre performance et stabilité des gains du PLL pour des faibles  $SCR$ s. Ce risque de contreperformance du système quand les constantes de temps de PLL sont petites a été aussi constaté dans [95]. Une solution est de choisir des constantes de temps du PLL autour de 100ms et de choisir des constantes de temps du  $i$ -control plus rapides afin d'éloigner les valeurs propres liées aux  $i_{dqCtrl}$  de l'origine de l'axe réel.

### 6.4.2.3 Étude paramétrique sous EMTP-RV

Afin de valider les résultats en petits-sinaux, une étude paramétrique est réalisée sous EMTP-RV. Le modèle non-linéaire AVM de la liaison HVDC point-à-point représentée à la Figure 6-9 est utilisé. Une petite perturbation au point de raccordement de la station est effectuée à  $t=1s$  en insérant une résistance de  $1k\Omega$ . Un faible SCR de 2.5 est considéré. Les paramètres de la liaison HVDC suivants sont variés :

Tableau 6-4: Variation des paramètres de la liaison HVDC de la Figure 6-9

Paramètres	Nombre de configurations possibles
Sens de transite de la puissance active dans la liaison HVDC	2 configurations : les deux sens de transite de 1000 MW est évalué (redresseur ou onduleur)
Station VSC1 en $P$ -control ou en $V_{dc}$ -control	2 configurations : $P$ -control ou $V_{dc}$ -control
Constante de temps du $i$ -control	2 configurations : 100 et 70 ms
Constante de temps de la PLL	2 configurations : 100 et 60 ms

Le nombre total de configurations possibles est de 16. Elles sont regroupées en quatre sous-groupes en fonction de la direction de transite de la puissance active (station en mode redresseur ou onduleur) et du mode de contrôle de la station ( $P$ -control ou  $V_{dc}$ -control). Dans la Figure 6-19, les différents résultats des puissances actives de chaque configuration sont présentés.



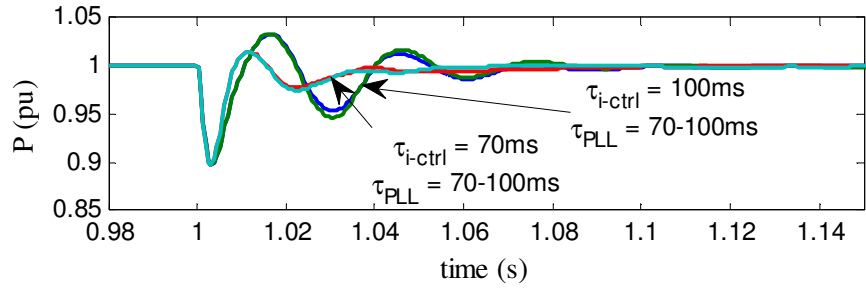
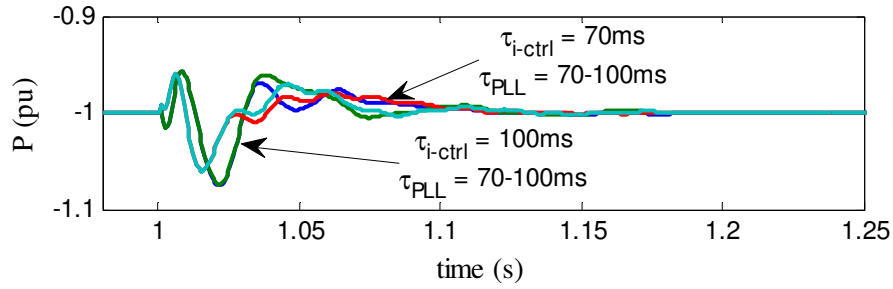
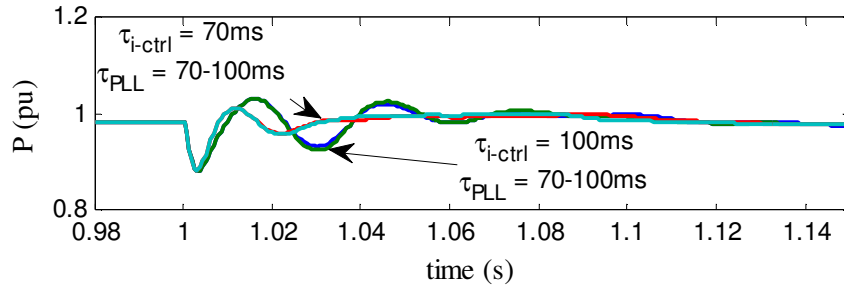
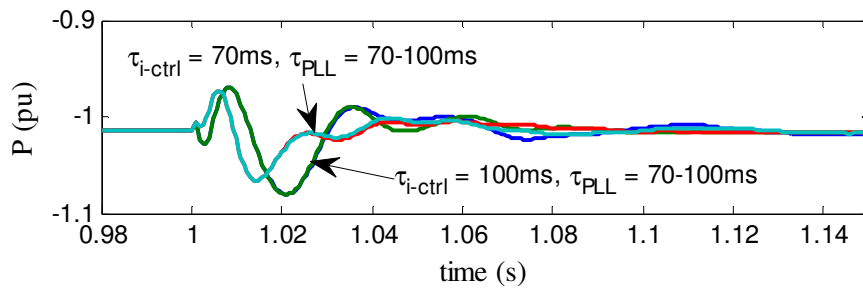
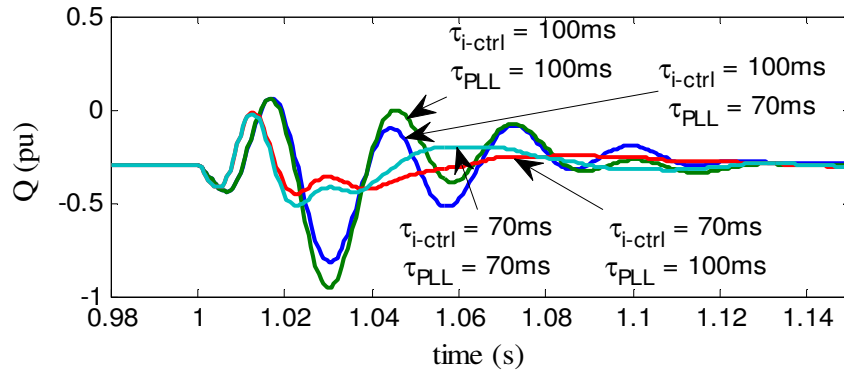
a) VSC1 en  $P$ -control et redresseurb) VSC1 en  $P$ -control et onduleurc) VSC1 en  $V_{dc}$ -control et redresseurd) VSC1 en  $V_{dc}$ -control et onduleur

Figure 6-19 : Étude paramétrique d'une liaison HVDC, influence des constantes de temps du PLL et du  $i$ -control

Tout d'abord on remarque que la fréquence d'oscillations prédominante est de 36 Hz, ce qui correspond au mode 7 dominé par le  $i$ -control (voir Tableau 6-3). Par ailleurs, l'étude

paramétrique sous EMTP-RV confirme bien les conclusions retrouvées lors de l'analyse en petits signaux : Plus la constante de temps du  $i$ -control est petite plus le système devient stable et ceci indépendamment du mode de contrôle (c.à.d.  $P$ -control ou  $V_{dc}$ -control) et de la direction du transit de la puissance active.

Par ailleurs, l'impact de la variation de la constante de temps de la PLL ne semble pas avoir un effet remarquable sur la puissance active. Par contre, elle a un impact notable sur la puissance réactive. Dans la Figure 6-20, l'influence des constantes de temps en question sur la puissance réactive est présentée pour la station VSC1(Figure 6-9) en  $V_{dc}$ -control et en mode redresseur. Les mêmes conclusions peuvent être tirées pour les trois autres sous-groupes (c.à.d. une station en  $P$ -control redresseur,  $P$ -control onduleur et une station en  $V_{dc}$ -control onduleur).



VSC1 en  $V_{dc}$ -control et redresseur

Figure 6-20: Étude paramétrique sur une liaison HVDC, influence des constantes de temps du PLL et du  $i$ -control sur la puissance réactive

À partir de la Figure 6-20, on constate, tout d'abord, que l'utilisation des constantes de temps petites du  $i$ -control améliore la stabilité du système. D'autre part, la constante de temps de la PLL joue un rôle sur l'amortissement et le temps d'établissement du signal après perturbation ( $t > 1$  s); quand cette constante de temps est élevée (100 ms) la stabilité est améliorée. Ce qui rejoint les conclusions retrouvées lors de l'étude en petits-signaux.

### 6.4.3 Influence de la ligne AC en parallèle

Dans un réseau maillé des lignes AC peuvent se trouver en parallèle avec les liaisons HVDC. Afin d'étudier les interactions entre deux stations de la même liaison, les études en petits-signaux

et sous EMTP-RV sont présentés dans cette section. Pour ce faire, une ligne AC ( $Z_{parallel}$ ) est insérée en parallèle à la liaison HVDC. Il est clair que plus l'impédance de la ligne  $Z_{parallel}$  est grande, plus l'influence de cette dernière sur l'interaction entre les terminaux VSC devient négligeable.

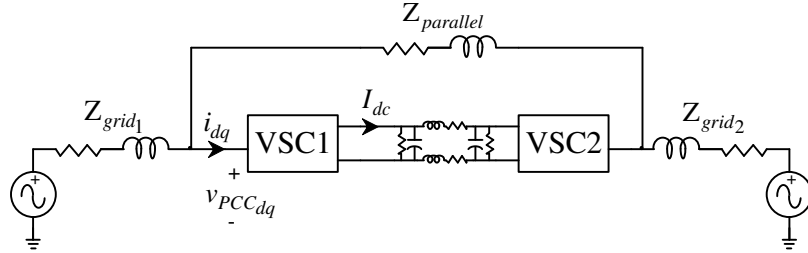


Figure 6-21 : Liaison HVDC point-à-point avec ligne AC en parallèle

Tout d'abord, la matrice d'impédance du réseau AC incluant la ligne en parallèle est déduite:

$$Z = \begin{bmatrix} \frac{Z_{grid1} (Z_{parallel} + Z_{grid2})}{Z_{grid1} + Z_{parallel} + Z_{grid2}} & \frac{Z_{grid1} Z_{grid2}}{Z_{grid1} + Z_{parallel} + Z_{grid2}} \\ \frac{Z_{grid1} Z_{grid2}}{Z_{grid1} + Z_{parallel} + Z_{grid2}} & \frac{Z_{grid2} (Z_{parallel} + Z_{grid1})}{Z_{grid1} + Z_{parallel} + Z_{grid2}} \end{bmatrix} \quad (6.26)$$

En comparant les valeurs de la diagonale de la matrice d'impédance (6.26) avec celles de la matrice (6.25), on remarque que la ligne AC en parallèle contribue à la diminution des impédances de court-circuit effectives c'est-à-dire à l'augmentation des SCRs vues au niveau des terminaux de la liaison HVDC, puisque :

$$\frac{Z_{grid1} (Z_{parallel} + Z_{grid2})}{Z_{grid1} + Z_{parallel} + Z_{grid2}} < Z_{grid1} \quad (6.27)$$

Ce qui se traduit par une meilleure performance de la liaison HVDC quand une ligne AC ( $Z_{parallel}$ ) se trouve en parallèle. Par contre, contrairement au cas sans  $Z_{parallel}$ , les valeurs hors diagonales ne sont plus nulles, ce qui montre un risque d'interaction entre les deux stations de conversions.

Notons que quand  $Z_{parallel}$  tend vers l'infini, l'effet de la ligne en parallèle devient négligeable et quand  $Z_{parallel}$  est très petite, on obtient le plus grand risque d'interaction.

#### **6.4.3.1 Étude des facteurs de participation**

Afin d'étudier l'influence de la ligne AC en parallèle sur les facteurs de participation, on prend le cas d'un SCR faible (c.à.d. égale à 2.5) et on compare les valeurs propres avec et sans la ligne AC en parallèle.

Par souci de clarté, les modes côté DC ne sont pas présentés car dans la section précédente, il a été montré que ces valeurs ne changent pas puisqu'elles ne sont pas influencées par le côté AC. De plus les modes ayant un taux d'amortissement égal à 1 ne sont pas présentés.

On considère que toutes les constantes de temps des contrôleurs et les paramètres électriques de la station VSC sont identiques pour les deux stations. Ceci se justifie par le fait qu'en pratique une liaison HVDC est construite généralement par le même constructeur et donc les stations de conversion sont identiques.

Les facteurs de participations sont présentés sous forme de tableau. La structure et les couleurs utilisés ont déjà été expliqués à la section 6.4.2.1.

Tableau 6-5 : Facteurs de participation - Influence de la ligne AC en parallèle

Mode	SCR = 2.5 sans $Z_{parallel}$	SCR = 2.5 avec $Z_{parallel} = 0.0062$
1	> -560.7 +j 741.1 $f = 1.2e+002$ Hz $\zeta = 0.6034$	> -685.1 +j 714.7 $f = 1.1e+002$ Hz $\zeta = 0.692$
	VSC1/ $i_d$ 1 VSC1/ $i_q$ 0.99 VSC1/ $i_{qCtrl}$ 0.2 VSC1/ $i_{dCtrl}$ 0.21	VSC1/ $i_d$ 1 VSC1/ $i_q$ 0.99 VSC2/ $i_d$ 1 VSC2/ $i_q$ 1
2	> -563.6 +j 731.8 $f = 1.2e+002$ Hz $\zeta = 0.6102$	> -368.2 +j 231.1 $f = 37$ Hz $\zeta = 0.847$
	VSC2/ $i_d$ 0.99 VSC2/ $i_q$ 1 VSC2/ $i_{dCtrl}$ 0.22 VSC2/ $i_{qCtrl}$ 0.21	VSC1/ $i_d$ 1 VSC1/ $i_q$ 0.98 VSC2/ $i_d$ 1 VSC2/ $i_q$ 0.97 VSC1/ $i_{qCtrl}$ 0.9 VSC1/ $i_{dCtrl}$ 0.91 VSC2/ $i_{dCtrl}$ 0.94 VSC2/ $i_{qCtrl}$ 0.89
3	> -79.51 +j 216.1 $f = 34$ Hz $\zeta = 0.3453$	> -339.1 +j 232.3 $f = 37$ Hz $\zeta = 0.825$
	VSC1/ $i_d$ 0.26 VSC1/ $i_q$ 0.28 VSC1/ $i_{qCtrl}$ 1 VSC1/LP_ $i_{qCtrl}$ 0.23 VSC1/ $i_{dCtrl}$ 0.82	VSC1/ $i_d$ 0.9 VSC1/ $i_q$ 0.98 VSC2/ $i_d$ 0.94 VSC2/ $i_q$ 0.97 VSC1/ $i_{qCtrl}$ 1 VSC1/ $i_{dCtrl}$ 0.93 VSC2/ $i_{dCtrl}$ 1 VSC2/ $i_{qCtrl}$ 0.98
4	> -70.72 +j 203.3 $f = 32$ Hz $\zeta = 0.3286$	> -85.71 +j 190.4 $f = 30$ Hz $\zeta = 0.4104$
	VSC2/ $i_d$ 0.24 VSC2/ $i_q$ 0.24 VSC2/LP_ $i_{dCtrl}$ 0.25 VSC2/ $i_{dCtrl}$ 1 VSC2/ $i_{qCtrl}$ 0.87 VSC2/LP_ $i_{qCtrl}$ 0.2	VSC1/ $i_d$ 0.28 VSC1/ $i_q$ 0.23 VSC1/w_to_delta 0.22 VSC2/ $i_d$ 0.24 VSC2/ $i_q$ 0.27 VSC2/f_to_delta 0.25 VSC1/ $i_{qCtrl}$ 0.98 VSC1/LP_ $i_{qCtrl}$ 0.26 VSC1/LP_ $i_{dCtrl}$ 0.24 VSC1/ $i_{dCtrl}$ 1 VSC2/LP_ $i_{dCtrl}$ 0.24 VSC2/ $i_{dCtrl}$ 0.93 VSC2/ $i_{qCtrl}$ 1 VSC2/LP_ $i_{qCtrl}$ 0.26
5	> -55.6 +j 23.04 $f = 3.7$ Hz $\zeta = 0.9238$	> -62.88 +j 0.2595 $f = 0.041$ Hz $\zeta = 1$
	VSC2/ $\delta_{PLL}$ 0.28 VSC2/ $Q_{Ctrl}$ 0.37 VSC2/LP_ $i_{dCtrl}$ 0.79 VSC2/ $i_{dCtrl}$ 0.34 VSC2/ $i_{qCtrl}$ 0.46 VSC2/LP_ $i_{qCtrl}$ 1 VSC2/PLL 0.28	VSC1/LP_ $i_{qCtrl}$ 0.77 VSC1/LP_ $i_{dCtrl}$ 0.54 VSC2/LP_ $i_{dCtrl}$ 1 VSC2/LP_ $i_{qCtrl}$ 0.77

Tableau 6-5 : Facteurs de participation - Influence de la ligne AC en parallèle (suite)

Mode	SCR = 2.5 sans $Z_{parallel}$	SCR = 2.5 avec $Z_{parallel} = 0.0062$
6	$> -52.4 \quad +j 26.28 \quad f=4.2 \text{ Hz} \quad \zeta = 0.8939$	$> -53.14 \quad +j 24.17 \quad f=3.8 \text{ Hz} \quad \zeta = 0.9103$
	$VSC1/\delta_{PLL} \quad 0.33$ $VSC1/P_{Ctrl} \quad 0.28$ $VSC1/i_{qCtrl} \quad 0.21$ $VSC1/Q_{Ctrl} \quad 0.39$ $VSC1/LP_{i_{qCtrl}} \quad 0.43$ $VSC1/LP_{i_{dCtrl}} \quad 1$ $VSC1/i_{dCtrl} \quad 0.5$ $VSC1/PLL \quad 0.32$	$VSC1/\delta_{PLL} \quad 0.41$ $VSC2/\delta_{PLL} \quad 0.22$ $VSC1/P_{Ctrl} \quad 0.33$ $VSC1/i_{qCtrl} \quad 0.28$ $VSC1/Q_{Ctrl} \quad 0.43$ $VSC1/LP_{i_{qCtrl}} \quad 0.56$ $VSC1/LP_{i_{dCtrl}} \quad 1$ $VSC1/i_{dCtrl} \quad 0.53$ $VSC1/PLL \quad 0.41$ $VSC2/Q_{Ctrl} \quad 0.3$ $VSC2/LP_{i_{dCtrl}} \quad 0.59$ $VSC2/i_{dCtrl} \quad 0.27$ $VSC2/i_{qCtrl} \quad 0.32$ $VSC2/LP_{i_{qCtrl}} \quad 0.6$ $VSC2/PLL \quad 0.22$
7	$> -23.78 \quad +j 30.31 \quad f=4.8 \text{ Hz} \quad \zeta = 0.6172$	$> -20.93 \quad +j 34.64 \quad f=5.5 \text{ Hz} \quad \zeta = 0.5172$
	$VSC1/\delta_{PLL} \quad 0.97$ $VSC1/PLL \quad 1$	$VSC1/V_{c\_eq} \quad 0.33$ $VSC1/\delta_{PLL} \quad 1$ $VSC2/V_{c\_eq} \quad 0.32$ $VSC2/\delta_{PLL} \quad 0.74$ $VSC1/PLL \quad 0.89$ $VSC2/V_{dcCtrl} \quad 0.6$ $VSC2/PLL \quad 0.65$
8	$> -9.55 \quad +j 25.36 \quad f=4 \text{ Hz} \quad \zeta = 0.3524$	$> -15.74 \quad +j 25.24 \quad f=4 \text{ Hz} \quad \zeta = 0.5292$
	$VSC1/V_{c\_eq} \quad 0.5$ $VSC2/V_{c\_eq} \quad 0.49$ $VSC2/\delta_{PLL} \quad 0.3$ $VSC2/V_{dcCtrl} \quad 1$ $VSC2/PLL \quad 0.28$	$VSC1/V_{c\_eq} \quad 0.45$ $VSC1/\delta_{PLL} \quad 0.23$ $VSC2/V_{c\_eq} \quad 0.44$ $VSC1/PLL \quad 0.24$ $VSC2/V_{dcCtrl} \quad 1$
9	$> -26.06 \quad +j 27.22 \quad f=4.3 \text{ Hz} \quad \zeta = 0.6916$	$> -29.96 \quad +j 32.32 \quad f=5.1 \text{ Hz} \quad \zeta = 0.6798$
	$VSC2/\delta_{PLL} \quad 0.86$ $VSC2/V_{dcCtrl} \quad 0.3$ $VSC2/Q_{Ctrl} \quad 0.23$ $VSC2/PLL \quad 1$	$VSC1/\delta_{PLL} \quad 0.71$ $VSC2/\delta_{PLL} \quad 1$ $VSC1/PLL \quad 0.71$ $VSC2/PLL \quad 1$
10	$> -30.08 \quad +j 0 \quad f=0 \text{ Hz} \quad \zeta = 1$	$> -30.1 \quad +j 3.761 \quad f=0.6 \text{ Hz} \quad \zeta = 0.9923$
	$VSC2/V_{dcCtrl} \quad 0.21$ $VSC2/Q_{Ctrl} \quad 1$	$VSC1/P_{Ctrl} \quad 0.46$ $VSC1/Q_{Ctrl} \quad 0.77$ $VSC1/PLL \quad 0.25$ $VSC2/Q_{Ctrl} \quad 1$ $VSC2/PLL \quad 0.25$

Les valeurs propres liées aux modes 1, 2, 3 et 4 sont dominées par les variables liées au courant AC :  $i_{dq}$  et  $i_{dqCtrl}$ . On remarque que pour chacun de ces modes, les variables des deux stations ont des facteurs de participation assez élevés. Plus l'impédance de la ligne AC est petite, plus les facteurs de participation des variables provenant de l'autre station sont importants. Ceci implique, donc, un couplage entre les stations VSC. Par suite, une perturbation provenant d'une des deux stations risque d'avoir un impact sur l'autre station VSC. Cependant un couplage entre les deux stations (c.à.d. inclusion des variables des deux stations dans les mêmes modes) n'implique pas

forcement des interactions négatives. Afin de jauger ce risque d'interaction, l'outil « mode-shape » est utilisé.

#### 6.4.3.2 Étude des mode-shape

Pour chaque mode où les variables des deux stations y participent, on peut tracer leurs vecteurs afin d'évaluer le déphasage entre elles. Les différents vecteurs des variables des modes 1, 3 et 7 incluant  $Z_{parallel}$  (Tableau 6-5 colonne de droite) sont présentés à la Figure 6-22, Figure 6-23 et Figure 6-24 respectivement. Pour les modes 1 et 3, on remarque que les angles des vecteurs sont ou bien en phase ou bien l'amplitude d'un vecteur est négligeable comparé à l'autre. Par conséquent, le risque d'interaction négative entre les variables des deux stations semble être négligeable. Pour le mode 7 qui est à la PLL et  $\delta_{PLL}$ , un déphasage est à noter, cependant dans le cas de la variable  $\delta_{PLL}$ , l'angle entre les deux vecteurs est inférieur à  $90^\circ$  et pour la PLL le ratio entre les deux amplitudes est relativement petit, de ce fait le risque d'interaction négatif semble être assez limité.

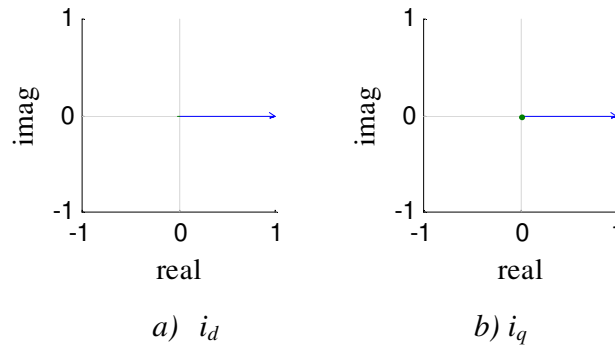


Figure 6-22: Mode 1 -Tableau 6-5 avec  $Z_{parallel} = 0.0065pu$

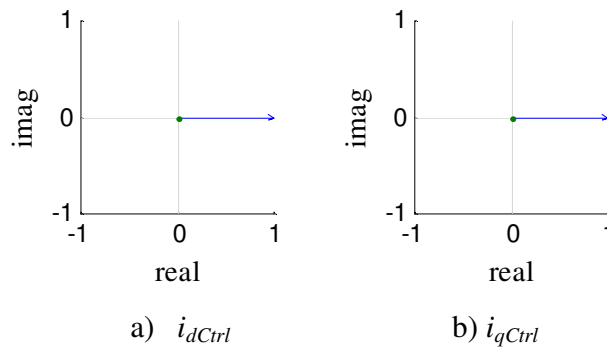
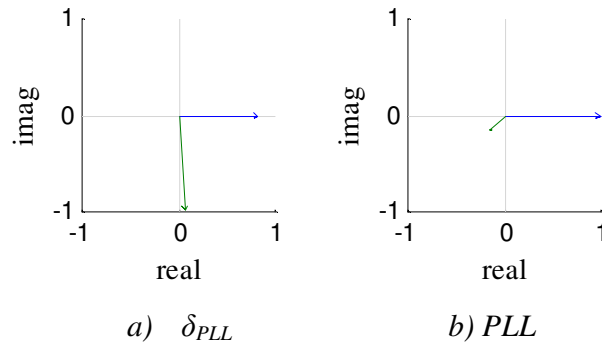


Figure 6-23: Mode 3 -Tableau 6-5 avec  $Z_{parallel} = 0.0065pu$

Figure 6-24: Mode 7 -Tableau 6-5 avec  $Z_{parallel} = 0.0065pu$ 

### 6.4.3.3 Études paramétrique sous EMTP-RV

Afin de valider les résultats en petits-sinaux, une étude paramétrique est réalisée sous EMTP-RV. Les variations des paramètres de  $Z_{parallel}$  et de la liaison HVDC sont résumées dans le tableau ci-dessous:

Tableau 6-6: Variation des paramètres de la liaison HVDC1 avec ligne AC en parallèle

Paramètre	Nombre de configurations possibles
$Z_{parallel}$	4 configurations : 0.001, 0.01, 0.1 et inf (c.à.d. sans la présence de ligne AC en parallèle)
Transite de la puissance active dans la liaison HVDC	2 configurations : les deux sens de transit de 1000 MW sont évalués
Station VSC1 en $P$ -control ou en $V_{dc}$ -control	2 configurations : $P$ -control ou $V_{dc}$ -control
Station VSC1 : Choix entre $Q$ ou $V_{ac}$ -control	2 configurations : $Q$ -control ou $V_{ac}$ - control
Station VSC2 : Choix entre $Q$ ou $V_{ac}$ -control	2 configurations : $Q$ -control ou $V_{ac}$ - control

Le nombre total de configurations possible est de 64. Une petite perturbation au point de raccordement de la station est effectuée à  $t=1s$  en insérant une résistance de  $1k\Omega$ . Un faible SCR de 2.5 est considérée. Dans les résultats qui suivent, uniquement la puissance active et la tension alternative côté VSC1 sont présentés.

Dans les résultats présentés dans cette section, les courbes en pointillées ayant une grosse épaisseur représentent les cas de configuration de la liaison HVDC sans la présence de  $Z_{parallel}$ . Quant aux autres configurations, elles sont présentées par des courbes pleines avec une mince épaisseur.



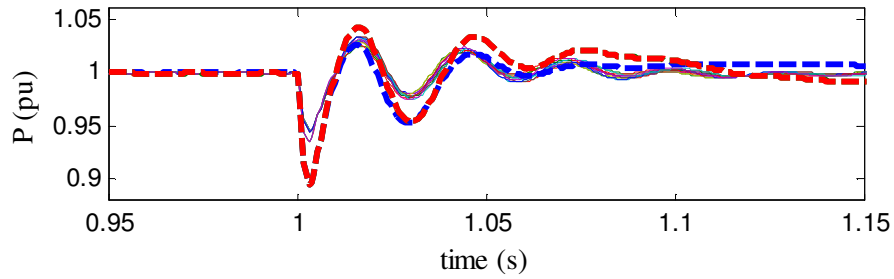
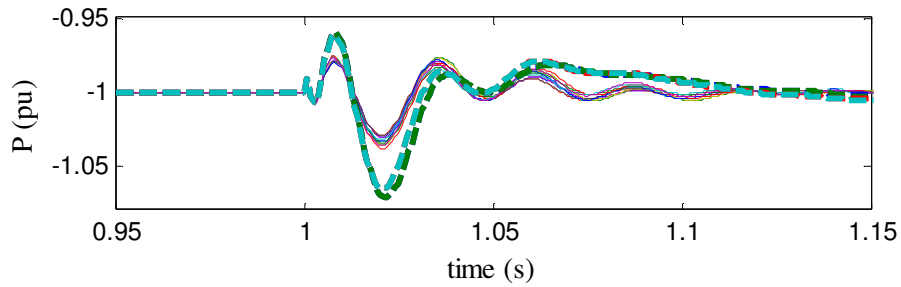
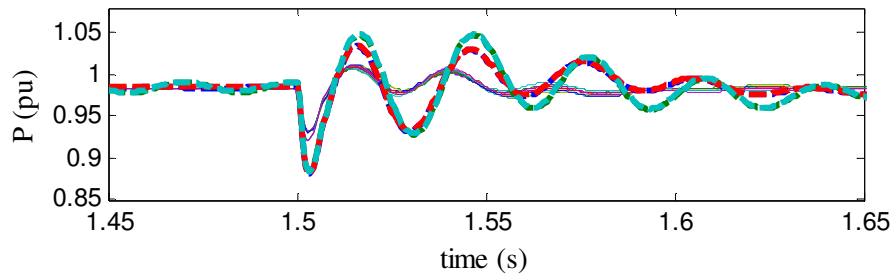
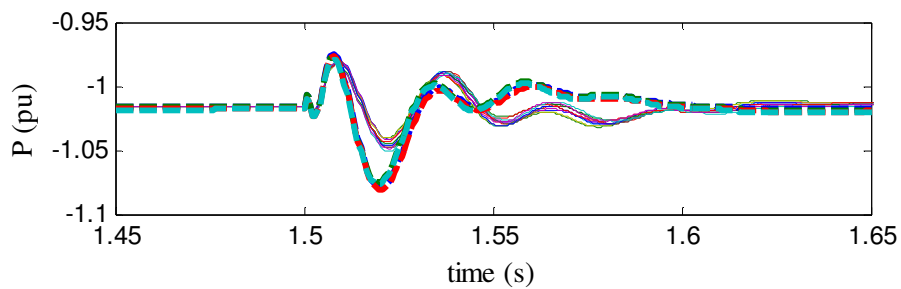
a) VSC1 en  $P$ -control et redresseurb) VSC1 en  $P$ -control et onduleurc) VSC1 en  $V_{dc}$ -control et redresseurd) VSC1 en  $V_{dc}$ -control et onduleur

Figure 6-25: Étude paramétrique avec une ligne AC en parallèle, influence d'une petite perturbation sur la puissance active

On remarque que les amplitudes les plus élevées sont obtenues sans la présence de la liaison AC en parallèle (c.à.d.  $Z_{parallel}=inf$ ). Ceci confirme le raisonnement analytique présenté

précédemment (section 6.4.3) : l'ajout d'une liaison AC en parallèle augmente le SCR vue par chaque station et par suite la performance de la liaison HVDC se trouve améliorée.

Cependant ces constatations sont valables uniquement pour des petites perturbations. En effet, lors de grandes perturbations des phénomènes non linéaires peuvent subsister; par exemple, lors d'un défaut AC au point de raccordement de la station, les saturations des contrôleurs vont s'opérer et le système de protection peut déclencher la station. Afin d'évaluer l'impact de la liaison AC en parallèle avec une liaison HVDC lors de grandes perturbations, un défaut AC 3-phase-terre à  $t = 1\text{s}$  pour 200 ms au point de raccordement de VSC1, est appliqué. Les différentes configurations possibles présentées précédemment dans le Tableau 6-6, sont considérés. Les résultats des puissances actives au point de raccordement de VSC1 lors de l'extinction du défaut sont présentés ci-dessous.

On remarque que plusieurs cas de configuration incluant la ligne AC en parallèle peuvent entraîner des oscillations et des perturbations plus importantes comparés au cas de configuration sans la ligne AC en parallèle. Ceci prouve que pour des grandes transitoires, la ligne AC en parallèle peut engendrer une détérioration de la performance dynamique au niveau de la liaison HVDC contrairement au cas impliquant des petites perturbations.

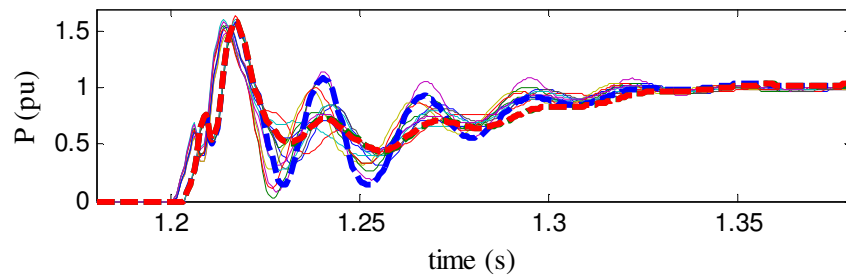
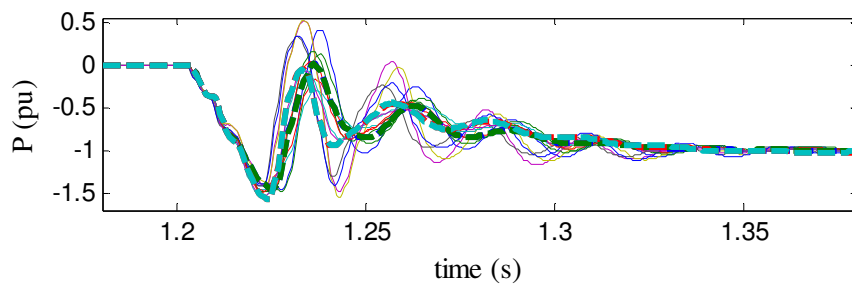
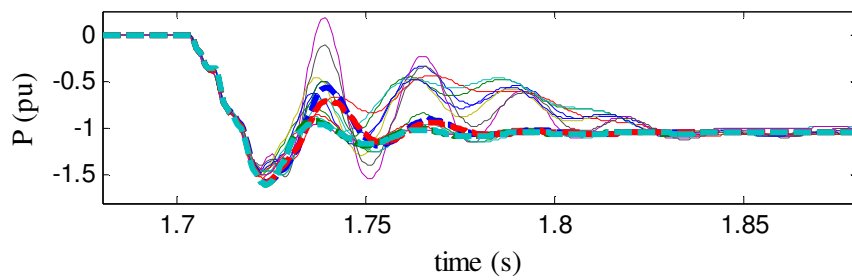
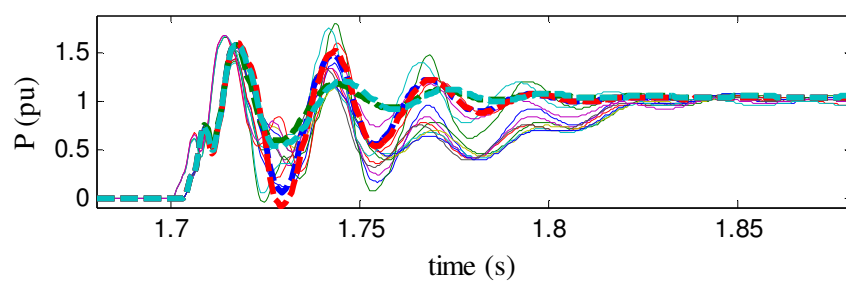
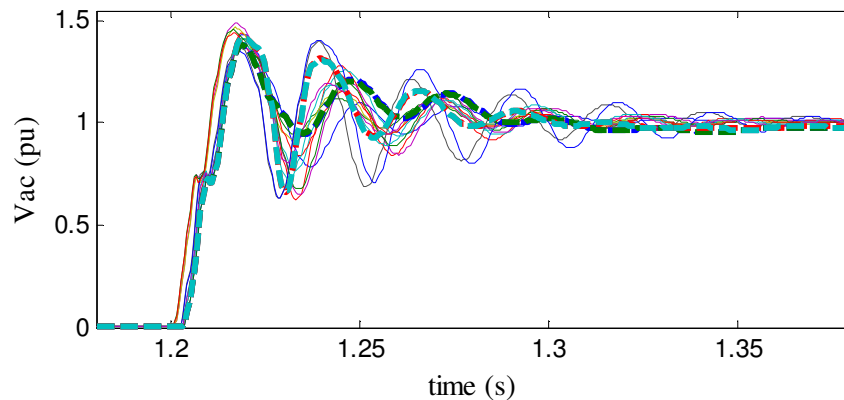
a) VSC1 en  $P$ -control et redresseurb) VSC1 en  $P$ -control et onduleurc) VSC1 en  $V_{dc}$ -control et redresseurd) VSC1 en  $V_{dc}$ -control et onduleur

Figure 6-26: Étude paramétrique avec une ligne AC en parallèle, influence d'une grande perturbation sur la puissance active

Afin d'évaluer l'impact de ces grandes perturbations sur les surtensions AC après extinction du défaut, les résultats du sous-groupe où la station est en *P*-control et redresseur sont présentés dans la Figure 6-27. Des résultats similaires peuvent être obtenus pour les 3 autres sous-groupes.



VSC1 en *P*-control en redresseur et en onduleur

Figure 6-27: Étude paramétrique avec une ligne AC en parallèle, influence d'une grande perturbation sur la tension AC

On remarque qu'au niveau de la tension AC après rétablissement du réseau, les oscillations incluant la ligne AC en parallèle ont effectivement des oscillations moins amorties que le cas sans ligne AC en parallèle. De plus, dans certaines configurations, la valeur maximale et les oscillations atteignent des niveaux plus importants que dans le cas sans la ligne AC en parallèle. Ces amplitudes peuvent donc dépasser le seuil des surtensions du système de protection, ce qui risque d'entraîner le déclenchement de la liaison HVDC.

L'augmentation de l'amplitude de la tension après extinction de défaut est principalement liée à la contribution de la puissance réactive provenant de l'autre station. En effet, la ligne AC va permettre le transit de la puissance réactive provenant de la station VSC2, ce qui implique que lors d'un défaut aux bornes d'une station, la contribution en puissance réactive proviendra des deux stations. Juste après l'extinction du défaut, une transitoire plus importante apparaît à cause du temps de réponse des boucles de contrôle qui vont maintenir, pour quelques dizaine de *ms*, la fourniture de la puissance réactive. Ces grandes perturbations peuvent dépendre de plusieurs facteurs non linéaires, comme le mode d'opération de la liaison, les saturations des systèmes de contrôle, les seuils du système de protection, etc. Tous ces facteurs complexes ne peuvent pas être pris en compte dans les modèles en petits-sinaux.

#### 6.4.4 Influence d'une ligne AC en série

Dans cette section, les risques d'interaction entre deux liaisons HVDC intégrées dans un réseau AC sont évalués. Pour ce faire deux modèles linéarisés de la liaison HVDC sont utilisés. Le réseau étudié est présenté ci-dessous :

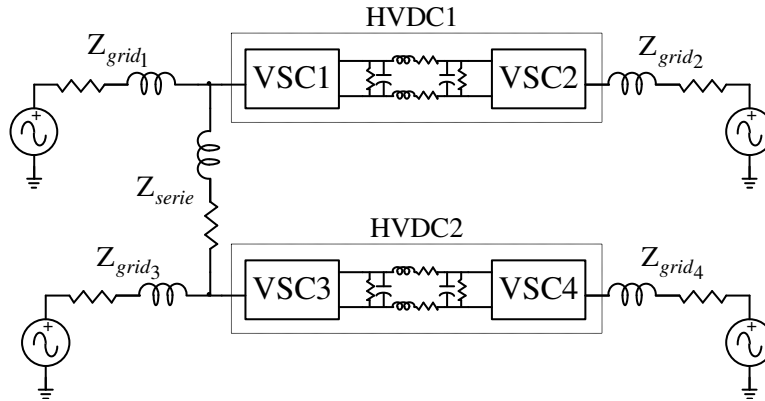


Figure 6-28 : Deux liaisons HVDCs connectés via une ligne AC en série

Une capacité de 1,000 MW est considérée pour chacune des deux liaisons HVDC. On considère un SCR de 2.5 pour chaque réseau équivalent et une inductance de ligne  $Z_{serie}$  de 0.0025pu.

Par ailleurs, la matrice d'admittance est obtenue à partir de la Figure 6-28, comme suit :

$$Y = \begin{bmatrix} \frac{1}{Z_{grid1}} + \frac{1}{Z_{serie}} & 0 & -\frac{1}{Z_{serie}} & 0 \\ 0 & \frac{1}{Z_{grid2}} & 0 & 0 \\ -\frac{1}{Z_{serie}} & 0 & \frac{1}{Z_{grid3}} + \frac{1}{Z_{serie}} & 0 \\ 0 & 0 & 0 & \frac{1}{Z_{grid4}} \end{bmatrix} \quad (6.28)$$

De manière similaire à la section précédente, les admittances qui se trouvent sur la diagonale de la matrice représentent les SCRs vues du côté VSC. On remarque que l'ajout d'une liaison AC en série ( $Z_{serie}$ ) a comme conséquence l'augmentation du SCR équivalente vue des stations VSC :

$$\frac{Z_{grid1}(Z_{grid3} + Z_{serie})}{Z_{grid1} + Z_{grid3} + Z_{serie}} < Z_{grid1} \quad (6.29)$$

En pratique, la construction de ces deux liaisons peut être réalisée par deux constructeurs différents. De ce fait, les deux liaisons HVDCs n'auront pas forcément les mêmes paramètres électriques et les mêmes constantes de temps. On suppose donc que, pour la liaison HVDC1, les valeurs de paramètres restent identiques aux Tableau 6-1- Tableau 6-2 et pour la liaison HVDC2 les nouvelles valeurs suivantes sont fixées:

Tableau 6-7 : Valeurs des contrôleurs PI de la liaison HVDC2

Type de contrôleur :	Nome des variables d'état	Constante de temps	Taux d'amortissement ( $\zeta$ )
Inner control : $i$ -control	$i_{dCtrl}$ et $i_{qCtrl}$	7 ms	0.7
Outer control : $P$ -control, $V_{dc}$ -control, $Q$ -control et $V_{ac}$ -control	$P_{Ctrl}$ , $V_{dcCtrl}$ , $Q_{Ctrl}$ et $V_{acCtrl}$	70 ms	0.7
PLL	$PLL$	75 ms	1

L'analyse des valeurs propres présentée dans le Tableau 6-8, compare le réseau AC avec et sans la présence de  $Z_{serie}$  pour des SCRs de 2.5. Dans la section 6.4.2, il a été montré que les valeurs propres liées au côté DC ne changent pas en fonction du réseau AC et que pour une même liaison HVDC les deux stations VSC n'interagissent pas ensemble. De ce fait, pour des raisons de clarté, dans le Tableau 6-8 , uniquement les modes coté AC dominés par les variables de la station VSC1 sont montrés.

Tableau 6-8: Facteurs de participation : Influence de  $Z_{serie}$  sur les liaisons HVDCs

Mode	<b>SCR = 2.5 sans <math>Z_{serie}</math></b>	<b>SCR = 2.5 avec <math>Z_{serie} = 0.0025</math></b>
1	$> -564.9 \quad +j 744.9 \quad f=120 \text{ Hz} \quad \zeta = 0.6043$ $VSC1/VSC/i_d \quad 1$ $VSC1/VSC/i_q \quad 0.98$ $VSC1/i_{dCtrl} \quad 0.21$ $VSC1/i_{qCtrl} \quad 0.20$	$> -321.3 \quad +j 380.8 \quad f=61 \text{ Hz} \quad \zeta = 0.6448$ $VSC1/VSC/i_d \quad 1$ $VSC1/VSC/i_q \quad 0.89$ $VSC3/VSC/i_d \quad 0.41$ $VSC3/VSC/i_q \quad 0.4$ $VSC1/i_{qCtrl} \quad 0.63$ $VSC1/i_{dCtrl} \quad 0.71$ $VSC3/i_{qCtrl} \quad 0.53$ $VSC3/i_{dCtrl} \quad 0.63$
2	$> -77.48 \quad +j 221.1 \quad f=35 \text{ Hz} \quad \zeta = 0.3307$ $VSC1/VSC/i_d \quad 0.26$ $VSC1/VSC/i_q \quad 0.29$ $VSC1/w_{to\_delta} \quad 0.26$ $VSC1/i_{qCtrl} \quad 1$ $VSC1/LP\_i_{qCtrl} \quad 0.22$ $VSC1/i_{dCtrl} \quad 0.79$	$> -106.3 \quad +j 244.5 \quad f=39 \text{ Hz} \quad \zeta = 0.3988$ $VSC1/VSC/i_d \quad 0.33$ $VSC1/VSC/i_q \quad 0.39$ $VSC1/i_{qCtrl} \quad 1$ $VSC1/i_{dCtrl} \quad 0.8$ $VSC3/i_{qCtrl} \quad 0.42$ $VSC3/i_{dCtrl} \quad 0.35$
3	$> -33.28 \quad +j 41.31 \quad f=6.6 \text{ Hz} \quad \zeta = 0.6273$ $VSC1/w_{to\_delta} \quad 0.98$ $VSC1/LP\_i_{qCtrl} \quad 0.22$ $VSC1/PLL \quad 1$	$> -37.33 \quad +j 41.05 \quad f=6.5 \text{ Hz} \quad \zeta = 0.6728$ $VSC1/w_{to\_delta} \quad 0.96$ $VSC1/PLL \quad 1$
4	$> -50.5 \quad +j 22.69 \quad f=3.6 \text{ Hz} \quad \zeta = 0.9122$ $VSC1/w_{to\_delta} \quad 0.4$ $VSC1/P_{ctrl} \quad 0.36$ $VSC1/i_{qCtrl} \quad 0.28$ $VSC1/Q_{ctrl} \quad 0.53$ $VSC1/LP\_i_{qCtrl} \quad 0.64$ $VSC1/LP\_i_{dCtrl} \quad 1$ $VSC1/i_{dCtrl} \quad 0.47$ $VSC1/PLL \quad 0.72$	$> -57.7 \quad +j 24.64 \quad f=3.9 \text{ Hz} \quad \zeta = 0.9196$ $VSC1/w_{to\_delta} \quad 0.24$ $VSC1/P_{ctrl} \quad 0.21$ $VSC1/Q_{ctrl} \quad 0.27$ $VSC1/LP\_i_{qCtrl} \quad 0.41$ $VSC1/LP\_i_{dCtrl} \quad 1$ $VSC1/i_{dCtrl} \quad 0.47$ $VSC1/PLL \quad 0.37$ $VSC3/P_{ctrl} \quad 0.36$ $VSC3/Q_{ctrl} \quad 0.42$ $VSC3/LP\_i_{qCtrl} \quad 0.27$ $VSC3/LP\_i_{dCtrl} \quad 0.71$ $VSC3/i_{dCtrl} \quad 0.29$
5	$> -23.02 \quad +j 0 \quad f=0 \text{ Hz} \quad \zeta = 1$ $VSC1/P_{ctrl} \quad 1$ $VSC1/PLL \quad 0.24$	$> -24.3 \quad +j 0 \quad f=0 \text{ Hz} \quad \zeta = 1$ $VSC1/P_{ctrl} \quad 1$
6	$> -35.86 \quad +j 0 \quad f=0 \text{ Hz} \quad \zeta = 1$ $VSC1/i_{qCtrl} \quad 0.26$ $VSC1/Q_{ctrl} \quad 1$ $VSC1/LP\_i_{qCtrl} \quad 0.34$ $VSC1/PLL \quad 0.38$	$> -31.06 \quad +j 0 \quad f=0 \text{ Hz} \quad \zeta = 1$ $VSC1/Q_{ctrl} \quad 1$
7	$> -21.21 \quad +j 21.21 \quad f=3.4 \text{ Hz} \quad \zeta = 0.7071$ $VSC1/LP\_PLL \quad 1$ $VSC1/LP\_PLL \quad 1$	$> -21.21 \quad +j 21.21 \quad f=3.4 \text{ Hz} \quad \zeta = 0.7071$ $VSC1/LP\_PLL \quad 1$ $VSC1/LP\_PLL \quad 1$

On remarque l'inclusion de plusieurs variables de la station VSC3 dans les modes 1, 2 et 4 dominés par des variables de la station VSC1 et ceci même si tous les paramètres et les constantes de temps des deux liaisons sont différents.

Pour le mode 1, qui est dominé par les variables  $i_{dq}$  de VSC1, deux phénomènes ont lieu lors de l'introduction de  $Z_{serie}$  d'une part, on remarque une participation de la part des variables

provenant de VSC3 et d'autre part, une augmentation des facteurs de participation des variables du  $i$ -control ( $i_{dqCtrl}$ ). Cette augmentation est due à l'augmentation du SCR vue par la station VSC1 (voir équation(6.29)) ce qui améliore la performance de l' $i$ -control.

Afin de vérifier que l'intrusion des variables de VSC3 n'interagit pas avec les variables correspondants à VSC1, l'outil mode-shape est utilisé.

#### 6.4.4.1 Études des mode-shape

Les principaux mode-shape des modes 1, 2 et 4 du Tableau 6-8 avec  $Z_{serie}$  (c.à.d. colonne de droite) sont présentés dans cette section. Les mode-shape des vecteurs des variables de VSC1 et VSC3 qui y participent le plus dans ces modes sont tracés.

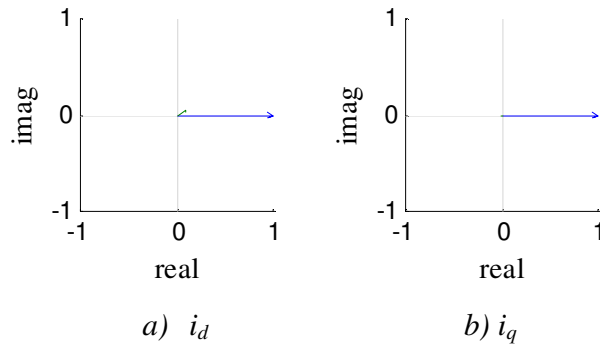


Figure 6-29: Mode 1 -Tableau 6-8 avec  $Z_{serie}$

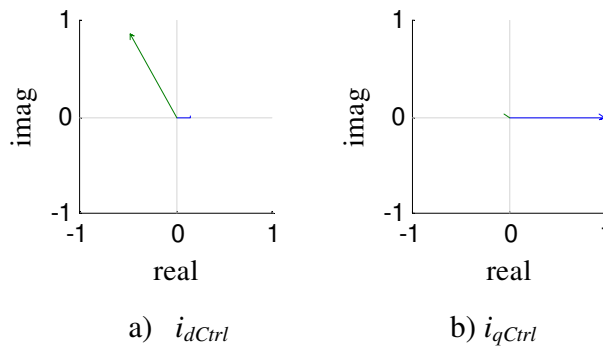
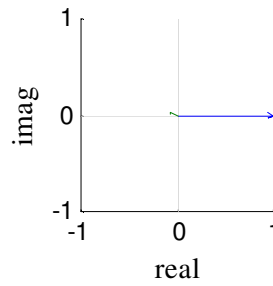


Figure 6-30: Mode 2 -Tableau 6-8 avec  $Z_{serie}$





a)  $LP_{i_{dCtrl}}$

Figure 6-31: Mode 4 -Tableau 6-8 avec  $Z_{serie}$

Pour le mode 1, les vecteurs liés aux deux stations VSC1 et VSC3 ne semblent pas avoir un risque d'interaction élevé. Pour le mode 2, les vecteurs liés à  $i_{dCtrl}$  de VSC1 et VSC3 montrent un faible risque d'interaction puisque les amplitudes des vecteurs sont notables et un déphasage de  $120^0$  entre elles est constaté. Cette constatation est aussi notée pour le filtre passe-bas du  $i$ -control (Figure 6-31). Cependant, on constate globalement que le risque d'interaction semble négligeable mais non nul.

#### 6.4.4.2 Étude des lieux des racines

Dans cette section, l'influence de la variation des paramètres de la liaison HVDC2 sur la liaison HVDC1 est analysée (Figure 6-28). Le but de cette étude est de vérifier si les paramètres d'une liaison peuvent influencer sur les modes oscillatoires d'une autre liaison connectée électriquement proche. Pour ce faire, une étude des lieux des racines est utilisée. La constante de temps du  $i$ -control de VSC3 est variée de 10 ms à 3 ms et les résultats des lieux des racines sont présentés dans la Figure 6-32.

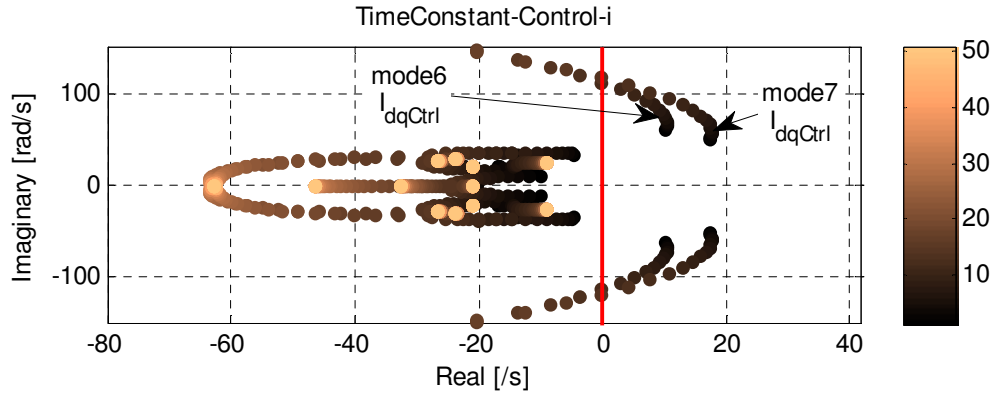


Figure 6-32: Évolution des lieux des racines en fonction de la variation de la constante de temps de VSC3.

On remarque que la variation de la constante de temps du  $i$ -control de VSC3 contribue à la variation des modes liés à  $i_{dqCtrl}$  de VSC1. Cependant cette variation ne semble pas être très critique.

L'influence du filtre passe-bas du  $i$ -control de VSC3 sur les modes de VSC1 est maintenant évaluée. La fréquence de coupure est variée de 100 Hz à 9 Hz et les résultats des lieux des racines sont montrés à la Figure 6-33.

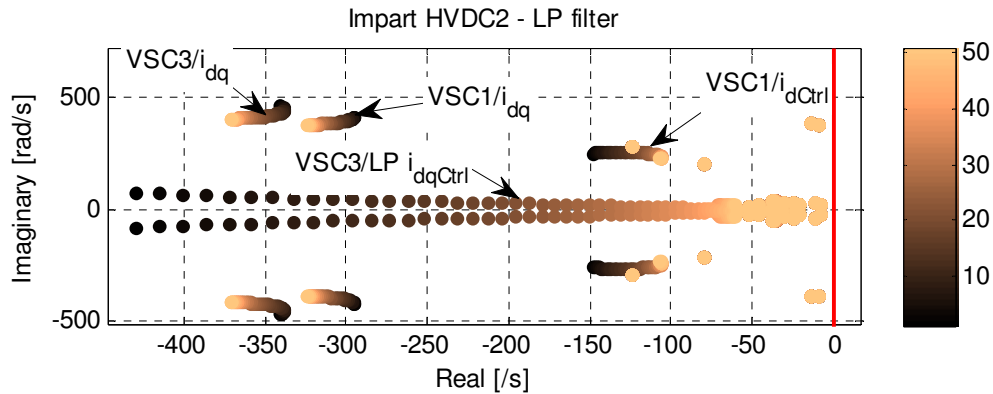


Figure 6-33: Évolution des lieux des racines en fonction de la variation du filtre de VSC3.

On remarque que le mode lié à  $i_{dqCtrl}$  de VSC1 est légèrement influencé par la variation du filtre de VSC3. Cependant cette variation ne semble pas avoir un impact significatif.

#### 6.4.4.3 Études paramétriques sous EMTP-RV sur l'influence de la ligne AC en série

Afin d'évaluer l'influence d'une deuxième liaison au même point de raccordement, dans cette étude EMT, les paramètres des deux liaisons HVDCs sont variés et l'inclusion/exclusion de la

liaison HVDC2 sont considérés. Les variables de la liaison HVDC1 sont, par la suite, évaluées avec et sans la connexion de la liaison HVDC2 afin d'étudier l'impact de la liaison HVDC2. Dans le tableau ci-dessous les paramètres variés et le nombre de configuration sont présentés:

Tableau 6-9: Variation des paramètres des deux liaisons HVDCs connectés via  $Z_{serie}$

Paramètre	Nombre de configurations possibles
$Z_{serie}$	2 configurations : 0.0025 et inf (c.à.d. sans la présence de ligne AC en série)
Valeur de l'inductance en série	2 configurations : 50 mH et 1mH
Sens de transite de la puissance active dans la liaison HVDC1	2 configurations : les deux sens de transit de 1000 MW sont évalués
Sens de transite de la puissance active dans la liaison HVDC2	2 configurations : les deux sens de transit de 1000 MW sont évalués
VSC1 en $P$ -control ou en $V_{dc}$ -control	2 configurations : $P$ -control ou $V_{dc}$ -control
VSC3 en $P$ -control ou en $V_{dc}$ -control	2 configurations : $P$ -control ou $V_{dc}$ -control
VSC1: Choix entre $Q$ - et $V_{ac}$ -control	2 configurations : $Q$ -control ou $V_{ac}$ -control
VSC3: Choix entre $Q$ - et $V_{ac}$ -control	2 configurations : $Q$ -control ou $V_{ac}$ -control

Le nombre total de configuration est de 192. Une petite perturbation au point de raccordement de la station est effectuée à  $t = 0.6$  s en insérant une résistance de  $1 \text{ k}\Omega$  au point de raccordement de VSC1 (Figure 6-28). Un faible SCR est considérée. Dans les résultats qui suivent uniquement la puissance active et la tension alternative côté VSC1 sont présentés.

Dans les résultats présentés dans cette section, les courbes en pointillées ayant une grosse épaisseur représentent les cas de configurations de la liaison HVDC sans la présence de la liaison HVDC2 (c.à.d.  $Z_{serie}=inf$ ). Quant aux autres configurations, elles sont présentées par des courbes pleines avec une mince épaisseur.

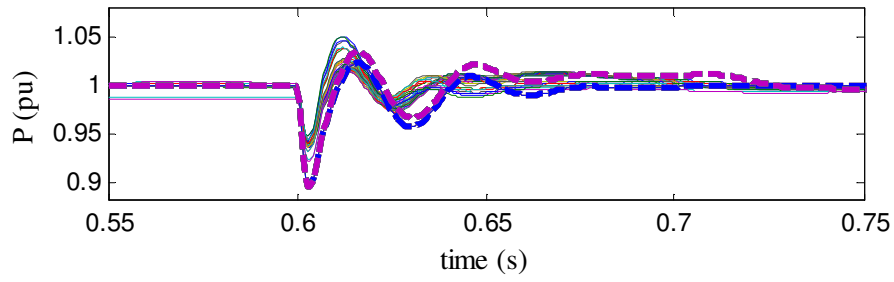
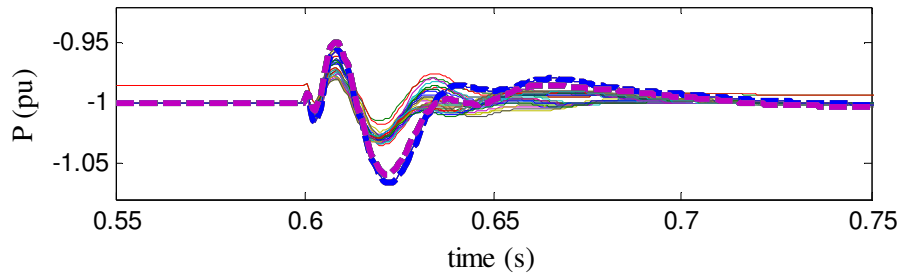
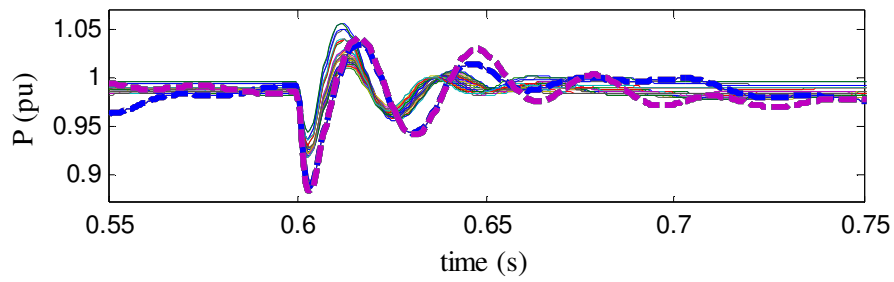
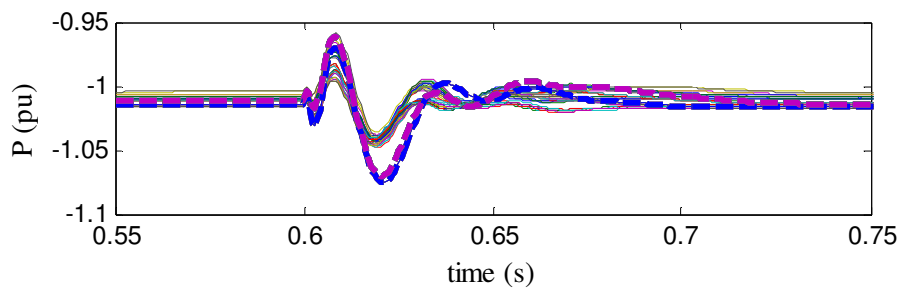
a) VSC1 en  $P$ -control et redresseurb) VSC1 en  $P$ -control et onduleurc) VSC1 en  $V_{dc}$ -control et redresseurd) VSC1 en  $V_{dc}$ -control et onduleur

Figure 6-34: Étude paramétrique sur l'inclusion de la liaison HVDC2, influence d'une petite perturbation sur la puissance active

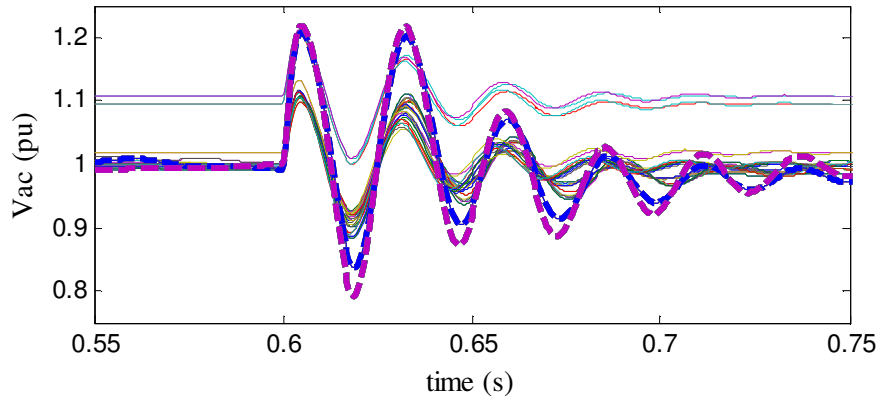


Figure 6-35: Étude paramétrique sur l'inclusion de la liaison HVDC2, influence d'une petite perturbation sur la tension AC

Dans la Figure 6-35, les cas de configuration ayant un point de fonctionnement de la tension alternative autour de 1.1 pu sont uniquement liés au choix de la valeur de référence de la puissance réactive quand  $Q$ -control est sélectionné.

Concernant les puissances actives, les oscillations les plus importantes (amplitudes et amortissements) sont liées aux cas de configurations de la station HVDC1 sans la présence de la liaison HVDC2. Ceci confirme le raisonnement analytique présenté précédemment (section 6.4.4) : l'ajout d'une deuxième station avec un nouveau réseau AC équivalent va contribuer à l'amélioration de la stabilité du système pour des petites perturbations dû à l'augmentation du SCR (voir équation (6.29)). Par suite, on peut confirmer que pour des petites perturbations, d'une part, le risque d'interaction négatif entre deux stations de conversions électriquement proche semble être négligeable et, d'autre part, que l'ajout de cette nouvelle liaison implique (dans ce cas de figure) l'insertion d'un nouveau réseau équivalent et donc l'augmentation du SCR ce qui améliore la performance du système.

Remarque :

Dans le cas de figure où la nouvelle liaison HVDC2 est connectée directement au même point de raccordement de la liaison HVDC1 comme montré dans la Figure 6-36, la valeur du SCR du réseau équivalent  $Z_{grid1}$  se voit modifiée, car si on suppose un SCR égale à 5 ( $S_{grid}/P_{HVDC1} = 5000/1000$ ) avant le raccordement de la liaison HVDC2, le SCR devient égal à 2.5 ( $S_{grid}/(P_{HVDC1} + P_{HVDC2}) = 5000/2000$ ) après raccordement de la deuxième liaison.

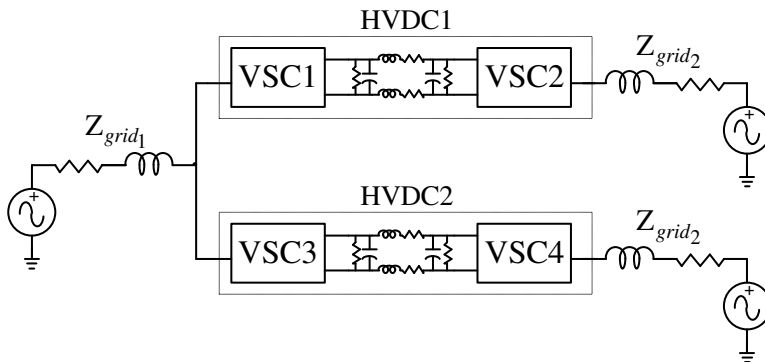
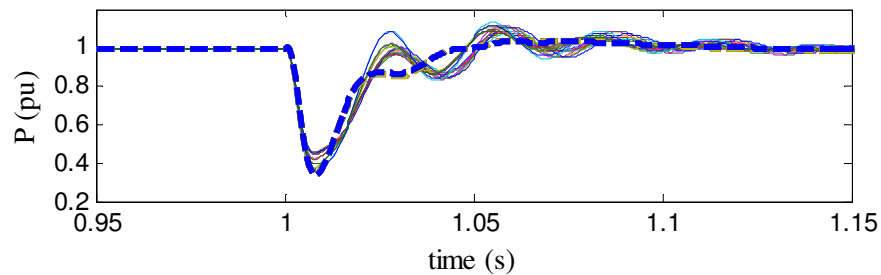


Figure 6-36 : Deux liaisons HVDCs connectés sur le même jeu de barre

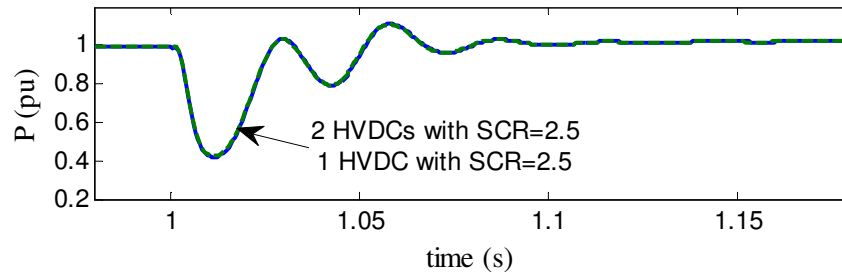
De ce fait, à cause de la diminution du SCR dû au nouveau raccordement de la liaison HVDC2, il est clair que la performance de la liaison HVDC1 sera moins bonne même lors des petites perturbations. Ci-dessous une étude paramétrique pour une petite perturbation sur la puissance active:



a) VSC1 en  $V_{dc}$ -control et redresseur

Figure 6-37: Étude paramétrique pour une petite perturbation sur la puissance active quand deux liaisons HVDCs sont raccordées sur le même jeu de barre

Cependant, cette dégradation est simplement liée à la baisse du SCR et non pas à des interactions entre les stations. Pour s'en convaincre, ci-dessous une comparaison pour des petites perturbations sur la puissance active, entre deux HVDCs identiques de 1,000 MW avec des SCRs =2.5 (Figure 6-36) et une seule liaison HVDC équivalente de 2,000 MW avec des SCRs =2.5 (Figure 6-9).



a) VSC1 en  $V_{dc}$ -control et redresseur

Figure 6-38: Comparaison entre deux liaisons HVDCs identique et une liaison HVDC

On remarque que les résultats sont confondus, ce qui confirme que les interactions négatives entre les deux stations de conversions pour de petites perturbations sont négligeables. Mêmes conclusions peuvent être faites pour les autres cas de configurations.

Ces constatations sont valables uniquement pour des petites perturbations. En effet, lors de grandes perturbations des phénomènes non linéaires peuvent subsister; par exemple, lors d'un défaut AC au point de raccordement de la station, les saturations des contrôleurs vont s'opérer et le système de protection peut déclencher la station. Afin d'évaluer l'impact de la liaison HVDC2 connecté via une ligne AC avec la liaison HVDC1 lors de grandes perturbations, un défaut AC 3 phases-terre à  $t=0.6$  s pour 200 ms au point de raccordement de VSC1 est appliqué. Les différentes configurations possibles présentées précédemment dans le Figure 6-39 sont considérés. Les résultats des puissances actives au point de raccordement de VSC1 (Figure 6-28) lors de l'extinction du défaut sont présentés.

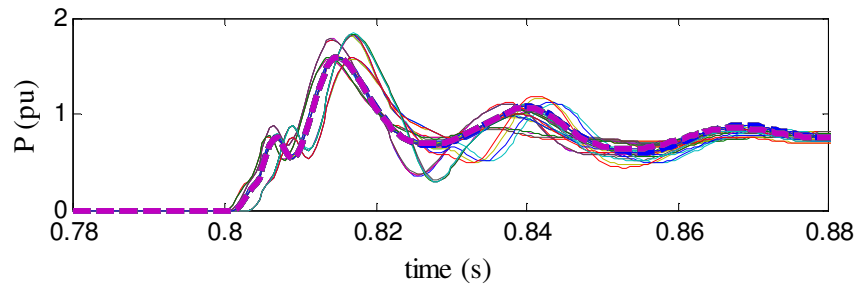
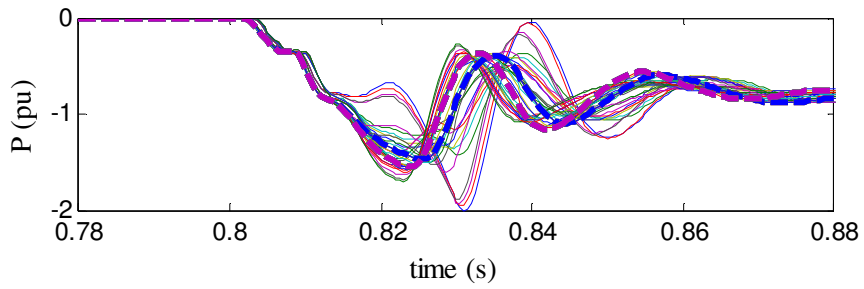
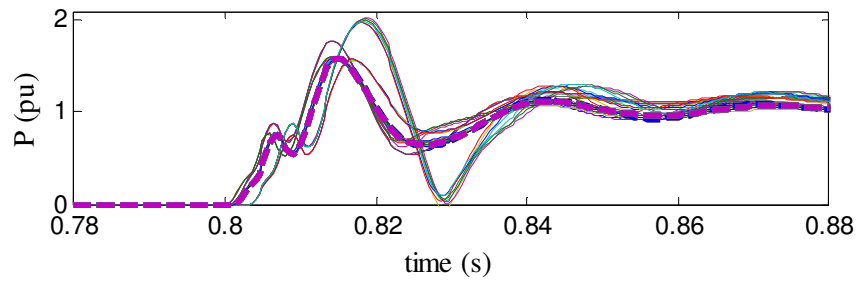
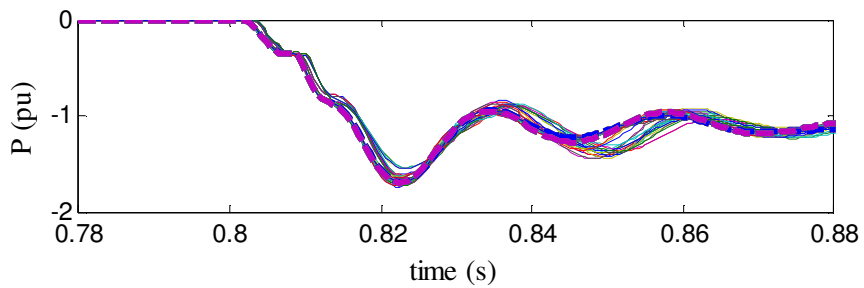
a) Station en  $P$ -control et redresseurb) Station en  $P$ -control et onduleurc) Station en  $V_{dc}$ -control et redresseurd) Station en  $V_{dc}$ -control et onduleur

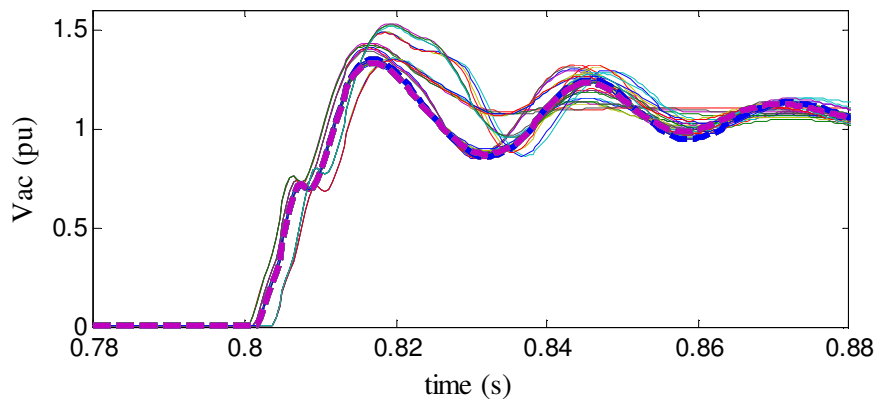
Figure 6-39: Étude paramétrique sur l'introduction de la liaison HVDC2, influence d'une grande perturbation sur la puissance active

À partir des résultats des puissances actives, on remarque des comportements différents en fonction de différentes configurations. Les amplitudes les plus élevées et les taux



d'amortissements les plus bas appartiennent à des cas de configurations incluant la liaison HVDC2. Ce qui prouve que pour des grandes perturbations, l'insertion d'une nouvelle liaison HVDC à proximité d'une autre liaison HVDC contribue à des interactions négatives. Le cas de configuration où la station VSC1 est en *P*-control redresseur (Figure 6-39.d) représente le cas ayant le moins d'interaction négative avec la liaison HVDC2.

Afin d'évaluer l'impact de ces grandes perturbations sur les surtensions AC après extinction du défaut, les résultats du sous-groupe où la station VSC1 est en *P*-control et redresseur est présenté dans la Figure 6-40. Des résultats similaires peuvent être obtenus pour les 3 autres sous-groupes.



a) Station en *P*-control et redresseur

Figure 6-40: Étude paramétrique sur l'introduction de la liaison HVDC2, influence d'une grande perturbation sur la tension AC

De façon similaire à la configuration où la liaison HVDC était en parallèle avec une ligne AC (Figure 6-21), on remarque qu'au niveau de la tension AC après rétablissement du réseau, les oscillations incluant une deuxième liaison HVDC ont effectivement des oscillations moins amorties que les cas où la deuxième liaison n'était pas incluse. De plus, les amplitudes les plus élevées sont atteintes quand la liaison HVDC2 est présente (la valeur maximale est égale à 1.53 pu). Ces tensions élevées sont atteintes à cause de l'apport du réactive provenant de la deuxième station. Lors de l'extinction du défaut, les contrôleurs ont un certain temps de réponse avant que la fourniture en réactive soit diminuée, ce qui induit des surtensions plus élevées. Ces pics peuvent donc dépasser le seuil des surtensions du système de protection, ce qui risque d'entraîner le déclenchement de la liaison HVDC.

## 6.5 Conclusion

Dans ce chapitre, la modélisation en petits signaux d'une liaison HVDC-VSC de type MMC a été présentée. Ce modèle a été vérifié à l'aide d'un modèle non-linéaire plus détaillé sous EMTP-RV (modèle en valeur moyenne). Trois configurations de réseau AC ont été analysées: une liaison HVDC point-à-point, une liaison HVDC avec une ligne AC en parallèle et deux liaisons HVDC connectées par une ligne AC. De plus, la variation du SCR a été évaluée. L'analyse des valeurs propres et les lieux des racines a permis d'évaluer les risques d'interactions entre différentes variables du système et l'influence des gains des contrôleurs. Il est toutefois apparu qu'un choix judicieux des constantes de temps des différents régulateurs permettait d'atténuer les oscillations indésirables, notamment quand la puissance de court-circuit des réseaux est faible.

Des études paramétriques menées sous EMTP-RV ont permis de confirmer les études en petits-s signaux pour les petites perturbations. Cependant, il a été constaté que lors de grandes perturbations (défaut AC au point de raccordement), des interactions négatives peuvent avoir lieu quand une ligne AC se trouve en parallèle avec une liaison HVDC ou quand deux liaisons HVDCs sont électriquement proches.

## CHAPITRE 7 CONCLUSION ET RECOMMANDATIONS

De nos jours, les installations de liaisons HVDCs de type VSC-MMC sont en expansions dans le monde. Cette technologie est composée de plusieurs milliers de composants semi-conducteurs, ce qui engendre une complexité de modélisation dans les logiciels de type EMT. Dans cette thèse, quatre types de modèles ont été développés :

- Modèle #1 représente le modèle le plus détaillé actuellement disponible sur un logiciel de type EMT. Cependant, il nécessite des temps de calcul très élevés. Il peut être utilisé en tant que modèle de référence et pour configurer les modèles simplifiés.
- Modèle #2 permet d'éviter la modélisation détaillée des IGBT/Diode en les représentant uniquement par une résistance  $R_{ON}/R_{OFF}$ . Ceci permet la réduction du nombre de nœuds électriques et augmente ainsi la vitesse des calculs. Ce modèle fournit des résultats précis et peut être utilisé lorsque des SMs redondants sont inclus dans le MMC et/ou lorsque la commande d'équilibrage de chaque condensateur doit être analysée.
- Modèle #3 permet d'améliorer encore plus la performance de calcul. Ce modèle permet la représentation de l'état Bloqué d'un MMC. Des résultats suffisamment précis peuvent être obtenus lorsque le nombre de niveaux de MMC est supérieur à 101. Il doit être utilisé avec précaution lorsque le nombre de niveaux diminue. Ce modèle peut reproduire les courants circulaires et le stockage de l'énergie dans chaque demi-bras, mais pas l'équilibrage des tensions des condensateurs des SMs.
- Modèle #4 représente le modèle le moins précis. Cependant, le pas de temps peut être augmenté pour accélérer les temps de calcul. La dynamique du système coté alternatif peut être représentée adéquatement dépendamment des événements étudiés, mais la modélisation côté continu n'est pas suffisamment précise.

Des cas tests pratiques comprenant des défauts, un changement de référence de la puissance et la séquence de démarrage d'une station ont été utilisés pour étudier le comportement de ces modèles.

Le système contrôle complet de la liaison HVDC-MMC a été développé dans cette thèse. Ce système inclus le contrôle global et les contrôles des SMs. Deux structures de contrôle global ont été développées :

- Contrôle-global #1 : ne prend pas en compte la régulation des énergies des demi-bras. Cependant, ce contrôleur peut poser des problèmes d'instabilité puisque les variables internes du MMC ne sont pas contrôlées.
- Contrôle-global #2 : permet de gérer les énergies internes des demi-bras. Il permet ainsi le découplage entre la tension continue et les tensions des condensateurs des SMs. Cet avantage a été montré sur un cas pratique où un MMC inclut des SMs redondants. Dans ce cas test, on a remarqué que la gestion des énergies lors des pertes des SMs redondants de façon adéquates

D'autre part, trois contrôleurs BCA ont été présentés; les algorithmes #1-standard et -améliorée basés sur la fonction de tri et un Algorithme #2 basé sur la fonction max-min. La comparaison entre ces trois approches a montré qu'il est possible avec l'Algorithme #1-améliorée et l'Algorithme #2, d'obtenir un nombre de commutation assez bas tout en maintenant une fluctuation adéquate des tensions des condensateurs des SMs. Les performances de ces trois approches en temps réel ont montré la rapidité de l'exécution de l'Algorithme #2 comparée aux deux autres Algorithmes #1 basés sur la fonction de tri.

Les liaisons HVDC-MMC développées ont été par la suite simulées et vérifiées en temps réel. Une étude de faisabilité de la simulation de MMC variant de 51 à 401 niveaux a été réalisée. Il a été montré que le modèle MMC sur CPU est limité à 231 niveaux. Cette limite est réduite à 161 niveaux pour les simulations HIL à cause des latences dans les communications et les Entrées/Sorties. Par ailleurs, deux configurations de modèle MMC sur FPGA ont été présentées. Dans la première configuration (ASP1) le nombre élevé des données échangées entre les modèles de demi-bras et le système de contrôle ne permet pas d'obtenir des performances acceptables. Quant à la deuxième configuration (ASP2), le BCA est implémenté sur FPGA et le meilleur temps d'exécution du système est obtenu avec  $9 \mu s$ . De plus, le modèle MMC implémenté sur FPGA fonctionne à  $2.4 \mu s$ . Ces temps d'exécution ne dépendent pas du nombre de niveaux de MMC. Aucune latence supplémentaire n'est prévue pour la simulation HIL, puisque les modèles de demi-bras sont codés sur FPGA.

Puisque ces liaisons HVDCs sont intégrées dans des réseaux AC maillés, une étude sur le risque d'interaction entre ces liaisons a été élaborée. La modélisation en petits signaux d'une liaison HVDC-VSC de type MMC a été présentée. Trois configurations de réseau AC ont été analysées:

une liaison HVDC point-à-point, une liaison HVDC avec une ligne AC en parallèle et deux liaisons HVDC connectées par une ligne AC. L'analyse des valeurs propres et les lieux des racines a permis d'évaluer les risques d'interactions entre différentes variables du système et l'influence des gains des contrôleurs. Il est toutefois apparu qu'un choix judicieux des constantes de temps des différents régulateurs permettait d'atténuer les oscillations indésirables. Des études paramétriques menées sous EMTP-RV ont permis de confirmer les études en petits-sinaux lors de petites perturbations. Cependant, il a été constaté que lors de grandes perturbations, des interactions négatives peuvent avoir lieu quand une ligne AC se trouve en parallèle avec une liaison HVDC ou quand deux liaisons HVDCs sont électriquement proches.

La technologie MMC recèle encore plein de secrets. Il existe donc plusieurs sujets de recherche qui méritent d'être approfondis :

- Il existe plusieurs topologies de sous-module autre que celui à demi-pont. De ce fait, une étude similaire incluant les autres topologies comme le double-pont et la double-articulation-SM sera utile à élaborer.
- La modélisation des IGBT/Diode dans le Modèle #1 peut être améliorée afin de prendre en compte les pertes du convertisseur.
- La simulation en temps réel des MMCs représente une difficulté considérable. La réalisation d'un MMC sur FPGA incluant l'état bloqué est indispensable pour la finalisation du modèle développé dans ce sujet de recherche.
- Le contrôle-global #2 peut être amélioré afin de le rendre plus robuste lors de défauts coté AC et DC.
- Compte tenu du nombre croissant des liaisons HVDC-MMC, il est prévu que les réseaux à courant continu verront le jour dans un avenir proche. Des sujets de thèse incluant les MMC dans les réseaux DC multi-terminaux seraient intéressants à évaluer.

## RÉFÉRENCES

- [1] “VSC transmission,” Cigré Working Group B4.37-269, Tech. Rep., 2005.
- [2] “It is time to connect, Technical description of HVDC Light technology,” ABB, Sweden, March 2008.
- [3] U. Karaagac, J. Mahseredjian, H. Saad, S. Jensen, and L. Cai, “Examination of fault-ride-through methods for off-shore wind farms connected to the grid through VSC-based multi-terminal HVDC transmission,” *IPST 2013, International Conf. on Power Systems Transients*, Vancouver, BC, Canada, 18-20 July 2013.
- [4] W. Lu and B.T. Ooi, “Optimal acquisition and aggregation of offshore wind power by multiterminal voltage-source HVDC,” *IEEE Trans. on Power Delivery*, vol. 18, no. 1, pp. 201-206, Jan. 2003.
- [5] A. Lindberg, “PWM and Control of Two and Three level High Power Voltage Source Converters,” Licentiate Thesis, Royal Institute of Technology, Stockholm, Sweden, 1995.
- [6] C. Du, “VSC-HVDC for Industrial Power Systems,” Ph.D. Thesis, Chalmers Univ. of Technology, Göteborg, Sweden, 2007.
- [7] B. R. Andersen, L. Xu, and K. T. G. Wong, “Topologies for VSC transmission,” *7th International conference on AC-DC Power Transmission*, pp. 298-304, London, Nov. 2001.
- [8] J.S. Lai, F. Z. Peng, “Multilevel Converters - A new breed of power converters”, *IEEE Transaction Industrial Application*, vol. 32, pp 509-517, May-June. 1996
- [9] A. Lesnicar and R. Marquardt, “An innovative modular multilevel converter topology suitable for a wide power range,” *Proc. IEEE Power Tech. Conference*, vol. 3, Bologna, June 2003.
- [10] S. P. Teeuwsen, “Simplified dynamic model of a voltage-sourced converter with modular multilevel converter design,” *IEEE PE Power System Conf. and Exp.*, pp. 1-6, Seattle, WA, USA, Mar. 2009.
- [11] J. Peralta, H. Saad, S. Denetière, J. Mahseredjian, and S. Nguefeu, “Detailed and averaged models for a 401-level MMC-HVDC system,” *IEEE Trans. on Power Delivery*, vol. 27, no. 3, pp. 1501-1508, July 2012.
- [12] R. D. Middlebrook and S. Cuk, “A general unified approach to modeling switching power converter stages,” *IEEE PESC.*, pp. 18-34, Cleveland, OH, USA, June 8-10, 1976.
- [13] P. T. Krein, J. Bentsman, R. M. Bass, and B. L. Lesieutre, “On the use of averaging for the analysis of power electronic systems,” *IEEE Trans. on Power Electronics*, vol. 5, no. 2, pp. 182-190, April 1990.
- [14] H. Jin, “Behavior-mode simulation of power electronic circuits,” *IEEE Trans. on Power Electronics*, vol. 12, no. 3, pp. 443-452, May 1997.

- [15] U. N. Gnanarathna, A. M. Gole, and R. P. Jayasinghe, "Efficient modeling of modular multilevel HVDC converters (MMC) on electromagnetic transient simulation programs," *IEEE Trans. on Power Delivery*, vol. 26, no. 1, pp. 316-324, Jan. 2011.
- [16] S. Norrga, L. Angquist, K. Ilves, et al. "Frequency-domain modeling of modular multilevel converters," *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, pp. 4967-4972, 25-28 Oct. 2012.
- [17] H. Saad, S. Denetiere, J. Mahseredjian, P. Delarue, X. Guillaud, J. Peralta, S. Nguefeu, "Modular Multilevel Converter Models for Electromagnetic Transients," *Power Delivery, IEEE Transactions on*, vol.29, no.3, pp.1481,1489, June 2014.
- [18] W. Jun, E. Farr, R. Burgos, D. Boroyevich, R. Feldman, A. Watson, J. Clare, P. Wheeler, "State-space switching model of modular multilevel converters," *Control and Modeling for Power Electronics (COMPEL), 2013 IEEE 14th Workshop on*, pp.1,10, 23-26 June 2013
- [19] D.C. Ludois, G. Venkataramanan, "Simplified dynamics and control of Modular Multilevel Converter based on a terminal behavioral model," *Energy Conversion Congress and Exposition (ECCE), 2012 IEEE*, pp.3520-3527, 15-20 Sept. 2012.
- [20] A. Antonopoulos, L. Angquist, and H. P. Nee, "On dynamics and voltage control of the modular multilevel converter," *13th European Conf. on Power Electronics and Applications*, Barcelona, Oct. 2009.
- [21] G. Bergna, E. Berne, P. Egrot, P. Lefranc, A. Arzande, J.-C. Vannier, M. Molinas, "An Energy-Based Controller for HVDC Modular Multilevel Converter in Decoupled Double Synchronous Reference Frame for Voltage Oscillation Reduction," *IEEE Transactions on Industrial Electronics*, vol.60, no.6, pp.2360,2371, June 2013.
- [22] P. Munch, D. Gorges, M. Izak, and S. Liu, "Integrated current control, energy control and energy balancing of modular multilevel converters," *IECON 2010 - 36th Annual Conference, IEEE Industrial Electronics Society*, pp.150-155, 7-10 Nov., 2010.
- [23] G. Casadei, R. Teodorescu, C. Vlad, L. Zarri, , "Analysis of dynamic behavior of Modular Multilevel Converters: Modeling and control," *16th International Conference on System Theory Control and Computing (ICSTCC) 2012*, pp.1,6, 12-14 Oct. 2012
- [24] H. Saad, X. Guillaud, J. Mahseredjian, S. Denetiere, S. Nguefeu, "MMC Capacitor Voltage Decoupling and Balancing Controls," *Power Delivery, IEEE Transactions on*, no.99, pp.1,1
- [25] M. Hagiwara and H. Akagi, "PWM Control and experiment of modular multilevel converter," *IEEE Power Electronics specialists Conference*, pp. 154-161, Tokyo, June 2008.
- [26] M. Saeedifard and R. Iravani, "Dynamic performance of a modular multilevel back-to-back HVDC system," *IEEE Trans. on Power Delivery*, vol. 25, no. 4, pp. 2903-2912, Oct. 2010.

- [27] Q. Tu, and Z. Xu, "Impact of Sampling Frequency on Harmonic Distortion for Modular Multilevel Converter," *IEEE Trans. on Power Delivery*, vol. 26, no. 1, pp. 298-306, Jan. 2011.
- [28] Q. Tu, Z. Xu, and L. Xu, "Reduced switching-frequency modulation and circulating current suppression for modular multilevel converters," *IEEE Trans. on Power Delivery*, vol. 23, no. 3, pp. 2009-2017, Jul. 2011.
- [29] Q. Jiangchao, M. Saeedifard, "Reduced Switching-Frequency Voltage-Balancing Strategies for Modular Multilevel HVDC Converters," *Power Delivery, IEEE Transactions on*, vol.28, no.4, pp.2403,2410, Oct. 2013.
- [30] R.S. Whitehouse, C.D.M. Oates, J. Maneiro, N.M. MacLeod, "A new simulator laboratory for research and development of VSC HVDC topologies and control algorithms," *9th IET International Conf. on AC and DC Power Trans.*, pp. 1-5, 19-21 Oct. 2010
- [31] R. Ottersten, J. Svensson, "Vector current controlled voltage source converter-deadbeat control and saturation strategies," *Power Electronics, IEEE Transactions on*, vol.17, no.2, pp.279,285, March 2002.
- [32] P. Le-Huy, P. Giroux, J.-C. Soumagne, "Real-Time Simulation of Modular Multilevel Converters for Network Integration Studies," *International Conf. on Power Systems Transients*, Delft, Netherlands June 14-17, 2011
- [33] L.-A. Grégoire, Wei Li, J. Bélanger and L. Snider, "Validation of a 60-Level Modular Multilevel Converter Model - Overview of Offline and Real-Time HIL Testing and Results", *International Conf. on Power Systems Transients*, Delft, Netherlands, 14 July 2011
- [34] H. Saad, C. Dufour, J. Mahseredjian, S. Denetière, and S. Nguefeu, "Real time simulation of MMCs using the state-space nodal approach," *IPST 2013, International Conf. on Power Systems Transients*, Vancouver, Canada, July 18-20, 2013.
- [35] H. Saad, T. Ould-Bachir, J. Mahseredjian, C. Dufour, S. Denetiere, S. Nguefeu, "Real-Time Simulation of MMCs Using CPU and FPGA," *Power Electronics, IEEE Transactions on*, vol.30, no.1, pp.259,267, Jan. 2015
- [36] A. Gavrilovic, "AC/DC system strength as indicated by short circuit ratios," *AC and DC Power Transmission, 1991., International Conference on*, vol., no., pp.27,32, 17-20 Sep 1991.
- [37] B. Franken, G. Andersson, "Analysis of HVDC converters connected to weak AC systems," *Power Systems, IEEE Transactions on*, vol.5, no.1, pp.235,242, Feb 1990
- [38] L. Zhang, "Modeling and Control of VSC-HVDC Links Connected to Weak AC Systems," Ph.D. Thesis, Royal Institute of Technology, Stockholm, Sweden, 2010.
- [39] B. Jacobson, P. Karlsson, G. Asplund, L. Harnefors, T. Jonsson, "VSC-HVDC transmission with cascaded two-level converters," *CIGRE Conference*, Paris, Aug. 2010.



- [40] G.S. Konstantinou, M. Ciobotaru, V.G. Agelidis, "Effect of redundant sub-module utilization on modular multilevel converters," *IEEE International Conference on Industrial Technology (ICIT)*, 2012, pp.815,820, 19-21 March 2012.
- [41] C. Edwards and I Postlethwaite, "Anti-windup and bumpless-transfer schemes," *Automatica*, vol. 34, Issue 2, pp. 199-210, February 1998.
- [42] B. T. Ooi and X.Wang, "Voltage angle lock loop control of the boosted type PWM converter for HVDC application," *IEEE Trans. on Power Electron.*, vol. 5, no. 2, pp. 229–235, Apr. 1990.
- [43] A. Lennart; A. Antonopoulos, D. Siemaszko, K. Ilves, M. Vasiladiotis, H-P. Nee, "Open-Loop Control of Modular Multilevel Converters Using Estimation of Stored Energy," *Industry Applications, IEEE Transactions on* , vol.47, no.6, pp.2516,2524, Nov.-Dec. 2011
- [44] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. M. Prats, "The Age of multilevel converters arrives," *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28-39, June 2008.
- [45] N. Flourentzou, V. G. Agelidis, and G. D. Demetriades, "VSC-based HVDC power transmission systems: An overview," *IEEE Trans. on Power Electronics*, vol. 24, no. 3, pp. 592-602, March 2009.
- [46] G. Asplund, K. Eriksson, and H. Jiang, "DC transmission based on voltage source converters," in *Cigré Colloquium on HVDC and FACTS*, South Africa, 1997.
- [47] B. Gemmell, J. Dorn, D. Retzmann, and D. Soerangr, "Prospects of multilevel VSC technologies for power transmission," *Proc. IEEE Transmission and Distribution Conf. Exp.*, Milpitas, CA, pp. 1-16, Apr. 2008.
- [48] G.O. Kalcon, G.P. Adam, O. Anaya-Lara, S. Lo, K. Uhlen, "Small-Signal Stability Analysis of Multi-Terminal VSC-Based DC Transmission Systems," *Power Systems, IEEE Transactions on*, vol.27, no.4, pp.1818,1830.
- [49] B. Chaudhuri, R. Majumder, B. Chaudhuri, Jiuping Pan, "Stability Analysis of VSC MTDC Grids Connected to Multimachine AC Systems," *Power Delivery, IEEE Transactions on* , vol.26, no.4, pp.2774,2784, Oct. 2011.
- [50] A.M., Alsseid, D.; Jovicic, A., Starkey, "Small signal modelling and stability analysis of multiterminal VSC-HVDC," *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on* , vol., no., pp.1,10, Aug. 30 2011-Sept. 1 2011
- [51] L. Yan; C. Zhe, "Stability analysis of multi-infeed HVDC system applying VSC-HVDC," *Power and Energy Society General Meeting, 2010 IEEE* , pp.1,7, 25-29 July 2010.

- [52] H. F., Latorre, M., Ghandhari, L., Soder, "Control of a VSC-HVDC Operating in Parallel with AC Transmission Lines," *Transmission & Distribution Conference and Exposition: Latin America, 2006. TDC '06. IEEE/PES*, pp.1,5, 15-18 Aug. 2006.
- [53] O. A., Giddani, G. P., Adam, O., Anaya-Lara, K. L., Lo, "Grid integration of a large offshore wind farm using VSC-HVDC in parallel with an AC submarine cable," *Universities Power Engineering Conference (UPEC), 2009 Proceedings of the 44th International* , pp.1,5, 1-4 Sept. 2009.
- [54] L. Shen, M. Barnes, J.V. Milanović, "Interactions between STATCOM and VSC HVDC in dynamic GB system," *Power Electronics, Machines and Drives (PEMD 2014), 7th IET International Conference on* , pp.1,6, 8-10 April 2014.
- [55] <http://www.abb.com/hvdc>
- [56] S. Allebrod, R. Hammerski, and R. Marquardt, "New transformerless scalable modular multilevel converters for HVDC-Transmission," *Power electronics specialists Conference (PESC)*, 2008.
- [57] H. W. Dommel, "Digital computation of electromagnetic transients in single and multi-phase networks," *IEEE Trans. Power App. Syst.*, vol. PAS-88, no. 4, pp. 388–399, Apr. 1969.
- [58] J. Mahseredjian, A. Xémard et B. Khodabakhchian "Simulation des régimes transitoires dans les réseaux électriques, " Éditions *Les techniques de l'Ingénieur*, February 10, 2008, Dossier D4130.2008, 12 pages.
- [59] J. Mahseredjian, S. Denetière, L. Dubé, B. Khodabakhchian, and L. Gérin-Lajoie, "On a new approach for the simulation of transients in power systems," *Electric Power Systems Research*, vol. 77, issue 11, pp. 1514-1520, September 2007.
- [60] A. G. M Strollo, "A new IGBT Circuit Model for SPICE Simulation," *Power Electronics Specialists Conference*, 1997. , vol. 1, pp. 133-138, June 1997.
- [61] N. Ahmed, L. Ängquist, S. Norrga, and H.-P. Nee, "Validation of the continuous model of the modular multilevel converter with blocking/deblocking capability," *AC and DC Power Transmission (ACDC 2012), 10th IET International Conference on* , pp.1-6, 4-5 Dec., 2012.
- [62] O. Venjakob, S. Kubera, R. Hibberts-Caswell, P.A. Forsyth and T.L. Maguire, " Setup and performance of the real-time simulator used for hardware-in-loop-tests of a VSC-based HVDC scheme for offshore applications," *IPST 2013, International Conf. on Power Systems Transients*, Vancouver, BC, Canada, July 18-20, 2013.
- [63] S. R. Sanders, J. M. Noworolski, X. Z. Liu, and G. C. Verghese, "Generalized averaging method for power conversion circuits," *IEEE Trans. on Power Electronics*, vol. 6, no. 2, pp. 251-259, Apr. 1991.

- [64] H. Ouquelle, L. A. Dessaint, and S. Casoria, "An average value model-based design of a deadbeat controller for VSC-HVDC transmission link," *IEEE Power Energy Soc. Gen. Meeting*, pp. 1-6, Calgary, AB, Canada, July 2009.
- [65] A. Morched, B. Gustavsen, and M. Tartibi, "A universal model for accurate calculation of electromagnetic transients on overhead lines and underground cables," *IEEE Trans. on Power Delivery*, vol. 14, no. 3, pp. 1032–1038, July 1999.
- [66] G. Pinares, N. Ullah, M. Lindgren, P. Brunnegård, J. C. Garcia Alonso, F. Mosallat, R. Wachal, "Fault Analysis of a Multilevel-Voltage-Source-Converter-based Multi-terminal HVDC System" CIGRÉ Colloquium on HVDC and Power Electronic Systems for Overhead Line and Insulated Cable, B4-10, San Francisco, USA, Feb, 2010.
- [67] X. Gong, "A 3.3kV IGBT module and application in modular multilevel converter for HVDC," *2012 IEEE International Symposium on Industrial Electronics (ISIE)*, pp.1944-1949, 28-31 May 2012.
- [68] T. K. Vrana, S. Denetiere, Y. Yang, J. Jardini, D. Jovicic, H. Saad, "The CIGRE DC Grid Test System", *ELECTRA brochure n°270*, October 2013.
- [69] S. Denetiere and H. Saad, "EMT simulation of the CIGRE B4 DC Grid test system," in *Cigré Canada Conference 2014*, Toronto, Canada, September 22-24, 2014.
- [70] L. Harnefors, A. Antonopoulos, S. Norrga, L. Angquist, H.-P. Nee, "Dynamic Analysis of Modular Multilevel Converters," *IEEE Transactions on Industrial Electronics*, vol.60, no.7, pp.2526,2537, July 2013.
- [71] L. Harnefors, M. Bongiorno, and S. Lundberg, "Input-admittance calculation and shaping for controlled voltage-source converters," *IEEE Trans. Ind. Electron.*, vol. 54, no. 6, pp. 3323–3334, December 2007.
- [72] S. Rohner, S. Bernet, M. Hiller, and R. Sommer, "Analysis and simulation of a 6 kV, 6 MVA modular multilevel converter," *IECON '09. 35th Annual Conference of IEEE*, pp.225-230, 3-5 Nov. 2009.
- [73] C. Dufour, J. Mahseredjian, and J. Bélanger, "A combined state-space nodal method for the simulation of power system transients," *IEEE Trans. on Power Delivery*, vol. 26, no. 2, pp. 928-935, 2011.
- [74] J. Wang, E. Farr, R. Burgos, D. Boroyevich, R. Feldman, A. Watson, J. Clare and P. Wheeler, "State-space switching model of modular multilevel converters," *Control and Modeling for Power Electronics (COMPEL)*, 2013 IEEE 14th Workshop on, pp.1,10, 23-26 June 2013.

- [75] P. Delarue, F. Gruson, X. Guillaud, "Energetic Macroscopic Representation and Inversion Based control of a Modular Multilevel Converter", *15<sup>th</sup> European Conference on Power Electronic and Applications*, Lille, France, Sep 2013
- [76] E. Solas, G. Abad, J. A. Barrena, A. Carcar, and S. Aurtenetxea, "Modulation of modular multilevel converter for HVDC application," *14th International Power Electronic and Motion Control Conference*, pp. 84-89, Mondragon, Sep. 2010.
- [77] G. Ding, G. Tang, Z. He, and M. Ding, "New technologies of voltage source converter (VSC) for HVDC transmission system based on VSC," *Proc. IEEE Power Eng. Soc. Gen. Meeting*, pp. 1-8, Beijing, Jun. 2008.
- [78] J. Mahseredjian, O. Saad, S. Denetiere, "Computation of power system transients: Modeling portability," *Power & Energy Society General Meeting*, 2009. PES '09 IEEE , pp.1-6, 26-30 July 2009.
- [79] S. Casoria, J. Mahseredjian, R. Roussel, J. Beaudry and G. Sybille: "A portable and unified approach to control system simulation". *Proc. of International Conference on Power Systems Transients*, IPST 2001, June, Brazil, pages 710-715.
- [80] R. Marquardt, "Modular multilevel converter topologies with DC-short circuit current limitation," *2011 IEEE 8th International Conference on Power Electronics and ECCE Asia (ICPE & ECCE)*, pp.1425-1431, May 30-June 3, 2011.
- [81] J. Mahseredjian, S. Lefebvre, and D. Mukhedkar, "Power converter simulation module connected to the EMTP," *IEEE Trans. on Power Systems*, vol. 6, no. 2, pp. 501-510, May 1991.
- [82] G-C. Hsieh and J.C. Hung, "Phase-locked loop techniques. A survey," *IEEE Trans. on Industrial Electronics*, vol. 43, no. 6, pp.609,615, Dec. 1996.
- [83] M. P. Kazmierkowski and L. Malesani, "Current control techniques for three-phase voltage-source PWM converters: A survey," *IEEE Trans. Industrial Electron.*, vol. 45, no. 5, pp. 691–703, Oct. 1998.
- [84] eMEGAsim <http://www.opal-rt.com/product/emegasim>
- [85] T. Ould-Bachir, C. Dufour, J. Bélanger, J. Mahseredjian, and J.P. David, "Effective floating-point calculation engines intended for the FPGA-based HIL simulation," *IEEE International Symposium on Industrial Electronics (ISIE)*, pp.1363-1368, May 2012.
- [86] Xilinx Data sheet DS150 v2.4. Virtex 6 family overview, January 2012.
- [87] T. Ould-Bachir, C. Dufour, J. Bélanger, J. Mahseredjian, and J.P. David, "A fully automated reconfigurable calculation engine dedicated to the real-time simulation of high switching frequency power electronic circuits," *Mathematics and Computers in Simulation*, vol. 91, pp.167-177, May 2013.

- [88] T. Ould-Bachir and J.P. David, "Self-alignment schemes for the implementation of addition-related floating-point operators," *ACM Trans. Reconfigurable Technol. Syst.*, vol. 6, no. 1, Article 1, pp. 1-21, May 2013.
- [89] P. Kundur, N. J. Balu, and M. G. Lauby, "Power system stability and control" McGraw-Hill Professional, 1994.
- [90] "On voltage and power stability in ac/dc systems," Cigré Working Group 14.05- 222, Tech. Rep., 2003
- [91] P. RAULT, "Dynamic modeling and control of multi-terminal HVDC grids", PhD dissertation, École Centrale de Lille, March 2014.
- [92] C D Barker, N M Kirby, "Reactive power loading of components within a modular multi-level VSC HVDC converter", *IEEE Electric power and energy conference*, Winnipeg, Canada, 2011
- [93] M. Davies, M. Dommaschk, J. Dorn, J. Lang, D. Retzmann, D. Soerangr "HVDC PLUS – Basics and Principle of Operation" *Siemens PTD*, Germany (2008)
- [94] P. Rault, F. Colas, X. Guillaud, S. Nguefeu, "Method for small signal stability analysis of VSC-MTDC grids," *Power and Energy Society General Meeting*, 2012 IEEE , vol., no., pp.1,7, 22-26 July 2012
- [95] D. Jovcic, L.A. Lamont, L. Xu, "VSC transmission model for analytical studies," *Power Engineering Society General Meeting, 2003, IEEE*, vol.3, pp., 1742 Vol. 3, 13-17 July 2003

## ANNEXE A - PARAMÈTRES DU CÂBLE CONTINU

- Facteur de perte de l'isolant = 0.0004
- Perméabilité relative de l'isolant = 2.5
- Résistivité =  $2.83\text{e-}8 \text{ } \Omega / m$

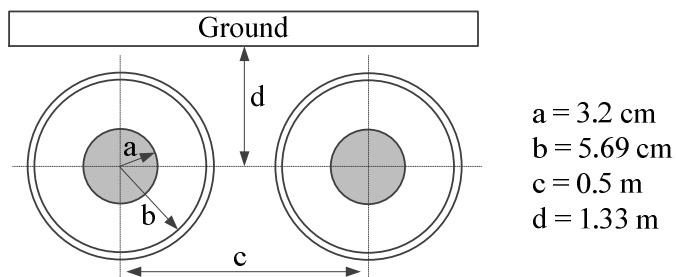


Figure A- 1 Dimensions du câble

## ANNEXE B - PHASE-LOCKED LOOP (PLL)

Lorsqu'un VSC est connecté à un réseau AC, la fréquence et la phase doivent être détectées au point de raccordement afin de synchroniser le système de conversion et de contrôle avec le réseau. Cette action est effectuée par la boucle à verrouillage de phase ou PLL (Phase-Locked Loop). Pour une transmission HVDC, le vecteur de tension du réseau est communément choisi aligné avec l'axe  $d$ . Il existe plusieurs techniques de PLL qui peuvent être utilisées [82]. La PLL va fournir l'angle de phase qui sera utilisé pour transformer le système de référence  $abc$  en  $dq$ .

## ANNEXE C - DÉVELOPPEMENT DÉTAILLÉ DES ÉQUATIONS

$$\begin{aligned}
 & \int_0^T \left( C_{arm} \frac{dv_{C_{totu}j}^2}{dt} \right) dt = \dots \\
 & \dots \int_0^T \left( i_{diffj} \frac{V_{dc}}{2} - i_{diffj} v_{convacj} - i_{diffj} v_{diffj} - \frac{i_j}{2} \frac{V_{dc}}{2} + \frac{i_j}{2} v_{convacj} + \frac{i_j}{2} v_{diffj} \right) dt
 \end{aligned}
 \tag{6.30}$$

$$\begin{aligned}
 & \int_0^T \left( C_{arm} \frac{dv_{C_{tot\ell}j}^2}{dt} \right) dt = \dots \\
 & \dots \int_0^T \left( i_{diffj} \frac{V_{dc}}{2} + i_{diffj} v_{convacj} - i_{diffj} v_{diffj} + \frac{i_j}{2} \frac{V_{dc}}{2} + \frac{i_j}{2} v_{convacj} - \frac{i_j}{2} v_{diffj} \right) dt
 \end{aligned}
 \tag{6.31}$$



## ANNEXE D - STABILITÉ DE L'APPROCHE #1

Le circuit considéré est présenté dans la Figure 4-9. L'interrupteur est fermé tout au long de la simulation afin d'inclure la résistance  $R_{dc}$ . Les réponses dynamiques dues à un échelon sur  $V_{dc}^{ref}$  à 0.5 s est présentés ci-dessous.

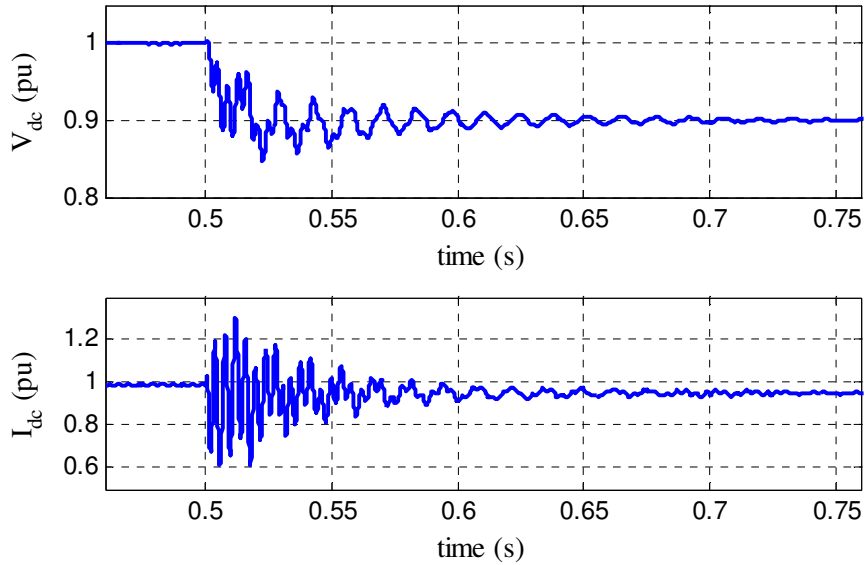


Figure A- 2 : Stabilité de l'Approche #1: échelon sur la consigne de  $V_{dc}$  avec  $R_{dc} = 1k\Omega$

On remarque la présence deux modes oscillatoires une autour de 238 Hz et une autre de 77 Hz. Ces deux modes sont liés à l'interaction entre le condensateur  $C_{dc}$ , l'inductance équivalente d'un MMC coté DC :  $2/3 L_{arm}$ , et le condensateur équivalent  $6C_{arm}$ .

**ANNEXE E - COMPARAISON DU MODÈLE DE CÂBLE AVEC ET SANS MODIFICATION**

Tableau A- 1 : Cas test - Blocage de tous les SMs des deux stations

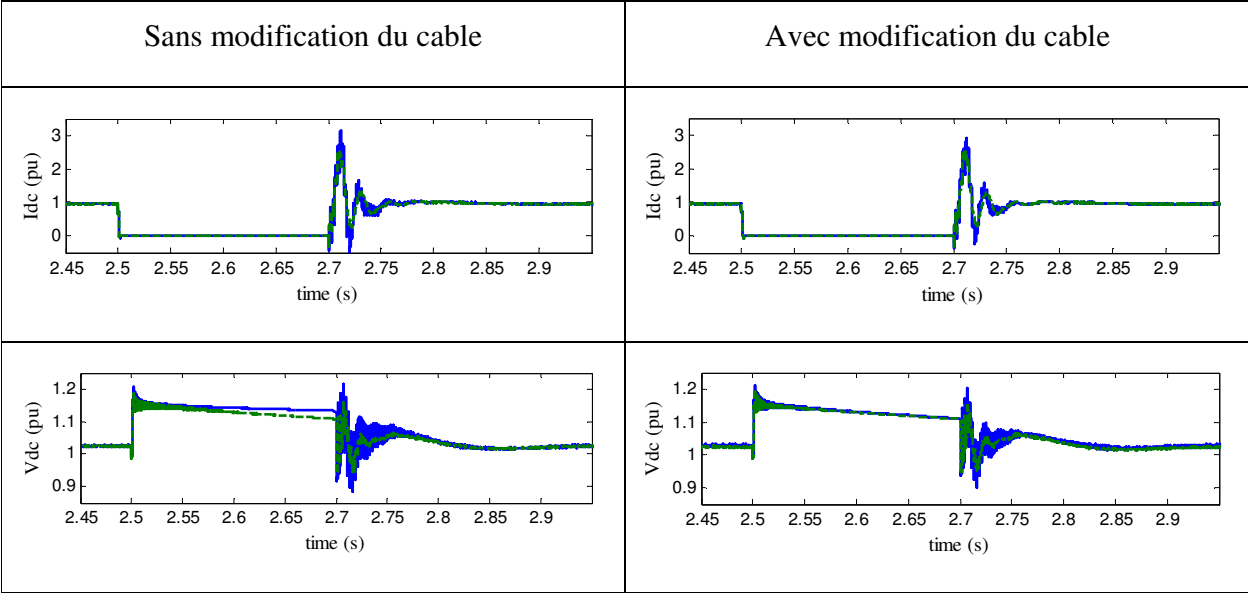
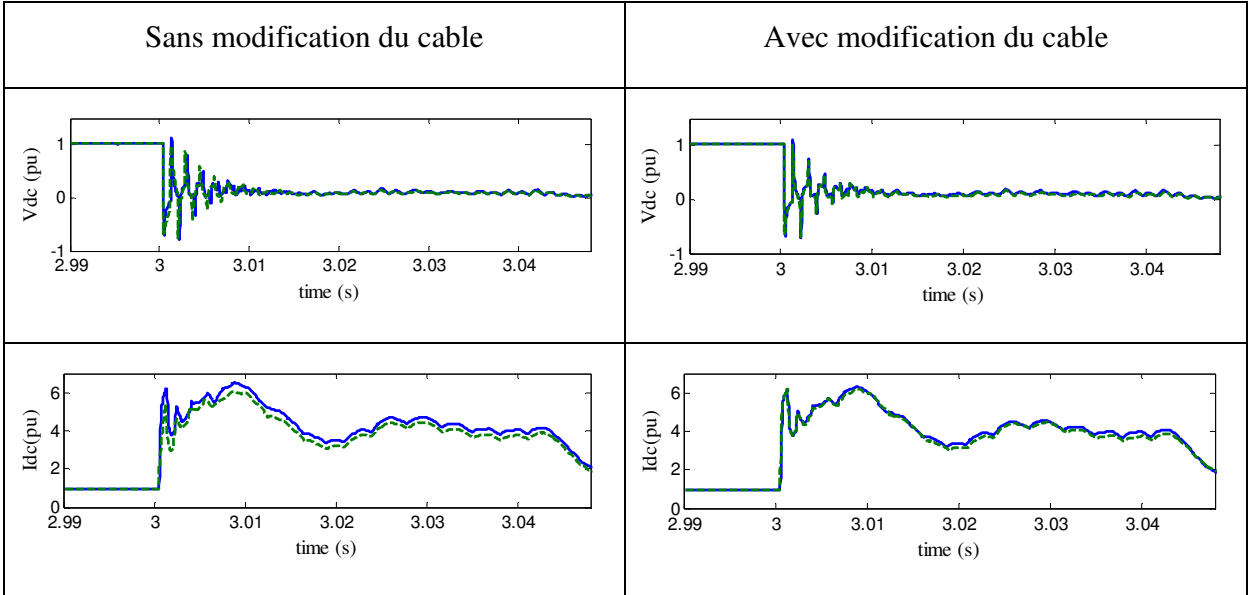


Tableau A- 2 : Cas test - Défaut DC pole-pole



## ANNEXE F - TRANSFORMATION DE PARK

L'utilisation de la référence  $dq$  simplifie l'analyse d'un système de contrôle d'un circuit triphasé. Tout d'abord la transformation de Clark permet de modéliser un système triphasé  $abc$  à un système  $\alpha\beta$ .

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \frac{3}{2} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (6.32)$$

où  $v_a$ ,  $v_b$  et  $v_c$  sont les tensions triphasées dans la référence  $abc$ ,  $v_\alpha$  et  $v_\beta$  sont les tensions correspondantes dans la référence  $\alpha\beta$  (Figure A- 3.a). La transformation  $\alpha\beta$  en  $dq$  est donné par la transformée de Park (Figure A- 3.b) :

$$\begin{bmatrix} v_d \\ v_q \end{bmatrix} = \begin{bmatrix} \cos(\theta) & \sin(\theta) \\ -\sin(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (6.33)$$

$\theta$  est l'angle de transformation égal à  $\omega t$ , avec  $\omega$  étant la vitesse angulaire en  $rad/s$  du système AC.

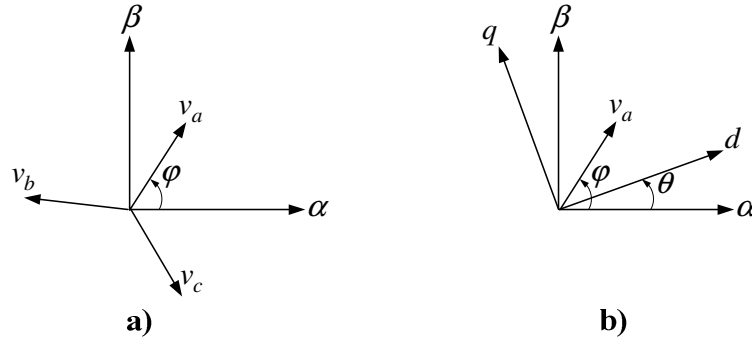


Figure A- 3 : a) transformation Clark et b) transformation de Park

Les matrices de transformation  $abc-dq$  direct ( $\mathbf{T}$ ) et son inverse ( $\mathbf{T}^{-1}$ ) sont définis de la façon suivantes :

$$\begin{bmatrix} v_d \\ v_q \end{bmatrix} = \mathbf{T} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos(\theta) & \cos(\theta - 2\pi/3) & \cos(\theta + 2\pi/3) \\ -\sin(\theta) & -\sin(\theta - 2\pi/3) & -\sin(\theta + 2\pi/3) \\ 1/2 & 1/2 & 1/2 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (6.34)$$

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \mathbf{T}^{-1} \begin{bmatrix} v_d \\ v_q \end{bmatrix} = \begin{bmatrix} \cos(\theta) & -\sin(\theta) \\ \cos(\theta - 2\pi/3) & -\sin(\theta - 2\pi/3) \\ \cos(\theta + 2\pi/3) & -\sin(\theta + 2\pi/3) \end{bmatrix} \begin{bmatrix} v_d \\ v_q \end{bmatrix} \quad (6.35)$$

Les mêmes transformations peuvent être appliquées sur les variables de courant:

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix} = \mathbf{T} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (6.36)$$

$$\begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = \mathbf{T}^{-1} \begin{bmatrix} i_d \\ i_q \end{bmatrix} \quad (6.37)$$

Les puissances actives et réactives et la tension AC du réseau sont calculées dans la référence  $dq$  de la façon suivante :

$$P_{ac3} = v_d i_d + v_q i_q \quad (6.38)$$

$$Q = -v_d i_q + v_q i_d \quad (6.39)$$

$$v = \sqrt{v_d^2 + v_q^2} \quad (6.40)$$

## ANNEXE G – CONCEPTS FONDAMENTAUX DE LA STABILITÉ EN PETITS-SIGNAUX

### 1. Valeurs propres

La stabilité en petits-sinaux est la capacité d'un système à atteindre un point de fonctionnement stable après une petite perturbation. Un circuit électrique peut être décrit par un ensemble d'équations algébriques différentielles (DAE), qui pourrait être non linéaire. Toutefois, compte tenu de faibles variations autour d'un point de fonctionnement, le système peut être linéarisé en utilisant la série de Taylor, qui pourrait être limité au premier ordre en négligeant les termes de degré supérieur. Ainsi, le système peut être décrit par une matrice d'équation d'état:

$$\begin{cases} \Delta \dot{\mathbf{x}} = \mathbf{A}\Delta \mathbf{x} + \mathbf{B}\Delta \mathbf{u} \\ \Delta \mathbf{y} = \mathbf{C}\Delta \mathbf{x} + \mathbf{D}\Delta \mathbf{u} \end{cases} \quad (6.41)$$

où  $\Delta \mathbf{x}$ ,  $\Delta \mathbf{u}$  et  $\Delta \mathbf{y}$  représentent le vecteur d'état, vecteur d'entrée et le vecteur de sortie respectivement

$\mathbf{A}$ ,  $\mathbf{B}$ ,  $\mathbf{C}$  et  $\mathbf{D}$  représentent la matrice d'état, matrice d'entrée, matrice de sortie et matrice d'anticipation respectivement

La réponse temporelle du système est :

$$\Delta \mathbf{x}(t) = e^{\mathbf{A}(t-t_0)} \Delta \mathbf{x}(t_0) + \int_{t_0}^t e^{\mathbf{A}(t-v)} \mathbf{B} \Delta \mathbf{u}(v) dv \quad (6.42)$$

Dans l'équation (6.42), il existe deux termes; la réponse naturel du système qui depend uniquement du vecteur d'état et la réponse force qui depend du vecteur d'entrée. La convergence de la solution est assurée quand les composantes reels de la matrice  $\mathbf{A}$  sont negatives. A ce point de fonctionnement, les modes du système sont récupérés à partir des valeurs propres de l'équation suivante:

$$\mathbf{A} \phi_i = \lambda_i \phi_i \quad (6.43)$$

où:  $\lambda_i$  représente le  $i^{\text{ème}}$  valeur propre et  $\phi_i$  représente le  $i^{\text{ème}}$  vecteur de droite.

Une valeur propre réelle correspond à un mode non-oscillant. Quand elle est positive, ce mode est instable. Les valeurs propres complexes du système sont toujours représentées sous la forme de

paires complexes conjuguées car l'équation d'état d'un système physique est toujours réelle. Ces valeurs propres complexes conjuguées de la manière suivante :

$$\lambda_{i,j} = \sigma \pm j\omega \quad (6.44)$$

La fréquence d'oscillation et le taux d'amortissement sont déduits:

$$f = \frac{\omega}{2\pi} \quad (6.45)$$

$$\zeta = \frac{-\sigma}{\sqrt{\sigma^2 + \omega^2}} \quad (6.46)$$

Le taux d'amortissement représente le taux de décroissance de l'amplitude de l'oscillation. Par conséquent, plus la valeur est proche de 1, plus les oscillations sont amorties et si sa valeur est négative, le mode correspondant est instable. Dans un système électrique, un amortissement de 5% est considéré comme la limite de stabilité du système.

## 2. Facteur de participation

À partir de l'équation d'état :

$$\Delta \dot{x} = A \Delta x \quad (6.47)$$

On peut retrouver les valeurs propres du système en multipliant la matrice  $A$  par le vecteur propre de droite  $\phi_i$  ou de gauche  $\psi_i$  :

$$\begin{aligned} A\phi_i &= \lambda_i \phi_i \\ \psi_i A &= \lambda_i \psi_i \end{aligned} \quad (6.48)$$

où :  $\lambda_i$  est la valeur propre

$\phi$  est le vecteur propre dont les éléments sont organisés en une colonne

$\psi$  est le vecteur propre dont les éléments sont organisés en une ligne

Ces vecteurs propres évaluent la contribution de différentes variables sur les valeurs propres. En multipliant ces deux vecteurs, on obtient les facteurs de participation normalisés [89] :

$$p_{ki} = \phi_{ki} \psi_{ik} \quad (6.49).$$

Ce facteur de participation  $p_{ki}$  qui varie de 1 à 0, permet de quantifier la contribution des différentes variables sur la valeur propre en question. Quand la contribution de la variable sur la valeur propre en question est importante,  $p_{ki}$  a une valeur proche de 1 et quand la variable a un impact négligeable sur la valeur propre,  $p_{ki}$  est proche de zéro.

Chaque station VSC contient 13 valeurs propres et le câble contient 3 valeurs. Ce qui fait un total de 29 valeurs propres pour une liaison HVDC-VSC point-à-point.

### 3. Forme modale ou « mode-shape »

Le mode-shape est une représentation graphique du vecteur propre; il permet de tracer sur un plan complexe des variables contribuant à un mode [91]. Par exemple, le mode-shape du  $i^{\text{ème}}$  mode est représenté à la Figure A- 4. Deux variables participent à ce mode ( $\Delta x_1$  et  $\Delta x_2$ ). Le module de la composante du  $i^{\text{ème}}$  vecteur propre ( $\phi_i(1)$ ) lié à  $\Delta x_1$  est supérieur au module  $\phi_i(2)$  de la variable  $\Delta x_2$ . Donc  $\Delta x_1$  participe plus au mode que  $\Delta x_2$ . D'autre part, puisque les deux vecteurs propres sont presque en direction inverse, les deux systèmes qui sont représentés par les  $\Delta x_1$  et  $\Delta x_2$  agissent l'un contre l'autre. Il convient de noter que, seulement des états de même nature peuvent être comparés afin de retirer une interprétation physique de ce diagramme.

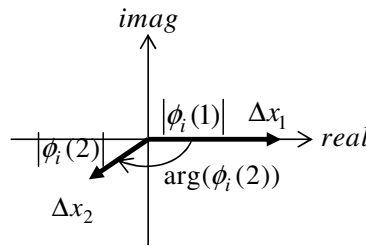


Figure A- 4 : Mode-shape du  $i^{\text{ème}}$  mode

Ces vecteurs peuvent avoir des différents modules et rotations. De ce fait, seulement les longueurs et les rotations relatives sont importantes. Dans la pratique, le vecteur le plus long est fixé à 1, et les autres modules des vecteurs sont normalisés sur la base du plus long. De plus, l'angle du premier vecteur est arbitrairement fixée à 0 et les autres angles de vecteurs sont définis à partir de son angle.

## ANNEXE H –MATRICE D'ÉTAT DU MODÈLE MMC EN PETITS SIGNAUX

L'équation d'état du VSC-MMC :

$$\begin{cases} \dot{x} = Ax + B_{ac} u_{ac} + B_{ac} u_{ac} + B_{dc} u_{dc} + B_{ctrl} u_{ctrl} \\ y_{ac} = C_{ac} x \\ y_{dc} = C_{dc} x \\ y_{ctrl} = C_{ctrl} x + D_{ctrl1} u_{ac} + D_{ctrl2} u_{dc} \end{cases} \quad (6.50)$$

avec :

$$\begin{aligned} x &= [\Delta i_d \quad \Delta i_q \quad \Delta V_{Ceq} \quad \Delta I_{dc}]^T \\ u_{ac} &= [\Delta v_{PCCd} \quad \Delta v_{PCCq}]^T ; u_{dc} = [\Delta V_{dc}] ; u_{ctrl} = [\Delta v_{convacq} \quad \Delta v_{convacq}]^T \\ y_{ac} &= [\Delta i_d \quad \Delta i_q]^T ; y_{dc} = [\Delta I_{dc}] ; y_{ctrl} = [\Delta P \quad \Delta V_{dc} \quad \Delta Q \quad \Delta i_d \quad \Delta i_q]^T \end{aligned} \quad (6.51)$$

Les puissances actives et réactives sont linéarisés comme suite:

$$\begin{aligned} P &= v_d i_d + v_q i_q \\ \Rightarrow \Delta P &= v_{d0} \Delta i_d + v_{q0} \Delta i_q + i_{d0} \Delta v_d + i_{q0} \Delta v_q \\ Q &= -v_d i_q + v_q i_d \\ \Rightarrow \Delta Q &= -v_{d0} \Delta i_q + v_{q0} \Delta i_d - i_{q0} \Delta v_d + i_{d0} \Delta v_q \end{aligned} \quad (6.52)$$

Les différentes matrices de l'équation d'état sont :

$$A = \begin{bmatrix} -\frac{R_{ac}}{L_{ac}} & \omega & 0 & 0 \\ \omega & -\frac{R_{ac}}{L_{ac}} & 0 & 0 \\ \frac{v_d}{C_{dc} V_{Ceq0}} & \frac{v_q}{C_{dc} V_{Ceq0}} & -\left( \frac{v_{convacq0} i_{d0} + v_{convacq0} i_{q0}}{C_{dc} V_{Ceq0}^2} \right) & -\frac{1}{C_{dc}} \\ 0 & 0 & \frac{1}{L_{dc}} & -\frac{R_{dc}}{L_{dc}} \end{bmatrix} \quad (6.53)$$



$$\mathbf{B}_{ac} = \begin{bmatrix} \frac{1}{L_{ac}} & 0 \\ 0 & \frac{1}{L_{ac}} \\ 0 & 0 \\ 0 & 0 \end{bmatrix}; \mathbf{B}_{dc} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ -\frac{1}{L_{dc}} \end{bmatrix}; \mathbf{B}_{ctrl} = \begin{bmatrix} -\frac{1}{L_{ac}} & 0 \\ 0 & -\frac{1}{L_{ac}} \\ \frac{i_d}{C_{dc}V_{C_{eq0}}} & \frac{i_q}{C_{dc}V_{C_{eq0}}} \\ 0 & 0 \end{bmatrix} \quad (6.54)$$

$$\mathbf{C}_{ac} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \end{bmatrix}; \mathbf{C}_{dc} = \begin{bmatrix} 0 & 0 & 0 & 1 \end{bmatrix}; \mathbf{C}_{ctrl} = \begin{bmatrix} v_{convac d_0} & v_{convac q_0} & 0 & 0 \\ 0 & 0 & 0 & 0 \\ v_{convac q_0} & -v_{convac d_0} & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \end{bmatrix} \quad (6.55)$$

$$\mathbf{D}_{ctrl1} = \begin{bmatrix} i_{d_0} & i_{q_0} \\ 0 & 0 \\ -i_{q_0} & i_{d_0} \\ 0 & 0 \\ 0 & 0 \end{bmatrix}; \mathbf{D}_{ctrl2} = \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (6.56)$$

L'équation d'état d'un câble en PI :

$$\begin{cases} \dot{\mathbf{x}}_{cable} = \mathbf{A}_{cable} \mathbf{x}_{cable} + \mathbf{B}_{cable} \mathbf{u}_{cable} \\ \mathbf{y}_{cable} = \mathbf{C}_{cable} \mathbf{x}_{cable} \end{cases} \quad (6.57)$$

avec :

$$\begin{aligned} \mathbf{x}_{cable} &= \begin{bmatrix} \Delta V_{dc1} & \Delta V_{dc2} & \Delta I_{cable1} & \Delta I_{cable2} \end{bmatrix}^T \\ \mathbf{u}_{cable} &= \begin{bmatrix} \Delta I_{dc1} & \Delta I_{dc2} \end{bmatrix}^T \\ \mathbf{y}_{cable} &= \begin{bmatrix} \Delta V_{dc1} & \Delta V_{dc2} \end{bmatrix}^T \end{aligned} \quad (6.58)$$

On pose :  $X_{cable} = L_{cable1} L_{cable2} - M_{cable12}^2$

$$\begin{aligned}
\mathbf{A}_{cable} &= \begin{bmatrix} -\frac{G_{cable}}{C_{cable}} & 0 & -\frac{1}{C_{cable}} & 0 \\ 0 & -\frac{G_{cable}}{C_{cable}} & -\frac{1}{C_{cable}} & 0 \\ \frac{L_{cable2}}{X_{cable}} & \frac{-L_{cable2}}{X_{cable}} & \frac{-R_{cable1}L_{cable2}}{X_{cable}} & \frac{R_{cable2}M_{cable12}}{X_{cable}} \\ \frac{-M_{cable12}}{X_{cable}} & \frac{M_{cable12}}{X_{cable}} & \frac{R_{cable1}M_{cable12}}{X_{cable}} & \frac{-R_{cable2}L_{cable1}}{X_{cable}} \end{bmatrix} \\
\mathbf{B}_{cable} &= \begin{bmatrix} \frac{1}{C_{cable}} & 0 \\ 0 & \frac{1}{C_{cable}} \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \\
\mathbf{C}_{cable} &= \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \end{bmatrix}
\end{aligned} \tag{6.59}$$